

静态绝热 CMOS 记忆电路和信息恢复能力*

刘 莹 方振贤

(黑龙江大学理学院 电子工程学院, 哈尔滨 150080)

摘要: 通过等效电路分析、考虑参数选取和整体时序电路的实现, 提出具有信息恢复能力的静态绝热 CMOS 记忆电路。认为整体绝热电路结构最好融合输入、输出电路和记忆电路、时序电路为一体, 由主触发器集合和从触发器集合相互连接构成, 其中含有输出和反馈从触发器。采用绝热取样输入电路实现信息记忆单元接收代码和保存信息时将信息单元与外输入隔离。还设计出 5421BCD 码 10 进制和 7 进制可变计数器(带有进位输出从触发器和反馈清 0 从触发器), 用计算机模拟程序检验电路的正确性。

关键词: 绝热静态记忆单元; 信息恢复; 取样输入电路; 分析等效电路

EEACC: 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2002)12-1326-06

1 引言

集成电路功耗的降低是迫在眉睫的问题, 引起学术界广泛的关注, 其中以绝热电路最有前途^[1~6], 但不能单纯考虑功耗的降低, 需要兼顾其它性能指标, 所以绝热电路还不完善, 仍需进一步研究。主要问题有:(1)已有绝热记忆电路的记忆功能差, 信息不可恢复。因采用交流时钟电源 ϕ , 一旦 ϕ 电压降为 0, 则该点电容形成的信息立刻消失^[1,2], 忽略电容信息存储能力。本文提出绝热静态 CMOS 记忆电路, 可开发电容信息存储潜力, 使 ϕ 降为 0 时消失的信息可自动恢复, 利于构成信息可恢复的绝热记忆元件和绝热同步时序电路。(2)电路整体结构和工作情况考虑不充分。目前研究着重于绝热单元电路^[1~6], 仅从单元电路来看可行, 但用它去实现整体电路时, 困难不少。如绝热计数电路未考虑输出电路^[6], 因为绝热输出组合电路也有时序性。单纯考虑触发器单元电路本身时钟数减少, 加上输出电路后, 时钟数就会增多, 还会出现输出信号和状态信号的时差, 特别是电路要求有反馈信号时, 整体电路更难以实现。现有绝热触发器外信号要双轨输入, 常会增加电路结构、连线数和输入针数。(3)绝热计算原理是基于简单电阻电容电路, 忽略其它极间电容的作用或考虑

的很少, 特别是目前研究较多的交叉耦合结构绝热电路^[1~6], 交叉耦合结构有左右两支路, 相互影响, 需考虑所有极间电容, 画出等效电路分析, 其工作过程与现有绝热计算原理有一定差别。

2 绝热静态、动态记忆单元等效电路, 参数选取和工作过程

图 1(b) 所示的绝热静态信息单元是由两个 CMOS 非门(P_1N_3 和 P_2N_4)交叉耦合组成的, 与传统静态信息单元电路结构相同, 在交流源 $\phi=1$ 的持续期内二者记忆机理完全相同。设图 1(b) P_2N_3 导通和 P_1N_4 截止, 画出等效电路, 如图 1(c) 所示, 图中标有各极间电容, R_{2p} 和 R_{3n} 各自为 P_2 和 N_3 的导通电阻, 经过整理重画, 记各个并联电容 $C_{gd}=C_{1gd}+C_{2gd}+C_{3gd}+C_{4gd}$, $C_1=C_{2gs}+C_{1ds}$, $C_2=C_{1gs}+C_{2ds}$, $C_3=C_{4gs}+C_{3ds}$, $C_4=C_{3gs}+C_{4ds}$, 于是由图 1(c) 得出更简明的等效电路(图 1(d))。若将图 1(b) 中的 N_3 和 N_4 去掉, 即得出图 1(a) 所示的绝热动态信息单元, 其中 C_{01} 和 C_{02} 是信息存储电容(取自极间电容, 下级输入电容等), 同样方法, 得出图 1(a) 的等效电路, 如图 1(g) 所示, 与图 1(e) 相似。记输出为 V_1 和 V_0 , 为了实现信息可恢复性、较强的负载能力和良好的

* 黑龙江省自然科学基金资助项目(No. F01-13)

2002-02-28 收到, 2002-05-18 定稿

©2002 中国电子学会

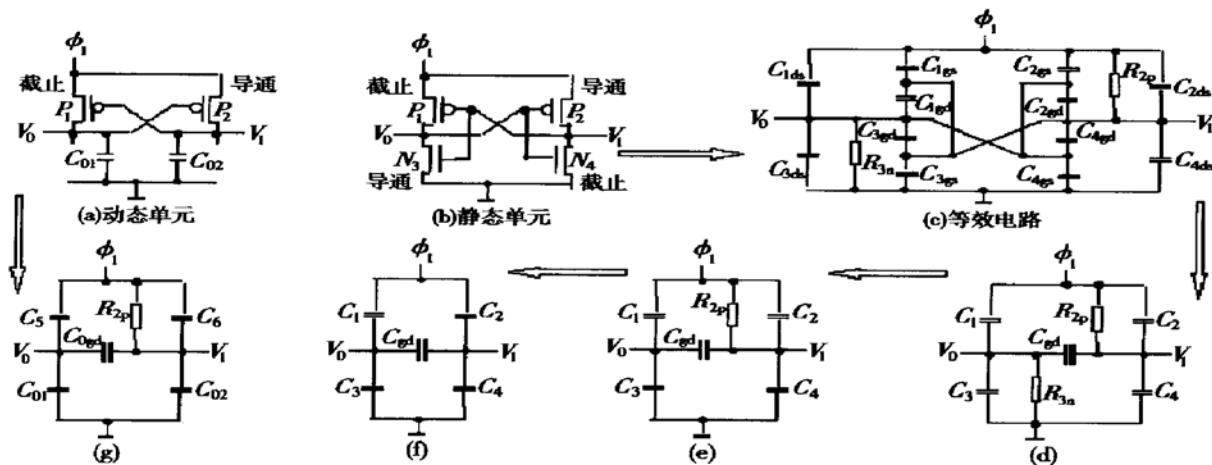


图1 交叉耦合动、静态信息单元电路和等效电路

Fig. 1 Clos-couple dynamic and static memorial unit and its equivalent circuit

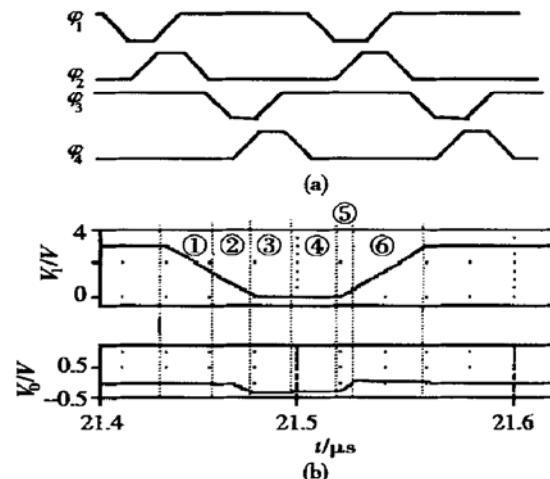
高低电平, 经过下述工作过程分析和等效电路分析, 注意电路左右两边参数对称, 得出绝热静态信息单元参数选取原则是:

- (一) $V_{tp} < V_{tn}$; (二) $C_3, C_4 < C_1, C_2$; (三) $R_p < R_n$
- (1)

显然在 $\phi = 1$ 的持续期内, 具有 CMOS 非门结构的图 1(b) 比图 1(a) 有较强的负载能力, 但是随 ϕ 的降低, 情况就会发生变化。如果原则(一)不满足, 设低 ϕ 下 P_2 先截止(N_3 仍导通), 图 1(d) 的 V_1 输出端($R_{2p} = \infty$)只与极间电容相连, 因此 V_1 输出负载能力变差, 同时也会使输出 V_1 下降后最低电平 V_{1min} 偏离 0 很大。为了在整个 ϕ 降低过程中, 保持较强的负载能力和接近 0 的输出低电平 V_{1min} , 必然要求 P_2 一直处于导通状态, 并且 R_p 较小, 也即 N_3 先截止, 满足原则(一)。参看图 2(a) 和(b) 所示的时钟波形和 V_1 、 V_0 波形, 图 2(b) 是图 5 局部放大, 分析图 2(b) 和图 1(d), 得出主要工作过程如下:

(1) ϕ 开始降低到 N_3 进入截止边沿, P_2 和 N_3 均导通, 等效电路为图 1(d), V_1 线性下降; 因 C_1 和 C_{gd} 的电压减小, 使电容电流反向, 在 R_n 上产生反向电压, 又因 $\phi = 1$ 的持续期末 $V_0 = 0$, ϕ 开始降低时, 可能 V_0 迅即降为接近 0 的负值。考虑 NMOS 管和 PMOS 管工作在线性区, 其电导 G_n 和 G_p 是电压的函数(电阻 $R_n = 1/G_n$, $R_p = 1/G_p$, 是非线性电阻), 由下式表达^[2, 7]:

$$G_n = \frac{\mu_n C_n}{L^2} (V_{gs} - V_{tn}), G_p = \frac{\mu_p C_p}{L^2} (|V_{gs}| - |V_{tp}|) \quad (2)$$

图2 时钟和 V_0 及 V_1 波形 (a) 时钟波形; (b) V_1 和 V_0 波形Fig. 2 Waveform of clock, V_1 and V_0 (a) Waveform of clock; (b) Waveform of V_1 and V_0

上式表明, 当 N_3 的 V_{3gs} 接近 V_{3tn} 时, N_3 进入截止, 但不是突变, 此时 P_2 的 R_{2p} 仍很小。

(2) N_3 进入截止到 ϕ 降低为 0, 等效电路如图 1(e) 所示, 因 P_2 导通, V_1 仍线性下降。又因 V_1 近似等于 ϕ , ϕ 变化 $\Delta\phi$ 经电容分压得出 V_0 变化 ΔV_0 近似表示为:

$$\begin{aligned} \Delta V_0 &= \Delta\phi (C_1 + C_{gd}) / (C_1 + C_3 + C_{gd}) \\ &= K \Delta\phi, \quad K < 1 \end{aligned} \quad (3)$$

若满足原则(二), 则可得到较大的 K 值, 上式表明 V_0 向更负线性下降。

(3) ϕ 持续为 0 到 P_2 处于截止边沿, N_3 截止, 而 P_2 由微导通趋向截止, 等效电路开始为图 1(e)

($\phi=0$), 逐渐由图 1(e) 转向图 1(f). 一般 P_2 不可能过截止, 因 $\phi=0$, 各电容电压下降速度取决于 R_{2p} , 由(2)式看出, P_2 进入截止前, R_{2p} 越来越大, 放电速度越来越慢, 一旦 P_2 截止, 则等效电路变为图 1(f), 放电过程立即结束, 各点电压基本不会再变化, P_2 处在截止边沿.

(4) P_2 进入截止边沿到 ϕ 开始上升, 等效电路是图 1(f). 因 $\phi=0$, 无放电回路, 此期间 V_1 和 V_0 基本不变, V_1 和 V_0 的差也基本不变(实际是极缓慢上升).

(5) ϕ 开始上升到 N_3 进入导通, 因 P_2 原为截止边沿, 能立即转为 P_2 导通(若满足原则(三), 则可使低压阶段负载能力较好), 而 N_3 仍截止, 等效电路转为图 1(e), 所以 V_1 线性上升; 类似(2)情况, V_0 也线性上升.

(6) N_3 开始导通到 ϕ 上升为 1, 等效电路为图 1(d). N_3 开始导通时满足 $V_1 = V_{1gs} = V_{1tn}$, V_0 或 C_3 上必有一个正电压 V_{0m} (小于 V_{3on} , 取决于(3)式中的 K 和原则(一)), V_{1n} 和 V_{1p} 的差小, 则 V_{0m} 也小, 有利于减小此类非绝热损耗^[5], 一旦 N_3 导通, V_0 便逐渐放电为 0. 而 V_1 仍线性上升, 直至最大.

由上看出, 若信息单元接收代码后立即与外界隔离, 当 ϕ 降低到 0 时, 常规取 V_1 和 V_0 的绝对值作为信息, 信息似乎消失. 本文按 V_1 和 V_0 的相对值作为信息, 信息并未消失, 随着 ϕ 由 0 升到 1, 似乎消失的信息又自动恢复.

3 绝热静态记忆单元输入输出电路和整体电路结构

图 1 所示的绝热信息记忆单元需要有输入和输出电路进行信息的接收和变换. 因绝热组合电路带有时序性, 并非传统概念下的组合电路, 按传统方法单独处理绝热输入和输出电路困难会很大. 本文首先将绝热触发器集合按图 3 展开, 构成整体形式的主从结构(从触发器数 \geq 主触发器数), 然后根据整体电路结构的需求, 提出一种结合信息记忆单元和输入输出电路为一体的结构方式, 避免专用绝热组合电路: (1) 采用取样输入电路. 图 3(a) 上半部为主触发器, 信息记忆单元的两旁(N_3, N_4, C_1, C_2 和输入 $a \sim d$ 所接的 6 管) 为取样输入电路. 结合图 2(a) 看出, 开始 $\phi=0$, 允许 N_3, N_4 栅极电压变化, 该变化是 ϕ 由 0 \rightarrow 1 时在 C_1, C_2 上形成输入 a, b, c, d 决定

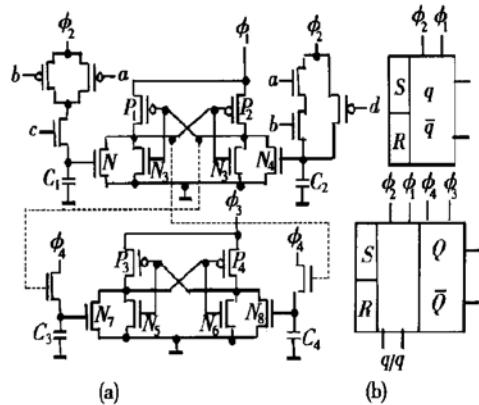


图 3 绝热静态主从触发器和符号

Fig. 3 Adiabatic static master-slave flip-flop and symbol

的取样信号; 接着 ϕ 由 0 \rightarrow 1, 记忆单元接收 C_1, C_2 上的代码; 最后 ϕ 由 1 \rightarrow 0, 此后持续 $\phi=1$ 和 $\phi=0$. $\phi=0$ 使记忆单元与外界隔离, 可靠地保存已接收的信息, 保证工作的稳定性. 目前绝热电路常常将输入电路直接与记忆单元相连, 留有不稳定隐患, 不利于整体电路的工作. 注意主触发器两旁的取样输入电路, 其一相当于 $S = c(\bar{a} + \bar{b})$, 另一相当于 $R = \bar{d} + bc$, 二者并非互补, 即 $S \neq R$, 但要满足 $SR=0$.

(2) 采用从触发器输出电路, 如图 3(a) 所示的下半部, 时钟为 ϕ_1 和 ϕ_2 . 从触发器集合分外输出和状态输出两类从触发器, 外输出和状态输出同时形成. 一般按图 3 所示虚线方式连接, 构成主从触发器. 图 3(b) 下部为主从触发器符号, 上部为从触发器符号. (只要能完成状态转换, 不一定组成主从触发器形式, 可参照文献[8]). 外输出从触发器的取样输入电路常常是多管形式. 绝热同步时序电路是由若干个绝热主触发器和绝热从触发器用导线连接而成, 取消专用的绝热组合电路.

采用上述主从结构可实现较复杂的绝热同步时序电路, 参照文献[8]的卡诺图法, 设计出 5421BCD 码 10 进制和 7 进制可变计数器(带有进位输出从触发器和反馈清 0 从触发器), 当 $x=1$ 和 0 时分别为 10 和 7 进制计数器. 先设计带清 0 输入 r 的 5421BCD 码绝热十进制计数器, 十进制数为 0000, 0001, 0010, 0011, 0100, 1000, 1001, 1010, 1011, 1100, 然后得出反馈清 0 的 r 从触发器(数 6 为 1001, 进入 1001 时清 0), 进位输出 Y 从触发器和 4 个主从触发器的取样输入表达式如下:

$$\begin{aligned} r &= \bar{x}Q_3Q_0, \bar{r} = x + \bar{Q}_3 + \bar{Q}_0, \\ Y &= Q_3(xQ_2 + \bar{x}Q_0), \bar{Y} = \bar{Q}_3 + x\bar{Q}_2 + \bar{x}\bar{Q}_0 \end{aligned} \quad (4a)$$

$$S_3 = \bar{r}Q_2\bar{Q}_3, R_3 = r + Q_2Q_3, \quad (4b)$$

$$S_2 = \bar{r}Q_0Q_1, R_2 = r + \bar{Q}_0 + \bar{Q}_1 \quad (4c)$$

$$S_1 = \bar{r}Q_0\bar{Q}_1, R_1 = r + Q_0Q_1, \quad (4c)$$

$$S_0 = \bar{r}Q_0\bar{Q}_2, R_0 = r + Q_0 \quad (4c)$$

根据(4)式画出电路图,如图4示,其中控制信号x和反馈信号r是单轨输入。

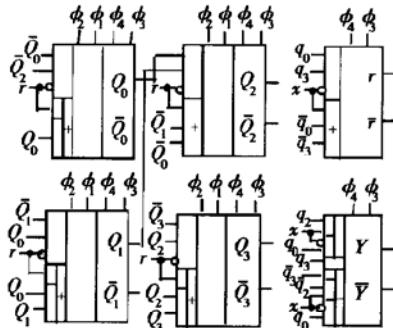


图4 绝热可变计数器和符号

Fig. 4 Adiabatic static master-slave flip-flop and its symbol

4 计算机模拟和讨论

首先利用图3(a)左半部的主触发器对图1(b)静态记忆单元进行PSPICE模拟,采用1.2μm工艺,时钟电压幅值是3.0V,时钟周期为320ns,图中输入a和d接3V电压(管截止),输入b和c接周期性控制电压,b的周期为41600ns,中间改变电压方向;c的周期为20800ns,脉冲宽度为120ns;上下沿均为40ns,V_{in}与|V_{tp}|之差约0.15V,C₁、C₂大于C₃、C₄约2~4倍。模拟波形如图5所示。波形表明,c的每周期初产生120ns正脉冲,向静态记忆单元置入代码0或1(取决于b),其余时间(20600ns)c为0V,静态记忆单元与外界隔离,每时钟周期该绝热电路的信息全是自动恢复的,与前述理论一致。改时钟周期为32ns时结果相同。另外模拟图3(a)绝热主从触发器,表明满足触发器预期的功能。最后对图4绝热可变计数器模拟,时钟周期为32ns,模拟波形如图6所示,由图看出,按x的变化,图两边是5421BCD码10进制计数器,中间是7进制计数器,实现了输出Y和反馈r,而且验明R_i=S_i=0持续期

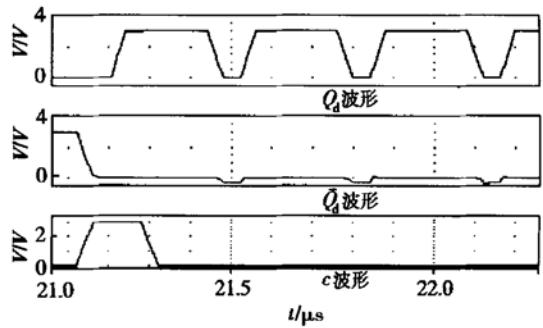


图5 绝热静态记忆单元模拟波形

Fig. 5 Simulation for adiabatic memerial unit

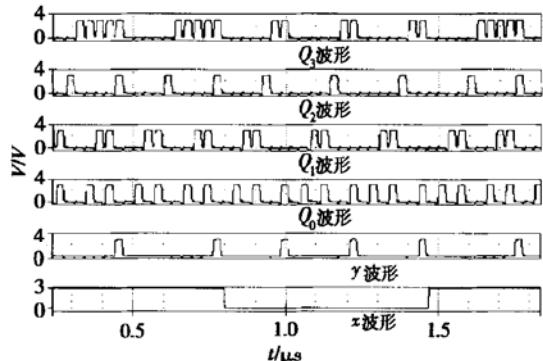


图6 绝热可变计数器输出波形模拟

Fig. 6 Simulation for output waveform of variable counter

内信息能自己恢复,与预期结果一致。图4的功耗曲线如图7所示,四个时钟φ₁、φ₂、φ₃、φ₄的有效耗损功率分别是6.75、0.85、7.95、0.65μW,总计是16.2μW。从表面上看,增加了取样输入电路,但稳定

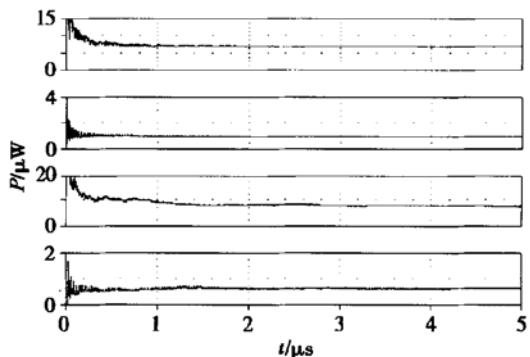


图7 可变计数器功耗模拟

Fig. 7 Simulation for power dissipation of variable counter

性的提高是值得的。只有稳定性提高,才可实现复杂电路,而且其中取样输入电路功耗相对较低,使整

体电路功耗比同类电路低^[6]. 因为整体是复杂非线性电路, 拉氏变换、叠加原理和戴维南原理已失效, 整体电路耗损功率测试公式很难推出. 本文改用有效耗损功率 P_{eff} 基本定义去测试, 十分简便有效, 为使起始功耗影响接近 0, 取很大的 K (即 $t = KT$ 很大), 曲线最右侧趋于平坦, 读数很方便. P_{eff} 表达式如下:

$$P_{\text{eff}} = \frac{1}{kT} \int_0^{kT} V(t) I(t) dt \quad (5)$$

其中 k 是整数, 直接用函数 AVG() 测量.

如果上述电路中的信息记忆单元改静态为动态, 则信息存储电容(相应图 1(a) 所示的 C_{01} 和 C_{02}) 要选取得比输入电路的寄生电容大很多, 否则经寄生电容的反馈作用或干扰信号会使记忆电路产生误反转. 信息电容太大又会降低工作速度. 由于静态单元电路是 CMOS 非门输出, 负载能力强, 对寄生电容呈现低阻, 大大降低寄生电容的影响.

5 结论

本文首先分析绝热等效电路, 找出参数选取原则, 实现了能量和信息都可恢复的绝热静态 CMOS 记忆电路. 根据整体电路结构的需求, 提出一种结合信息记忆单元和输入输出电路为一体的结构方式, 避免专用绝热组合电路, 其中取样输入电路保证仅当接收信息时才将记忆单元与外界接通, 其它时刻与外界隔离, 能可靠地保存信息和提高工作的稳定性.

参考文献

- [1] Hang Guoqiang, Wu Xunwei. Adiabatic CMOS switching adopting two-phase power-clock supply and avoiding floating output. Chinese Journal of Semiconductors, 2001, 22(3): 366 (in Chinese)[杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路. 半导体学报, 2001, 22(3): 366]
- [2] Wu Xunwei, Hang guoqing. Principle of adiabatic computing and CMOS circuits with energy recovery. Chinese Journal of Computers, 2000, 23(7): 779(in Chinese)[吴训威, 杭国强. 绝热计算原理与能量恢复型 CMOS 电路. 计算机学报, 2000, 2 (7): 779]
- [3] Li Xiaomin, Qiu Yulin, Chen Chaoshu. Design of low voltage charge-recovery logic circuit. Chinese Journal of Semiconductors, 2001, 22(10): 1352[李晓民, 仇玉林, 陈潮枢. 低电压 Charge-Recovery 逻辑电路设计. 半导体学报, 2001, 22(10): 1352]
- [4] Liu F, Lau K T, Siek S, et al. A low-power compact switched output adiabatic logic(CSOAL) family. Int J Electron. 1999, 86(3): 323
- [5] Lo C K, Chan P C H. An adiabatic differential logic for low-power digital systems. IEEE Trans Circuits and Systems-II : Analog and Signal Processing, 1999, 46(9): 1245
- [6] Ng K W, Lau K T. Low power flip-flop design based on PAL-2N structure. Microelectron, 2000, 31: 113
- [7] Weste N, Eshraghian K. Principles of CMOS VLSI design: a systems perspective. 2nd Edition. New York: Addison-Wesley, 1993
- [8] Fang Zhenxian, Liu Ying. Edge sampling and synthesis of synchronous dynamic sequential circuits. ACTA Electronica Sinica, 1999, 27(5): 11(in Chinese)[方振贤, 刘莹. 边沿取样电路和同步动态时序电路综合. 电子学报, 1999, 27(5): 11]

Adiabatic Static Memory CMOS Circuits and Its Ability in Information Recovery^{*}

Liu Ying and Fang Zhenxian

(College of Science and Electronic Engineering, Heilongjiang University, Harbin 150080, China)

Abstract: An adiabatic static CMOS memory circuit to have ability in information recovery by means of analyzing equivalent circuit, choosing parameter and realizing complete function of sequential circuit is presented. Because all adiabatic combination circuits have a feature of sequential circuits, the best structure of adiabatic circuit is able to merge input and output into a complete sequential circuit with memory, which consists of master-flip-flops-set and slave-flip-flops-set, including output slave-flip-flops and feedback slave-flip-flops. The diabatic input sampling circuit is put on every flip-flop to use both receiving data input and isolating it from external input during holding data. Finally, a ten's-seven's carry control counter in 5421BCD is designed. Above circuit is verified by computer simulator.

Key words: adiabatic static memory unit; information recovery; sample input circuit; analyzing equivalent circuit

EEAC: 2570D

Article ID: 0253-4177(2002)12-1326-06

* Project supported by the National Natural Science Foundation of Heilongjiang Province(No. F01-13)

Received 28 February 2002, revised manuscript received 18 May 2002

© 2002 The Chinese Institute of Electronics