

Si/SiGe-OI 应变异质结构的高分辨电子显微分析

马通达¹ 屠海令¹ 邵贝羚¹ 陈长春² 黄文韬²

(1 北京有色金属研究总院, 北京 100088)

(2 清华大学微电子学研究所, 北京 100084)

摘要: 为了研究失配应变的弛豫机理, 利用高分辨电子显微镜(HREM)对超高真空化学气相沉积(UHVCVD) Si/SiGe-OI 材料横截面的完整形貌和不同层及各层之间界面区的高分辨晶格像进行观察。发现此多层结构中存在 60°位错和堆垛层错。结合 Matthews 和 Blakeslee 提出的临界厚度的模型和相关的研究结果对 60°位错组态的形成和存在原因进行了分析。在具有帽层结构的 $\text{Si}_{1-x}\text{Ge}_x$ 应变层靠近基体一侧的界面中仅存在单一位错, 验证了 Gosling 等人的理论预测结果。

关键词: Si/SiGe-OI 应变异质结构; 高分辨显微结构; 失配位错; 弛豫机理

PACC: 7280; 6855; 6865

中图分类号: TN 304. 054

文献标识码: A

文章编号: 0253-4177(2004)09-1123-05

1 引言

SiGe-OI 是近几年来出现的一种新型硅基半导体材料, 它同时具备了 SOI 材料和 SiGe 材料的优点, 因而成为当前微电子研究领域的最前沿课题之一。利用这种材料制备的 SiGe/Si 异质结场效应管器件(HFET)性能突出, 尤其是 SiGe 异质结调制掺杂场效应管(HMODFET)的性能可以与 GaAs 器件相媲美。尽管 SiGe HMOSFET, SiGe HMODFET 等应变异质结场效应管器件性能优异, 但它们能否推广很大程度上还取决于无应变 SiGe 衬底的制备^[1]。

Si 和 Ge 之间大的晶格失配($\sim 4.17\%$)常常在 SiGe 和 Si 的界面引入高密度的失配位错, 当外延层超过临界厚度时会在 SiGe 层中引入插入位错。穿过 SiGe 层的插入位错扩展进入活性区将对器件性能造成破坏^[2]。已经有几种方法可以生长高质量弛豫 SiGe 衬底层, 例如, 成分梯度化^[3, 4]、柔化衬底^[4]、低温生长 Si 缓冲区^[6]等。

SiGe-OI 材料同样可以实现无应变 SiGe 衬底的制备, 它是伴随 SiGe 材料制备技术和 Si-SOI 技术的日渐成熟而产生的。目前, SiGe-OI 的制备技术

主要有: 注氧隔离制备法, 智能剥离制备法, 利用 Si-SOI 材料制备 SiGe-OI 材料等。其中, 利用 Si-SOI 材料制备 SiGe-OI 材料, 早在 20 世纪 90 年代初期就已经开始了探索。Holländer 等人^[7]利用 Ge 注入到 SOI 的顶层 Si 中来形成 SiGe-OI 结构。还可以直接在超薄 SOI 材料上生长 SiGe^[8, 9], 再结合热处理形成所需要的 SiGe-OI 结构。

高质量无应变 SiGe 层的实现依赖于该层失配应变的弛豫。研究弛豫过程最直接的方法是对其进行原位动态观察。在开展此项工作之前, 对原生态样品的微观结构, 特别是材料中的缺陷情况进行全面的了解是十分必要的。本文通过对原生态样品横截面进行高分辨电子显微观察, 得到了丰富的结构信息。

2 样品的制备

样品采用 SOI 成片作为衬底, 顶层是 Si(100)。外延生长在清华大学微电子所自行研制的超高真空化学气相沉积系统^[8]上进行。该系统的部分参数为: 基底真空中度 2×10^{-6} Pa, 工作压力 0.1~0.2 Pa, 生长温度 500~900°C。在进行外延生长前, 样品要经过氢钝化和预清洗。在用 HF 酸对其漂洗 25 s 后, 装入

外延生长系统。外延生长温度为 550℃，首先在流速为 15sccm 的 SiH₄ 气氛下生长 3min；然后调整流速使 SiH₄ 流速降至 3sccm，同时通入流速为 12sccm 的 GeH₄ 并在此气氛下生长 3min；最后，关闭 GeH₄ 气源，使 SiH₄ 流速保持在 15sccm，生长 5min。

电镜样品为横截面样品。将两块样品有外延层的一侧对粘装管，注入环氧树脂后固化。用慢速锯沿管状样品横向切片，机械减薄，挖坑，最后离子减薄至穿孔。

微观观察在 JEOL-2010 型高分辨电子显微镜上进行，工作电压为 200kV。

3 实验结果

图 1 是新型应变异质结构——Si/SiGe-OI 横截面形貌像。由图可知，Si/SiGe-OI 结构中 SiO₂ 非晶层上有四层结构，自下而上依次为 Si 衬底（SOI 的顶层硅），Si 缓冲层（也称硅过渡层），SiGe 层和 Si 帽层。厚度分别为 85, 15, 40, 20nm。图的左下方为 SiO₂ 非晶层的衍射花样。多层结构的形貌显示：Si 衬底和 Si 缓冲层交界处呈现线状不连续特征，SiGe 层上下界面清晰明锐。

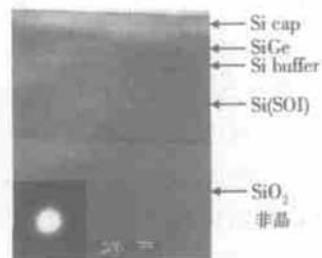


图 1 Si/SiGe-OI 材料横截面形貌

Fig. 1 Cross-sectional micrograph of Si/SiGe-OI

图 2 是 SiGe 层晶格像和与之对应的衍射花样。经标定可知，与电子束入射方向平行的晶带轴方向是 [110]，晶格条纹则分别对应 (111) 和 (111) 面。

图 3 为 Si 衬底与 Si 缓冲区界面的微观结构像。图中短线所夹区域为层错区，由不连续的微型层错组成。每对点线和实线外分别为层错两侧的完好区。微型层错的层错面均为 (111) 面。层错区与完整区域的交界处存在矢量为 1/6 {12} 的不全位错。

图 4 为 Si 缓冲区的微观结构。沿 (111) 面的晶格条纹方向可以看到两个相互平行的半原子面 A-a, B-b。围绕半原子面边缘 a 或 b 做柏氏回路，得到

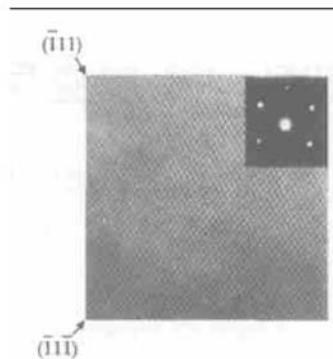


图 2 SiGe 层晶格像及其衍射花样

Fig. 2 Lattice image and diffraction pattern of SiGe layer

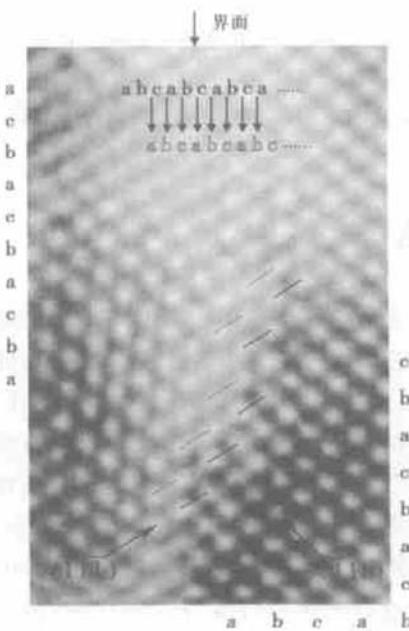


图 3 Si 衬底与 Si 缓冲区界面区中存在截垛层错

Fig. 3 A stacking fault being in the interface between Si substrate and Si buffer layer

柏氏矢量为 1/2 {10}。其柏氏矢量方向与位错线方向夹角为 60°，称之为 60°位错，在图 4 中以符号 “...” 表示。存在于 a, b 两处的 60°位错线垂直于纸面，符号相反，C 和 C' 分别是两位错的 (111) 滑移面。另外，在 Si 缓冲区的其他位置也观察到以 (111) 为滑移面的 60°位错。

图 5 为 Si 缓冲区与 SiGe 层间界面的微观结构。图中 60°失配位错以位错对的形式分别存在于两相邻平行的 (111) 和 (111) 滑移面上。此区域两侧的晶格存在畸变。已知样品 Si_{1-x}Ge_x 层中 Ge 的含

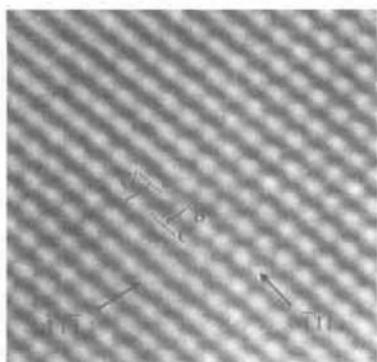


图 4 Si 缓冲区的微观结构

Fig. 4 Microstructure of Si buffer layer

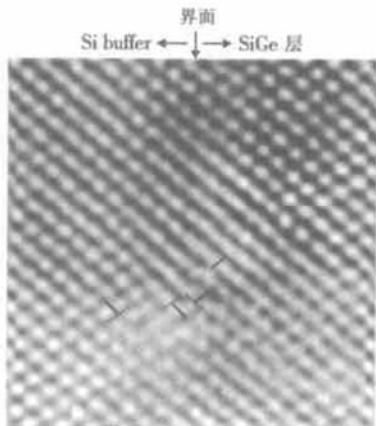


图 5 60°位错所在区域晶格像衬度变弱

Fig. 5 Contrast of lattice image weakening for the action of 60° dislocation

量 x 为 0.2, 依据 Matthews 和 Blakeslee 提出的临界厚度的理论模型^[10]进行计算, 得到相同 Ge 含量 $\text{Si}_{1-x}\text{Ge}_x$ 外延层的临界厚度值约为 10nm, 而实际结构中 $\text{Si}_{1-x}\text{Ge}_x$ 层的厚度为 40nm, 大于理论预测的临界厚度值。我们知道, 如果用 F_σ 表示因外延层和基体之间存在晶格失配而作用在插入位错上的力, 用 F_T 表示插入位错受力运动时在界面上引入的失配位错的线弹性恢复力, 那么, 在 $\text{Si}_{1-x}\text{Ge}_x$ 外延层厚度超过临界厚度时, F_σ 会大于 F_T , 这时 F_σ 将驱使插入位错克服作用力 F_T 运动, 以增加界面失配位错的长度, 释放外延层中的应变能。 60° 失配位错的引入在能量上是有利的。

图 6 是 SiGe 层的微观结构。可见, SiGe 层仍然存在晶格畸变。晶格衬度变得不明锐, 这可能是衍射动力学效应造成的结果。与其他各层的 60° 位错分布相比, 不同点在于 SiGe 层中的 60° 位错, 其滑移面

均为 $(\bar{1}11)$ 。我们认为, 这可能与 SiGe 合金有序相^[11]的结构有关。

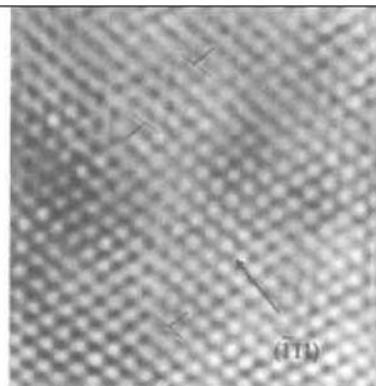
图 6 SiGe 层中存在的 60° 位错Fig. 6 60° Dislocations existing in the SiGe layer

图 7 是 SiGe 层与 Si 盖帽层间界面的微观结构。图中界面区表现出较好的结合, 晶格的连续性也很好, 未见晶格有明显的畸变以及位错等缺陷。

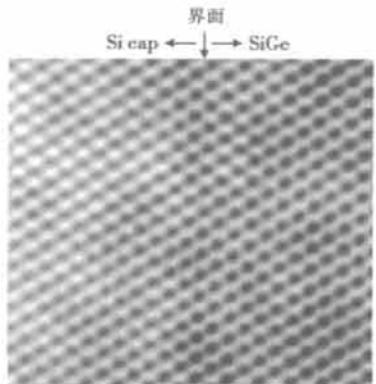


图 7 Si 盖帽层与 SiGe 层间界面的微观结构

Fig. 7 Microstructure of the interface between Si cap and SiGe layer

图 8 是 Si 盖帽层的微观结构。图片显示, Si 帽层晶格完整性较好, 没有观察到晶格缺陷的存在。

4 讨论

由图 3 可知, 在 SOI 顶层 Si 与 Si 缓冲层的界面区中存在堆垛层错。外延堆垛层错的成核诱因为三大类^[11]: 基体表面的不完整性, 如划痕、台阶; 杂质, 如氧、碳和金属沾污等; 基体中的缺陷。我们推断图 3 中出现的堆垛层错可能与基体表面的不完整性有关。另外, 图 3 中堆垛层错的附近存在晶格畸变, 这说明其周围有应力集中发生。将图 1 和图 3

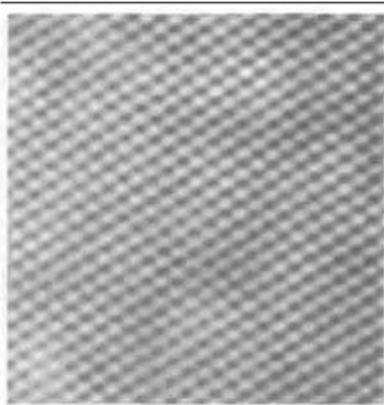


图 8 Si 盖帽层的微观结构

Fig. 8 Microstructure of Si cap layer

进行对照,发现在 SOI 顶层 Si 与 Si 缓冲区界面处出现的线状不连续特征与堆垛层错和晶格畸变所在亮区相对应。正是晶格畸变和缺陷的存在使该区域晶格像衬度发生变化。应力分布的不均匀性导致应力集中的不连续,从而使晶格畸变和堆垛层错等缺陷发生在不连续的区域,进而表现为衬度的不连续特征。

根据 Burgers 矢量反应和能量最低判据可知,60°位错在能量上是不稳定的,它将分解为 Shockley 位错分量,例如:

$$a/2 \langle 10 \rangle = a/6 \langle 111 \rangle + a/6 \langle \bar{1}12 \rangle$$

在本文实验制备的 Si/SiGe-OI 结构中,却并未发现由 60°位错分解所形成的不全位错和扩展层错。由 SOI 顶层 Si 和在其上外延生长的 SiGe 层组成的 SiGe/Si 系统, SiGe 外延层生长在 Si(100) 衬底上,其界面也为(100)面。失配位错在{111}面上的滑移运动将使失配位错 Burgers 矢量和位错线的方向 u 之间产生一定的角度。对于 $a/2 \langle 10 \rangle$ 位错,该角度为 60°,而对于上式中的两个 Shockley 位错分量分别为 30°和 90°,因此称它们为 30°位错和 90°位错。研究表明^[12],在金刚石结构中,为了形成低能的堆垛层错,两种 Shockley 位错分量(30°和 90°位错)必须按某一确定的次序运动。对于有确定界面方向和应力方向的外延层,正确的顺序由 Thompson 正四面体构造来确定。对于 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ 界面, $\text{Si}_{1-x}\text{Ge}_x$ 外延层受压缩应力作用,30°位错领先,而 90°位错拖后。因拖后的 90°位错比 30°位错所承受的应力更大,致使两 Shockley 位错的间隔缩小,甚至为 0。正因如此,本实验观察到 SiGe 层和 SOI 顶层 Si 界面处只存在 60°位错,而没有看到带有扩展层

错的不全位错。可以推论,存在于此 Si/SiGe-OI 多层结构中其他位置的 60°位错没有发生分解应该与位错所在处的晶体结构和应力状态相关。60°位错的形成使 SiGe/Si 界面区及 SiGe 层中的应力得到了部分弛豫。

在图 4,5,6 中可以看到异号 60°位错聚集的位错组态。我们知道,异号 60°位错的刃型位错分量之间表现为引力相互作用,而螺型分量之间则表现为排斥力。形成异号 60°位错聚集的组态可能是其他邻近位错与晶格失配应力综合作用的结果。可以认为,失配应力的作用使异号位错相互分开,而异号位错间的相互吸引作用则使它们更容易聚集在一起。

本文的实验结果表明,在 SiGe 层与 Si 帽层之间的界面(SiGe 层的上界面)中没有发现 60°位错,因此就不会形成由分别位于 SiGe 层上界面和下界面(Si 缓冲区与 SiGe 层间界面)中的异号位错组成的位错偶极子。此结果验证了 Gosling 等人^[13]对具有帽层的应变半导体层中失配位错分布的分析。Gosling 等人提出一定应变层厚度(h_1)下的帽层临界厚度(h_{2c})的概念。对于厚度为 h_2 的帽层,在 $h_2 > h_{2c}$ 时,失配位错以位错偶极子为主, $h_2 < h_{2c}$ 时失配位错以单位错为主。本文所用材料的帽层厚度(h_2)为 20nm, 根据 Gosling 等人的计算,失配应变为 0.0084(对应 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$), h_1 为 40nm, 对应 Si 帽层临界厚度 h_{2c} 为 25nm。当 Si 帽层临界厚度小于 25nm 时,位错将以单一位错的形式存在于 SiGe 层的下界面,本实验观察结果与 Gosling 等人计算结果完全一致。

5 结论

本文利用高分辨电子显微镜对具有帽层的应变异质结构材料 Si/SiGe-OI 横截面进行了高分辨电子显微观察,观察到 60°失配位错,堆垛层错,以及在局部区域存在由晶格失配引起的晶格畸变。依据 M-B 临界厚度模型的计算结果,阐述了 60°失配位错的产生机制。文中对能量上并不稳定的 60°失配位错存在的原因给予了解释。本文实验所制备的材料中, SiGe 应变层上下界面未出现位错偶极子,验证了 Gosling 等人对具有帽层的应变半导体层中失配位错分布的理论计算。Si 缓冲区与 SiGe 应变层界面区和 SiGe 应变层中存在的 60°失配位错,部分弛豫了 SiGe 层中的应变。

参考文献

- [1] Paul D J. Silicon germanium heterostructures in electronics: the present and the future. *Thin Solid Film*, 1998, 321: 172
- [2] Hull R, Bean J C, Buescher C. A phenomenological description of strain relaxation in Ge_xSi_{1-x}/Si(100) heterostructures. *J Appl Phys*, 1989, 66: 5837
- [3] Kvan P, Namavar F. Reduced dislocation density in Ge/Si epilayers. *Appl Phys Lett*, 1991, 58: 2357
- [4] Li Daizong, Cheng Buwen, Huang Changjun, et al. Growth and characterization of linearly graded SiGe buffer. *Chinese Journal of Semiconductors*, 2000, 21(11): 1111[李代宗, 成步文, 黄昌俊, 等. 组分线性渐变 SiGe 缓冲层的生长及其表征. 半导体学报, 2000, 21(11): 1111]
- [5] Luo Y H, Liu J L, Jin G, et al. An effective compliant substrate for low-dislocation relaxed Si_{1-x}Ge_x growth. *Appl Phys A*, 2002, 74: 699
- [6] Chen H, Guo L W, Hu Q, et al. Low-temperature buffer layer for growth of a low-dislocation-density SiGe layer on Si by molecular-beam epitaxy. *J Appl Phys*, 1996, 79: 1167
- [7] Holländer B, Mantl S, Michelsen W, et al. Formation of unstrained Si_{1-x}Ge_x layers by high-dose ⁷⁴Ge ion implantation in SIMOX. *Nucl Instrum Methods Phys Res B*, 1994, 84: 218
- [8] Luo Guangli, Lin Xiaofeng, Liu Zhinong, et al. Growth of fully relaxed Si_{0.83}Ge_{0.17} layer free of dislocations by UHV/CVD system. *Chinese Journal of Semiconductors*, 2000, 21(7): 682[罗广礼, 林小峰, 刘志农, 等. 弛豫 SiGe 外延层的 UHV/CVD 生长. 半导体学报, 2000, 21(7): 682]
- [9] Cheng Buwen, Li Daizong, Huang Changjun, et al. Growth of SiGe/Si heterostructures by UHV/CVD. *Chinese Journal of Semiconductors*, 2000, 21(3): 250[成步文, 李代宗, 黄昌俊, 等. UHV/CVD 生长 SiGe/Si 异质结构材料. 半导体学报, 2000, 21(3): 250]
- [10] Matthews J W, Blakeslee A E. Defects in epitaxial multilayers (I): Misfit dislocations. *J Cryst Growth*, 1974, 27: 118
- [11] Ravi K V. Crystallographic defects in epitaxial silicon films. *Thin Solid Film*, 1976, 31: 171
- [12] Kasper E. Properties of silicon germanium. Yu Jinzhong, Translated. Beijing: National Defense Industry Press, 2002: 23[Kasper E. 硅锗的性质. 余金中, 译. 北京: 国防工业出版社, 2002: 23]
- [13] Gosling T J, Bullough R, Jain S C, et al. Misfit dislocation distributions in capped(buried) strained semiconductor layers. *J Appl Phys*, 1993, 73: 8267

Investigation of Strained Si/SiGe-OI Heterostructure with High Resolution Electron Microscope

Ma Tongda¹, Tu Hailing¹, Shao Beiling¹, Chen Changchun² and Huang Wentao²

(1 General Research Institute for Nonferrous Metals, Beijing 100088, China)

(2 Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: Observations on cross-sectional microstructure of Si/SiGe-OI grown by ultra-high vacuum chemical vapor deposition are done with an electron microscope with high resolution for investigating relaxation mechanism of strain induced by misfit. The cross-sectional image of Si/SiGe-OI multi-layer structure, the lattice image of every epitaxial layer, and the interfaces of adjoining epitaxial layers are shown respectively. 60° dislocations and stacking faults distributed in the multi-layer structure are found. Some related theories are applied to explain the configuration of the defects. The reasons are discussed about formation and existing of 60° misfit dislocations using critical thickness model developed by Matthews and Blakeslee and other related investigations. The theoretical conclusion predicted by Gosling and his co-workers is proved reliable that single misfit dislocations generally lie in the interface between strained Si_{1-x}Ge_x layer and Si substrate for a heterostructure with a capping layer thinner than its critical thickness.

Key words: strained heterostructure Si/SiGe-OI; high resolution image; misfit dislocation; relaxation mechanism

PACC: 7280; 6855; 6865

Article ID: 0253-4177(2004)09-1123-05