

6H-SiC 肖特基源漏 n 沟 MOSFET 的数值-解析模型*

汤晓燕 张义门 张玉明 郁锦侠 陈锐标

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 分析了 6H-SiC 肖特基源漏 MOSFET 的电流输运机制, 并建立了数值-解析模型。模型正确地计人了隧道电流和势垒降低的影响, 能准确反映器件的特性。模拟结果显示, 源极肖特基的势垒高度是影响器件特性的主要因素, 随着温度升高, 器件的特性将变得更好。

关键词: 碳化硅; 肖特基势垒; MOSFET

PACC: 7280; 7330; 7340S; 7220

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2004)09-1159-05

1 引言

SiC 作为一种新型的半导体材料, 由于其具有宽带隙、高临界击穿电场、高热导率、高载流子饱和漂移速度的特点, 在高温、高频、大功率及抗辐射等方面有巨大的应用潜力。对于 VLSI 电路而言, MOSFET 是一种极其重要的器件。由于 SiC 中杂质原子的扩散系数十分低, 目前大多数 SiC MOSFET 不得不采用离子注入形成源漏区的掺杂, 而离子注入的工艺难度较大, 需要在 1500~1600℃ 高温下进行退火。高温过程会导致 SiC 的表面损伤, 加剧载流子在表面的散射, 使反型层迁移率明显下降, 跨导变小。由于离子注入后的杂质激活率一般低于 10%, 加上在常温下杂质不能完全离化, 因而会使源漏区的电阻变大。这些都严重影响了 SiC-MOSFET 的性能^[1,2]。一种新型 SiC MOSFET 结构——6H-SiC 肖特基源漏 MOSFET (Schottky barrier source/drain metal-oxide transistor, SBSD-MOSFET) 能很好地解决上述问题。

与常规 MOS 不同, SBSD-MOSFET 用肖特基金属代替了高掺杂的 pn 结做 MOSFET 的源漏, 肖特基接触有效地减小了在器件尺寸大幅度降低时困扰常规 MOSFET 的短沟效应和寄生的双极效应, 其工艺比离子注入工艺简单得多, 不会对材料的晶格产生影响, 有利于改进器件的特性^[3]。SiC 材料的禁带宽度较大, 形成肖特基源漏的电极材料可以有较大的选择余地。这将为 SiC MOSFET 器件和大规模集成电路设计开辟新的途径。

文献[4]曾经对这一器件的特性进行了探讨, 但是在源端肖特基势垒高度大于 0.2eV 时, 漏极电流减到很小。主要问题是没有能够正确地计入隧道电流和肖特基势垒降低的影响。由于在肖特基势垒处必须考虑电流的连续性, 所以使得传统的二维漂移扩散模型处理载流子通过肖特基势垒的隧穿比较困难。本文在研究肖特基源漏 MOSFET 工作机理的基础上, 对 6H-SiC 肖特基源漏 N 沟 MOSFET 建立了数值-解析模型。通过耦合求解, 模拟了该器件的 I-V 特性, 正确地计人了隧道电流和势垒降低的影响, 更能够准确反映器件的特性。

* 国家自然科学基金(批准号: 60276047) 和砷化镓高速集成电路和微波功率器件重点实验室基金(编号: 51432050101DZ01) 资助项目

汤晓燕 女, 1975 年出生, 博士研究生, 从事 SiC MOSFET 器件模型和模拟仿真研究。

张义门 男, 教授, 博士生导师, 从事器件模型、VLSI 计算机辅助设计的教学和研究工作。

2003-09-13 收到, 2003-11-21 定稿

© 2004 中国电子学会

2 SBSD-MOSFET 的电流输运机制

根据 SBSD-MOSFET 的结构特点, 可以将其看作是两个背靠背的肖特基二极管. 源漏区肖特基接触界面的特性和常规肖特基二极管相似.

当栅压 V_G 为零偏时, 源漏区均有高度为 $q\Phi_{Bp}$ 的肖特基势垒, 阻碍载流子流动, 器件处于关态, 如图 1(a). 当栅压 V_G 大于阈值电压 V_T , p 型半导体的表面将会反型成 n 型, 引起能带弯曲, 势垒高度相应的变为 $q\Phi_{Bn}$, n 型沟道出现, 如图 1(b). V_{bi} 为肖特基结的自建势, Φ_n 为 SiC 平衡费米能级和导带底的差距. 工作状态下 ($V_G > V_T, V_{DS} > 0$), 源端的肖特基结反偏, 漏端的肖特基结正偏, 电子主要靠隧道效应 (伴随有热电子发射) 从源区通过金属/SiC 界面的肖特基势垒注入反型的 n 型沟道, 流向漏区, 形成电流. 随着栅压 V_G 增大, $q\Phi_n$ 减小, 势垒厚度变窄, 从而电子的隧穿几率增大. 源漏电压 V_{DS} 增大, 源端肖特基结的反向偏压增大, 势垒变窄, 漏端沟道一侧的势垒降低, 漏电流增大. V_{DS} 进一步增大, 夹断点进入沟道, 漏电流开始饱和.

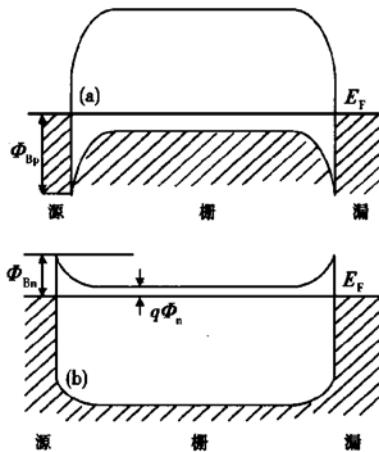


图 1 6H-SiC n 沟 SBSD-MOSFET 能带图

(a) $V_G = V_{DS} = 0$; (b) $V_G > V_T, V_{DS} = 0$

Fig. 1 Schematic band diagram of
6H-SiC SBSD-NMOSFET (a) $V_G =$
 $V_{DS} = 0$; (b) $V_G > V_T, V_{DS} = 0$

基于上述工作机理, 器件结构特性被分为连续的三部分, 如图 2 所示. 左端和右端分别是源极和漏极的肖特基势垒, 中间部分是 n 型反型层; Φ_{SBn}, Φ_{DBn} 分别是源端和漏端的实际势垒高度; J_S, J_C, J_D 分别表示源极肖特基势垒的反向电流密度, 沟道电流密

度和漏极肖特基势垒的正向电流密度; L_S, L_C, L_D 分别表示源极肖特基势垒, 沟道肖特基势垒和漏极肖特基势垒的宽度. V_{CSS} 与 V_{CDS} 分别表示尖断点与源极之间的反向偏压(源极接地).

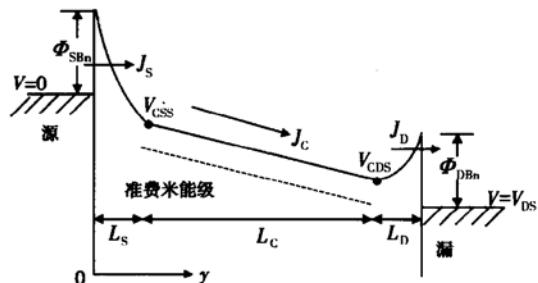


图 2 $V_{DS} > 0, V_G > V_T$ 时的能带图

Fig. 2 Schematic band diagram during $V_{DS} > 0, V_G > V_T$

J_S, J_C, J_D 分别由给定的初始电位分布 V_{CSS} 和 V_{CDS} 得出, 经过迭代, 最终使电位分布 V_{CSS} 和 V_{CDS} 满足 $J_S = J_C = J_D$.

线电流密度: $I_{DS} = d_{inv} J_S = d_{inv} J_C = d_{inv} J_D$.

电流流过的面积由器件栅极宽度 W 和垂直于 SiC-SiO₂ 界面的有效沟道厚度 d_{inv} 决定. 在本文模拟中 d_{inv} 取强反型时垂直沟道方向上电势减小 $3k_B T/q$ 所需的距离, 此时载流子浓度比表面至少降低了一个数量级. 通过求解垂直于沟道方向的泊松方程, 可以得到 d_{inv} 求解时需要考虑到 SiC 材料杂质的不完全离化^[2].

假设反型层迁移率 μ_{inv} 是常数, 采用缓变沟道近似, 沟道电流密度 J_C 可由(1)式得出, 积分方向沿 y 轴, 沟道中 y 点与源极之间的反向偏压为 V_y , $Q_{inv}(V_y, V_G)$ 表示反型层电子面密度.

$$J_C = \frac{\mu_{inv}}{d_{inv} L_C} \int_{V_{CSS}}^{V_{CDS}} |Q_{inv}(V_y, V_G)| dV_y \quad (1)$$

源端肖特基结的反向压降为 $-V_{CSS}$, 其反向电流密度 J_S 包括热电子发射电流密度 J_{STH} 和隧穿电流密度 J_{STN} 两部分, $J_S = J_{STH} + J_{STN}$. J_{STH} 的表达式如下,

$$J_{STH} = A^* T^2 \exp \left[-\frac{q\Phi_{SBn}}{k_B T} \right] \left[\exp \left[\frac{-qV_{CSS}}{k_B T} \right] - 1 \right] \quad (2)$$

式中 A^* 为电子的有效理查逊常数, 6H-SiC 的 $A^* = 110A \cdot K^{-2} \cdot cm^{-2}$; T 为器件温度; k_B 为玻尔兹曼常数. 考虑到界面层和镜像力对势垒高度的影响, 实际势垒高度可以表示为:

$$\Phi_{SBn} = \Phi_{B0} - \Delta\Phi \quad (3)$$

$$\Delta\Phi = \sqrt{\frac{qF_s}{4\pi\epsilon'_{SiC}}} + \alpha F_s \quad (4)$$

其中, F_s 为源端肖特基结的最大电场. (4) 式第一项表示镜像力带来的势垒降低, ϵ'_{SiC} 为 SiC 高频介电常数 $\epsilon'_{SiC} = 6.28\epsilon_0^{[5]}$; 第二项表示界面层导致的势垒降低, α 是个经验系数, 一般介于 1.5~3.5 nm 之间^[6], 本文中取 1.5 nm.

$$F_s = \frac{\Phi_{SBn} - \Phi_n + V_{CSS}}{L_s},$$

$$L_s = \sqrt{\frac{2\epsilon_{SiC}(\Phi_{Bn} - \Phi_n + V_{CSS})}{qns}} \quad (5)$$

$$\Phi_n = k_B T \ln \frac{N_c}{n_s}, \quad n_s = \frac{Q_{inv}(V_{CSS}, V_C)}{qd_{inv}} \quad (6)$$

式中 ϵ_{SiC} 表示 SiC 的介电常数; N_c 表示 SiC 的导

带底有效态密度; n_s 表示源端有效反型层内电子的平均体密度; $Q_{inv}(V_{CSS}, V_C)$ 表示源端反型层电子面密度.

根据费米-狄拉克分布得到电子的隧穿电流密度^[5], 取 SiC 体内导带底为势能零点.

$$J_{STN} = -\frac{A^* T}{k_B} \int_0^{E_b} D(E) \times \ln \left| \frac{1 + \exp \left[\frac{-q\Phi_n - E}{k_B T} \right]}{1 + \exp \left[\frac{-q\Phi_n + E - qV_{CSS}}{k_B T} \right]} \right| dE \quad (7)$$

式中 $E_b = q(\Phi_{SBn} - \Phi_n + V_{CSS})$; $D(E)$ 是能量为 E 的电子的隧穿几率. 假设肖特基势垒为抛物线分布, 势垒的形状由 n_s 控制. 考虑 WKB 近似条件, 电子的隧穿几率 $D(E)$ 可以表示为:

$$D(E) = \exp \left[\frac{2}{hq} \sqrt{\frac{m_n^* \epsilon_{SiC}}{n_s}} \left| E \ln \left| \frac{\sqrt{E_b + \sqrt{E_b - E}}}{\sqrt{E}} \right| - \sqrt{E_b} \sqrt{(E_b - E)} \right| \right] \quad 0 < E < E_b \quad (8)$$

其中 m_n^* 表示电子的隧穿有效质量, 6H-SiC 的 $m_n^* = 0.92m_0^{[7]}$.

漏端肖特基结的正向电流密度 $J_D = J_{DTN} + J_{DTN}$, 耗尽区的正向压降为 $V_{DS} - V_{CDS}$. 漏端有效反型层内电子的平均体密度 $n_D = \frac{Q_{inv}(V_{CDS}, V_C)}{qd_{inv}}$, 漏端的 $\Phi'_n = k_B T \ln \frac{N_c}{n_D}$, 将(2), (5), (7) 式中 $-V_{CSS}$ 用 $V_{DS} - V_{CDS}$ 替代, n_s 用 n_D 替代即可得到漏端的肖特基结正向电流密度.

3 模拟结果与分析

模拟中采用 6H-SiC 的相应参数, 考虑了 p 型 6H-SiC 杂质(掺 Al)的不完全离化. 反型层迁移率取 $100\text{cm}^2/(\text{V}\cdot\text{s})$, 栅长 $L = L_s + L_c + L_D = 1\mu\text{m}$, 氧化层厚度为 20nm.

图 3 比较了室温下相同栅长、栅氧厚度和受主掺杂浓度($N_A = 5 \times 10^{16}\text{cm}^{-3}$)的 6H-SiC 常规 MOSFET 和 SBSD-MOSFET 的特性. SBSD-MOSFET 源漏接触的肖特基势垒高度 $\Phi_{B0} = 0.3\text{eV}$. 相对常规 MOSFET 而言, SBSD-MOSFET 的驱动电流较小, 这主要是因为源端的势垒高度限制了载流子的注入, 源漏电压 V_{DS} 有一部分要降落在源端的肖特基结上(漏端的电压降落较小), 使得加在沟道上的有效电压减小.

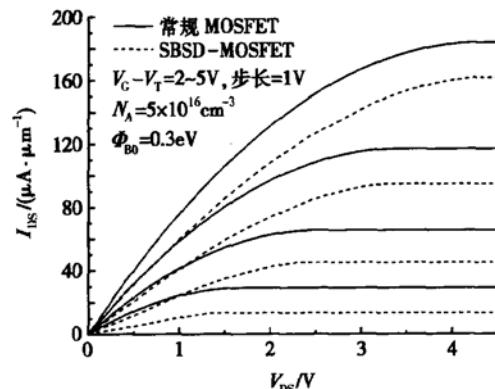


图 3 6H-SiC 常规 MOSFET 和 SBSD-MOSFET 的输出特性比较

Fig. 3 Comparison of output characteristics of 6H-SiC conventional MOSFET and SBSD-MOSFET

源端肖特基势垒的高度, 对于肖特基电流的大小有着重要的影响, 如图 4(a) 所示. 漏端肖特基势垒的高度对器件特性影响不大, 如图 4(b) 所示. 源端势垒高度越大, 电子穿过势垒的几率就越小, 肖特基结的阻抗越大, 饱和电流随之减小. 可以看出, 随着势垒高度的增加, 器件的线性区逐渐发生畸变. 这是因为在 V_{DS} 较小的情况下, 源端的反向肖特基电流制约了漏电流的增加. 随着 V_{DS} 增大, 势垒进一步变窄, 更多的电子可以通过隧穿进入沟道, 漏电流随之增大.

要改善线性区的特性, 可以通过增大栅压来实

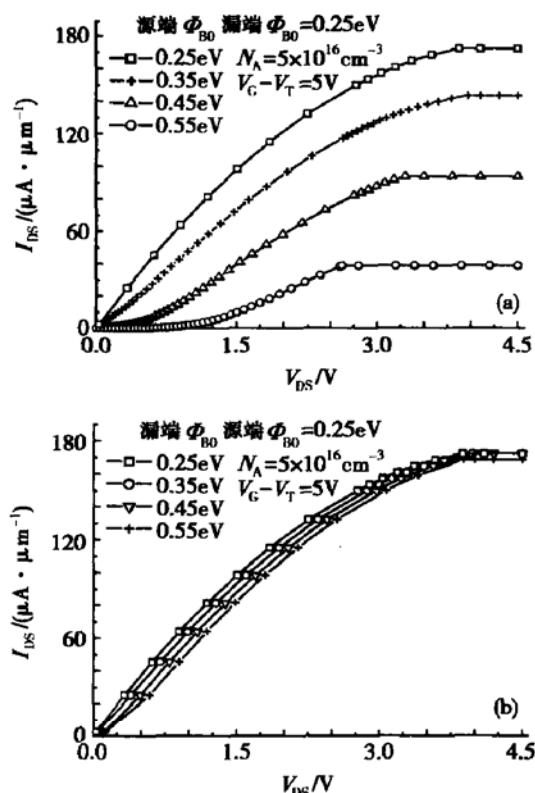


图 4 不同势垒高度下 6H-SiC SBSD-MOSFET 的输出特性
Fig. 4 Output characteristics of 6H-SiC SBSD-MOSFET with various barrier height

现,因为栅压增大,电子的隧穿几率增大.在栅压一定的情况下,减小阈值电压(如:减小栅氧厚度、衬底掺杂、平带电压等),可以提高加在沟道上的有效压降,获得更大的驱动电流.

温度升高,器件的驱动电流增大,如图 5 所示.这是因为温度升高,分布在高能级上的电子数增多,这些电子更容易穿过源极的势垒进入沟道;另外温

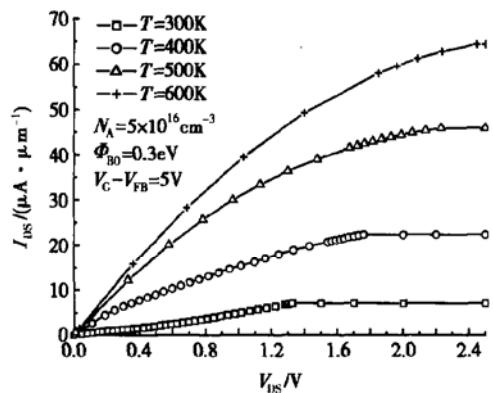


图 5 不同温度下 6H-SiC SBSD-MOSFET 的输出特性
Fig. 5 Output characteristics of 6H-SiC SBSD-MOSFET for various temperature

度升高,6H-SiC 的杂质离化率增大,导致阈值电压减小,增大了饱和电流.在模拟中未考虑 Φ_{B0} 随温度的变化.若栅极金属功函数取 4.3eV(Al),固定氧化物电荷面密度取 $1 \times 10^{12} \text{ cm}^{-2}$,可得平带电压 $V_{FB} = -3 \text{ V}$.

4 结论

6H-SiC 肖特基源漏 MOSFET 是一种新型 SiC MOSFET.这种器件结构利用肖特基金属代替了高掺杂的 pn 结做 MOSFET 的源漏,制备工艺简单,避免了常规 SiC MOSFET 的离子注入工艺难度大、退火温度高、晶格损伤大、注入激活率低等问题.

本文对该结构建立了数值-解析模型并进行了模拟.计算肖特基电流的同时考虑了热电子发射电流和隧道电流,并正确计入了势垒降低的影响,采用 WKB 近似计算电子的隧穿几率.模拟结果显示,相对于常规 SiC MOSFET,SBSD-MOSFET 的饱和电流较小.影响 6H-SiC SBSD-MOSFET 器件特性的主要因素是源端的反向肖特基结,它限制了载流子的注入.增大驱动电流最直接的办法是,尽量选择功函数小的金属,以降低肖特基结的势垒高度.在源极势垒高度确定的情况下,降低阈值电压可以在同样的栅压下获得更大的驱动电流.另外,温度升高器件的饱和电流会随之增大,说明在高温条件下,该器件具有更好的特性.

参考文献

- [1] Cooper J A Jr, Melloch M R, Singh R, et al. Status and prospects for SiC power MOSFETs. *IEEE Trans Electron Devices*, 2002, 49(4): 658
- [2] Gao Jinxia, Zhang Yimen, Zhang Yuming, et al. Investigation of the effect of the surface state and S/D resistance on the characteristics of 6H-SiC P-channel MOSFET. *Chinese Journal of Semiconductors*, 2002, 23(4): 408 (in Chinese) [郁锦侠, 张义门, 张玉明, 等. 表面态密度分布及源漏电阻对 6H-SiC PMOS 器件特性的影响. 半导体学报, 2002, 23(4): 408]
- [3] Tsutsui M, Nagai T, Ieier M A. Analysis and fabrication of P-type vertical PtSi Schottky source/drain MOSFET. *IEICE Trans Electron*, 2002, E85-C(5): 1191
- [4] Wang Yuan, Zhang Yimen, Zhang Yuming, et al. A simulation study of 6H-SiC Schottky barrier source/drain MOSFET. *Acta Physica Sinica*, 2003, 52(10): 2553 [王源, 张义门, 张玉明, 等. 6H-SiC 肖特基源漏 MOSFET 的模拟仿真研究. 物理学报, 2003, 52(10): 2553]

- 学报, 2003, 52(10): 2553]
- [5] Shang Yechun, Liu Zhongli, Wang Shurui. Study on the reverse characteristics of Ti/SiC Schottky contacts. *Acta Physica Sinica*, 2003, 52(1): 211(in Chinese) [尚也淳, 刘忠立, 王姝睿. SiC 肖特基结反向特性的研究. 物理学报, 2003, 52(1): 211]
- [6] Pendharkar S P, Winterhalter C R, Shenai K. Modeling and characterization of the reverse recovery of a high-power GaAs Schottky diode. *IEEE Trans Electron Devices*, 1996, 43(5): 685
- [7] Crofton J, Sriram S. Reverse leakage current calculations for SiC Schottky contacts. *IEEE Trans Electron Devices*, 1996, 43(12): 2305
- [8] Pendharkar S P, Winterhalter C R, Shenai K. Modeling and

Numerical-Analytical Model of 6H-SiC Schottky Barrier Source/Drain nMOSFET*

Tang Xiaoyan, Zhang Yimen, Zhang Yuming, Gao Jinxia and Chen Ruibiao

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: The operational mechanism of 6H-SiC Schottky barrier source/drain metal-oxide transistor is analyzed and a numerical-analytical model is presented. The device performance is correctly described by presented model including the effect of tunneling current and the barrier lowering. The simulated results show that the barrier height at source contact has great effects on the device performance and its feature will have more improvement as operational temperature rises.

Key words: silicon carbide; Schottky barrier; MOSFET

PACC: 7280; 7330; 7340S; 7220

Article ID: 0253-4177(2004)09-1159-05

* Project supported by National Natural Science Foundation of China (No. 60276047) and Foundation of National Key Laboratory of ASIC (No. 51432050101DZ01)

Tang Xiaoyan was born in 1975, PhD candidate. Her current research interests are SiC MOS devices and circuits.

Zhang Yimen was born in 1941, professor, doctoral advisor. He achieves great attainments in the field of device modeling and simulation in VLSI, VLSI CAD, quantum well devices and IC and high temperature microelectronics in wide band gap semiconductors.