

# 低功耗、全差分流水线操作 CMOS A/D 转换器\*

朱 璞 马德群 叶菁华 洪志良

(复旦大学微电子系 集成电路设计实验室, 上海 200433)

**摘要:** 提出一种基于运算跨导放大器共享技术的流水线操作 A/D 转换器体系结构, 其优点是可以大幅度降低芯片的功耗和面积。采用这种结构设计了一个 10 位 20M s/s 转换速率的全差分流水线操作 A/D 转换器, 并用 CSMC 0.6 μm 工艺实现。测试结果表明, 积分非线性为 1.95LSB, 微分非线性为 1.75LSB; 在 6MHz/s 采样频率下, 对 1.84MHz 信号转换的无杂散动态范围为 55.8dB; 在 5V 工作电压、20MHz/s 采样频率下, 功耗为 65mW。

**关键词:** 子模块; 共享 OTA 结构; 采样/保持电路; 余量增益电路

**EEACC:** 1290B; 1280

**中图分类号:** TN 79<sup>+</sup> 2

**文献标识码:** A

**文章编号:** 0253-4177(2004)09-1175-06

## 1 引言

近年来, 高性能 Nyquist A/D 转换器的研究主要集中在快闪型<sup>[1]</sup>、折叠-插值型<sup>[2]</sup>和流水线操作型<sup>[3~5]</sup>。在这三种结构中, 快闪型速度最快, 但精度较低, 功耗最大; 折叠-插值型速度略低于快闪型, 但具有更高的精度和更低的功耗; 流水线型的速度比折叠-插值型<sup>[1]</sup>略低, 但在功耗和精度两项性能上要远高于后者。由于流水线型 A/D 转换器特有的折中优势, 非常适合于单片系统集成和便携电子设备, 因此自上世纪八十年代末以来, 人们在提高流水线型 A/D 转换器速度和精度的同时降低其功耗和芯片面积方面, 做了许多工作, 但这些工作大多集中在电路结构的改善和优化<sup>[3~7]</sup>。本文提出了一种基于运算跨导放大器(OTA)共享技术的新型流水线体系结构, 以这种结构实现的 A/D 转换器在相同的分辨率和速度下, 比传统结构具有更低的功耗和芯片面积。

## 2 每级 1.5 位流水线 ADC 的体系结构分析

图 1(a) 是典型的九级流水线 ADC 体系结构示

意图, 它由九级低分辨率的子模块(每级分辨率为 1.5 位)级联而成<sup>[4,5]</sup>。第一级到第八级完全相同, 第九级是一个简单的两位量化器。图 1(a) 子模块中, 采样保持、余量增益功能完全由一个 OTA 核和一些外围的开关电容组成的电路实现。模拟信号首先经采样/保持电路进入第一级子 A/D 转换器, 其输出的粗量化值进入数字校正电路, 同时被两位 D/A 转化成模拟值, 这个值与输入 A/D 转换器的模拟值相减, 得到的余量值经过余量增益电路放大两倍后传送到下一级。依此类推, 每一级子模块都输出一个余量值作为下一级的输入, 同时产生两位低分辨率的数字值到数字校正电路, 通过对这些值进行适当的逻辑运算, 可得到最终的高分辨率数字输出值。流水线 ADC 的各级都按采样周期连续运作, 因此它的转换速率与采样频率相同。

图 1(b) 是改进后的结构, 它的运作方式和算法与图 1(a) 相同。不同之处在于, 图 1(a) 中的结构, 每级需要一个 OTA, 而图 1(b) 的结构两级子模块共享一个改进的 OTA, 这个 OTA 与传统结构的 OTA 功耗相同。因而改进后整个 ADC 仅需要 5 个 OTA, 而传统结构需要 9 个。由于各子模块中只有 OTA 消耗静态功耗, 而且 OTA 在版图中占有相当大的面积, 因此这种改进结构大幅度降低了功耗和

朱 璞 男, 1972 年出生, 博士, 从事数模混合电路和射频电路设计。

马德群 男, 1971 年出生, 博士研究生, 从事数模混合电路和射频电路设计。

洪志良 男, 1946 年出生, 博士, 教授, 博士生导师, 从事 VLSI 设计研究, 特别对模拟和高速集成电路感兴趣。

2003-09-29 收到, 2004-04-24 定稿

© 2004 中国电子学会

芯片面积. 图 1(a), (b) 都采用了文献[3]中的数字校正算法, 其优点是只要量化器的失调电压在

$\pm 1/4V_{\text{ref}}$  (ADC 的满幅是  $2V_{\text{ref}}$ ) 内, 就不会在输出结果中引入误差.

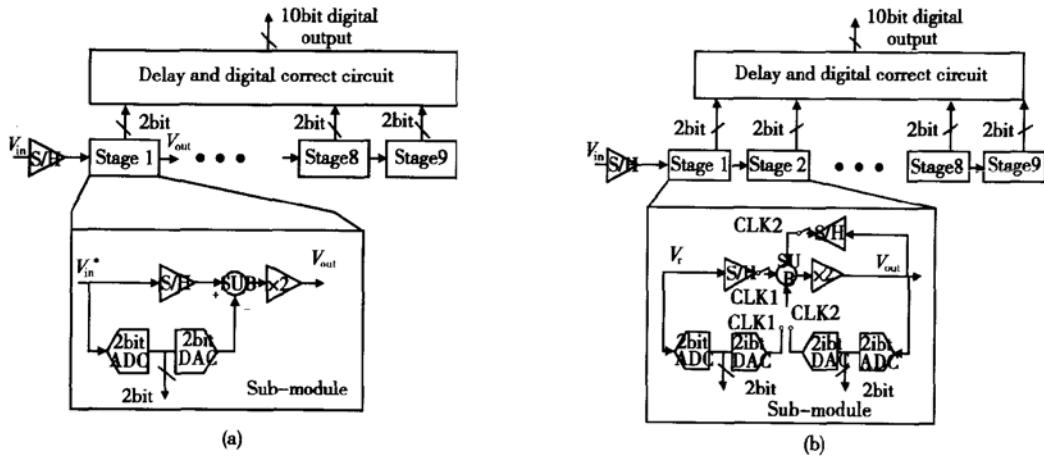


图 1 (a) 传统的 9 级流水线 ADC; (b) 改进后的 9 级流水线 ADC

Fig. 1 (a) Traditional 9-stage pipelined ADC; (b) Modified 9-stage pipelined ADC

### 3 功耗和芯片面积降低技术

由于以往的一些文章已经对这种带数字误差校正的流水线 A/D 进行了详细讨论<sup>[6,7]</sup>, 因此本节将不再就诸如速度优化、误差分析等细节问题做进一步的探讨, 而把分析的重点集中在与降低功耗和芯片面积相关的一些关键技术.

#### 3.1 动态比较器的设计

在该设计中, 总共有 19 个比较器, 因此所消耗的功耗和芯片面积也是值得注意的. 正如上节所讨论的, 采用数字误差校正技术的 ADC 容许比较器的失调在  $\pm 1/4V_{\text{ref}}$  之内. 设计中  $V_{\text{ref}} = 1\text{V}$ , 故小于  $250\text{mV}$  的比较器失调可被完全消除, 因此我们选用动态比较器作为 D/A 量化器.

图 2(a) 是该设计采用的动态比较器<sup>[5]</sup>. 最下面的 4 个 NMOS 器件工作在线性区, 差分输入信号和参考电压被加在这 4 个管子的栅极. 图 2(b) 是图 2(a) 的等效电路,  $R_1, R_2$  代表对应 MOS 晶体管的导通电阻. 其值分别为

$$G_1 = \frac{1}{R_1} = kp \left| \frac{W_1}{L} (V_{\text{in}+} - V_{\text{th}}) + \frac{W_2}{L} (V_{\text{ref}-} - V_{\text{th}}) \right| \quad (1)$$

$$G_2 = \frac{1}{R_2} = kp \left| \frac{W_1}{L} (V_{\text{in}-} - V_{\text{th}}) + \frac{W_2}{L} (V_{\text{ref}+} - V_{\text{th}}) \right| \quad (2)$$

根据(1), (2) 两式可得到

$$\Delta G = G_1 - G_2 = kp \frac{W_1}{L} \left[ (V_{\text{in}+} - V_{\text{in}-}) - \left( \frac{W_2}{W_1} \times V_{\text{ref}+} - \frac{W_2}{W_1} \times V_{\text{ref}-} \right) \right] \quad (3)$$

其中比较器的阈值电压为

$$V_{\text{Tcomp}} = \frac{W_2}{W_1} [V_{\text{ref}+} - V_{\text{ref}-}] \quad (4)$$

从图 2(b) 可看出, 当 Latch 信号为低电平时,  $V_{\text{out}+}$  和  $V_{\text{out}-}$  都被拉到高电平, 比较器的输出处在锁定态; 当 Latch 信号变高, 比较器形成两个首尾相连的反向器. 受正反馈的作用, 当  $\Delta G < 0$  时, 比较器的输入电压小于阈值电压,  $V_{\text{out}+}$  被驱动到低电平; 当  $\Delta G > 0$  时,  $V_{\text{out}-}$  被驱动到低电平. 经仿真验证, 当工作频率在  $20\text{MS/s}$  时, 所有比较器的平均功耗仅为  $4\text{mW}$ .

#### 3.2 OTA 共享技术

##### 3.2.1 OTA 最小功耗的设定

在传统的 9 级流水线 A/D 转换器中(使用了动态比较器), 除了参考电压发生电路的一小部分直流功耗外, 采样电路和各子模块中的 9 个 OTA 消耗

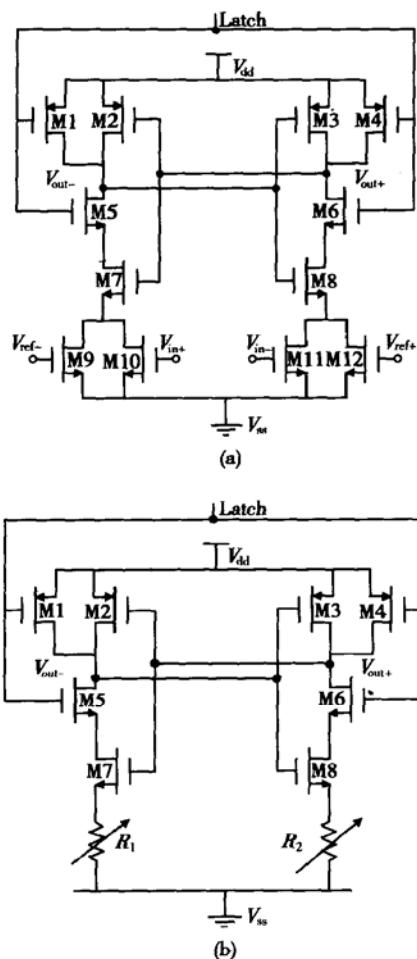


图 2 (a) 动态比较器; (b) 动态比较器的等效电路

Fig. 2 (a) Dynamic comparator; (b) Equivalent circuit of dynamic comparator

了剩余的全部直流功耗。因此,在以往一些有关九级流水线 A/D 转换器的文献中,多是通过降低单个 OTA 功耗,或逐级按比例缩小 OTA 等优化设计方法来降低总体功耗<sup>[5]</sup>。但这种方法受到 A/D 转换器开关电容取值的限制,而电容的取值又由要求达到的信噪比和分辨率决定。以采样电路为例,最主要的噪声源是热噪声,而噪声幅度的均方值是采样电容值的函数( $\sigma_{\text{thermal}}^2 \propto K T / C$ )。当信号通过传输门,被 1pF 的电容采样,电容上的等效热噪声均方电压是 64μV。如果容许采样电路的等效热噪声均方电压最高为 100μV,则可推出采样电容  $C_s$  的相应值是 0.4pF。类似的方法可算出后级电路的最小采样电容,它的值同时也是前一级采样保持电路的负载电容。在给定的采样速率下,这些电容值决定了 OTA 必须提供的最小充放电电流以及 OTA 需要达到的最小单位增益带宽,从而决定了 OTA 的最小功耗。

因此,若想进一步减低功耗必须采用其他的方法。

### 3.2.2 共享 OTA 的设计及其在体系结构中的实现

图 3(a)是一个典型的折叠级联 OTA,图 3(b)是用这种 OTA 实现的一种传统的级间余量增益电路。(5)式是图 3(b)的理想转移函数,其表达式为:

$$V_{\text{residue}} = V_{\text{outp}} - V_{\text{outn}}$$

$$= 2[(V_{\text{inp}} - V_{\text{inn}}) - \frac{1}{2}(V_{\text{daep}} - V_{\text{daen}})] \quad (5)$$

式中  $V_{\text{residue}}$  为余量输出值,  $V_{\text{inp}} - V_{\text{inn}}$  为差分输入值,  $1/2(V_{\text{daep}} - V_{\text{daen}})$  为 DAC 的量化值。

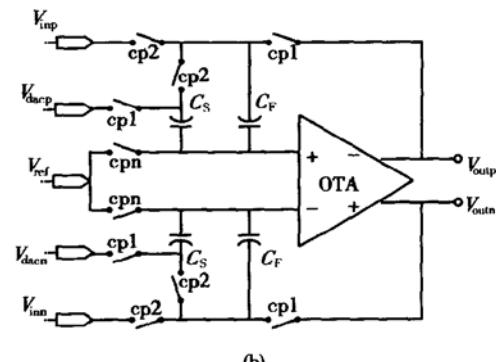
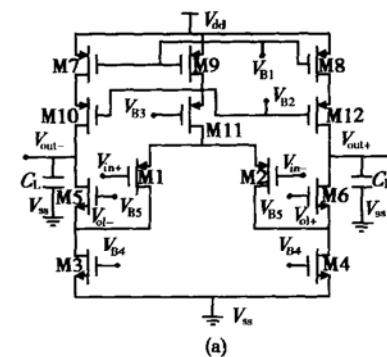


图 3 (a) 传统结构中的折叠级联 OTA; (b) 传统结构中的余量增益电路

Fig. 3 (a) Traditional fold-cascade OTA; (b) Traditional residue-gain circuit

然而,实际电路的余量值与上式表示的结果存在一定的偏差,这主要是 OTA 的有限增益和有限带宽造成的增益误差和不完全建立误差。(6)式是这种结构处在保持阶段的时间常数<sup>[5]</sup>。

$$\tau = \frac{C_{LT}}{g_{m1}} \times \frac{1}{f} = \frac{C_L + \frac{C_F(C_S + C_{in})}{C_F + C_S + C_{in}}}{g_{m1}} \times \frac{C_S + C_F + C_{in}}{C_F} \quad (6)$$

其中  $C_{LT}$  是输出端等效负载电容之和;  $g_{m1}$  是输入管的跨导;  $f$  是闭环反馈因子;  $C_{in}$  是 OTA 的等效输入电容, 它的值是

$$\begin{aligned} C_{in} &= C_{GS1} + A_1 C_{GD1} \\ &= C_{GS1} + g_{m1}(r_{ds1} \parallel r_{ds3} \parallel r_{in}) C_{GD1} \quad (7) \end{aligned}$$

式中  $A_1 = g_{m1}(r_{ds1} \parallel r_{ds3} \parallel r_{in}) C_{GD1}$  是输入差分对管漏极到栅极的增益, 其中  $r_{in}$  是从 M 5 的源极输入的阻抗, 它的值近似等于 M 7 的输出阻抗  $r_{ds7}$ . 由于  $A_1$  至少有几十倍, 故(7)式中第二项的密勒等效电容起支配作用. 从(6)式可见,  $C_{LT}$  和  $1/f$  都是  $C_{in}$  的增函数, 因此, 当输入偏流和输入对管的  $W/L$  恒定时,  $g_{m1}$  恒定, 时间常数  $\tau$  将随  $C_{in}$  的减小而减小. 一般的设计中, 为了保证所要求的输入跨导, 而又不至于使输入电容过大, 输入差分对管的沟道长度都尽可能取得小一些. 由于短沟道效应, 输入对管的输出阻抗随沟道长度的变短急剧减小, 使直流增益迅速衰减, 造成 ADC 的积分非线性误差(INL)增大. 因此, 输入管沟道长度的取值须在要求达到的速度和精度之间折中. 另外, 由图 3(b)可见, OTA 仅在  $cp1$  为高电平时的半个周期处于保持状态, 而在  $cp2$  为高电平期间, 采样和反馈电容同时对输入信号采样, OTA 不起作用, OTA 在这半个周期内的直流功耗被白白浪费掉了.

针对上述限制, 我们提出了图 4 所示的共享 OTA 电路结构以及 OTA 共享的余量增益电路. 图 4(a)中, 输入对管级联了一对共栅 PMOS 管 M 3, M 4. 一方面, 输入差分对管漏极的增益  $A_1 = g_{m1}/g_{m3} \approx 1$ , 因此(7)式中第二项的密勒等效电容大大减小; 另一方面, 从 M 3, M 4 漏极输入的阻抗比直接从输入对管的漏极输入的阻抗大得多. 因此, ADC 的速度和精度同时获得改善. PMOS 管 M 17, M 18 的漏各串接了一对 NMOS 开关 M 13, M 14, M 15, M 16, 它们的栅分别受  $cp1$ ,  $cp2$  的控制. 在 M 13~M 16 的源端分别串联了一对级联的 NMOS 管, 其中 M 11, M 12 的栅作为 OTA 的另一对差分输入端.  $cp1$ ,  $cp2$ ,  $cp$ ,  $cpn$  的时序如图 4(b)所示, 当  $cp2$  为高电平时, OTA 中的输出电流被切换到 M 13, M 16, 第  $n$  级余量增益电路对上一级的余量信号采样,  $n+1$  级处于反馈保持阶段, 反馈信号由  $V_{in2+}$ ,  $V_{in2-}$  输入 OTA; 当  $cp1$  为高电平时, 图 4(a)中的电流被切换到 M 14, M 15, 第  $n$  级处于反馈保持阶段, 反馈信号由  $V_{in1+}$ ,  $V_{in1-}$  输入 OTA, 这时,  $n+1$  级的  $C_F$ ,  $C_S$  同时对第  $n$  级输出的余量信号采样. 显然, 当驱动第  $n$

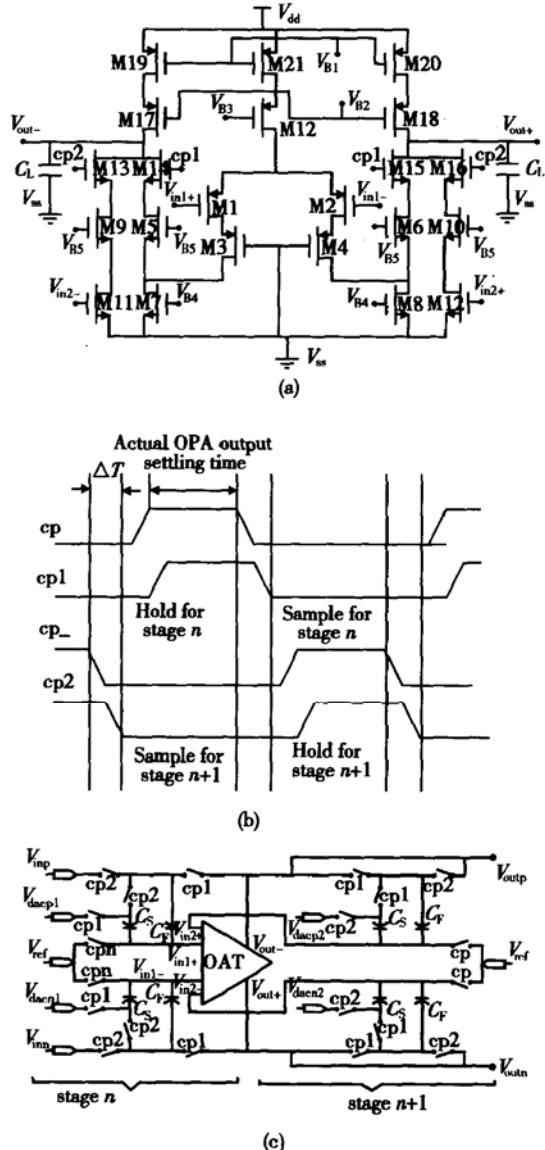


图 4 (a) 改进后的共享 OTA; (b) 余量增益电路的时序; (c) 共享一个 OTA 的两级余量增益电路

Fig. 4 (a) Modified share-OTA (b) Timing of residue-gain; (c) Residue-gain circuit with a share-OTA

级时, OTA 是折叠级联结构; 当驱动第  $n+1$  级时, OTA 变形为级联套筒结构. 这样, OTA 的输出电流在时钟的控制下不停地在两对开关中切换, 连续交替驱动第  $n$  级和第  $n+1$  级. 这种 OTA 的直流功耗与图 3(a)中的相同, 但每级余量增益电路花费的平均功耗只有图 3(b)结构中的一半多. 因此, 通过这种技术可使整个流水线 ADC 的功耗和芯片面积大幅度降低, 而性能指标基本不变.

## 4 测试结果

该电路采用 CSMC  $0.6\mu\text{m}$  双层多晶硅、双层金属 CMOS 工艺流片, 图 5 是芯片照片, 图中下半部分是流水线 ADC 的主体, 包括采样保持电路和级联的子模块。左上角是参考电压产生电路, 中间是时钟发生电路, 右上角是数字校正电路。整个芯片的面积是  $4.3\text{mm} \times 2.7\text{mm}$ 。

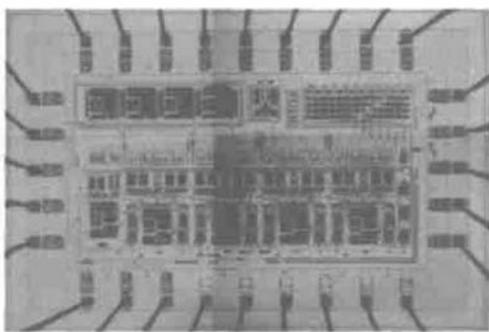


图 5 ADC 的芯片照片

Fig. 5 Die photo of ADC

自制一块测试板, 用两台 Agilent 公司的 HP33120A 型信号发生器分别产生  $1.84\text{MHz}$  正弦输入信号和  $6\text{MHz}$  采样时钟, 并用 Tektronix 公司的 TLA600 型逻辑分析仪采样数字输出信号。图 6 是对被采集信号的 2048 点 FFT 分析结果。图中显示其无杂散动态范围(SFDR)为  $55.8\text{dB}$ , SNR 为  $48.4\text{dB}$ 。芯片的静态特性测试结果见图 7, 其中微分非线性(DNL)为  $1.75\text{LSB}$ , 积分非线性(INL)为  $1.95\text{LSB}$ 。表 1 是性能测试的总结。

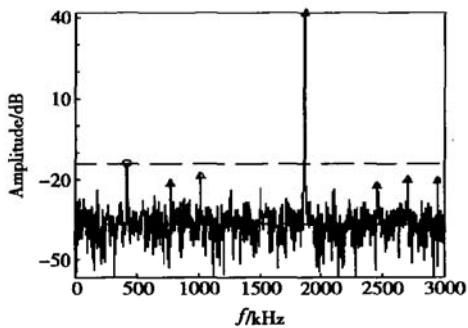


图 6 被测试的输出频谱  $f_s = 6\text{MHz}, f_{sig} = 1.84\text{MHz}$

Fig. 6 Measured output spectrum  $f_s = 6\text{MHz}, f_{sig} = 1.84\text{MHz}$

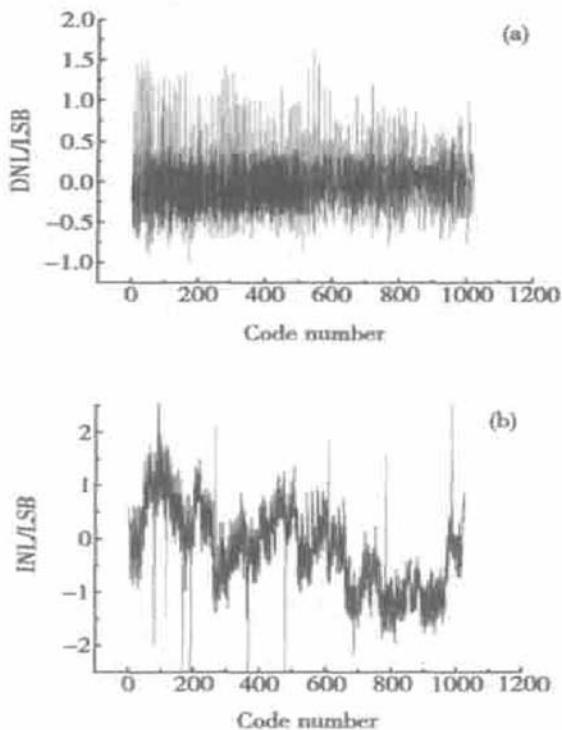


图 7 芯片的静态特性 (a) 微分非线性; (b) 积分非线性

Fig. 7 Static state characteristics of chip (a) DNL; (b) INL

表 1 测试性能的总结

Table 1 Summary of measured performance

工艺	CSMC $0.6\mu\text{m}$ 双层多晶硅 CMOS 工艺
采样速率	20M sample/s
分辨率	10 位
微分非线性	$1.75\text{LSB}$
积分非线性	$1.95\text{LSB}$
功耗( $f_{clk} = 20\text{MHz}$ )	$65\text{mW}$
差分输入范围	$-1\text{V} \sim +1\text{V}$
SFDR( $f_s = 10\text{MHz}, f_{sig} = 1.0004\text{MHz}$ )	$55.8\text{dB}$
输入电容	$1\text{pF}$
电源电压	$5\text{V}$
芯片面积	$11.6\text{mm}^2(4.3\text{mm} \times 2.7\text{mm})$

## 5 结论

本文描述了一种用 OTA 共享技术实现的低功耗 9 级 10 位流水线操作 A/D 转换器。测试结果显示, 采样频率  $f_{clk} = 20\text{MHz}$  时, 功耗仅有  $65\text{mW}$ , 与 ADI 公司的同类芯片 AD9200 相比, 功耗节省了  $20\%$ 。如果采用更先进的工艺及更低的电源电压 ( $2.5\text{V}$ ), 可使功耗降低为目前的一半, 因此这种体系结构更适合单片集成等低功耗应用。

从测试结果也可以看到, ADC 的静态分辨率只有 8 位多, SFDR 只有 55.8dB, 而 ADI 公司的同类产品 AD9200 的静态分辨率和动态范围分别为 9.4 位和 69dB。进一步分析表明, 造成上述差距的主要原因是 OTA 的共模反馈电容取值偏小, 这使共模电压有较大的漂移, 进而使采样保持电路或余量增益电路的线性度变差, 从而导致动态范围下降; 另外, 采样电容和反馈电容的工艺误差匹配, 级间放大器的有限增益等也会引入一些误差。通过进一步优化器件参数的取值, 采用更加对称的版图形式以弥补工艺偏差, 将会使芯片的性能得到进一步的提高。

## 参考文献

- [ 1 ] Doernberg J, Gray P, Hodges D. A 10-bit 5M sample/s CMOS two-step flash ADC. *IEEE J Solid-State Circuits*, 1989, 24 (4): 241
- [ 2 ] Liu Fei, Ji Lijiu. 150M s/s 6bit digital CMOS folding A/D convertor with current-mode interpolating. *Chinese Journal of Semiconductors*, 2002, 23(9): 988(in Chinese) [ 刘飞, 吉利久. 150Ms/s、6bit CMOS 数字工艺折叠、电流插值 A/D 转换器. 半导体学报, 2002, 23(9): 988]
- [ 3 ] Song B, Lee S, Tompsett M. A 10-b 15MHz CMOS recycling two-step A/D converter. *IEEE J Solid-State Circuit*, 1990, 25 (12): 1328
- [ 4 ] Lewis S, Fetterman H, Gross G Jr, et al. A 10-b 20M sample/s analog-to-digital converter. *IEEE J Solid-State Circuits*, 1992, 27(3): 351
- [ 5 ] Cho T, Gray P R. A 10b, 20M sample/s, 35mW pipeline A/D converter. *IEEE J Solid-State Circuits*, 1995, 30(3): 166
- [ 6 ] Hadidi K, Temes G C. Error analysis in pipeline A/D converters and its applications. *IEEE Trans Circuits Syst*, 1992, 39 (8): 506
- [ 7 ] Nicollini G, Confalonieri P, Senderowicz D. A fully differential sample-and-hold circuit for high-speed applications. *IEEE J Solid-State Circuits*, 1989, 24(12): 1461

## A Full-Differential CMOS Pipelined A/D Convertor

Zhu Zhen, Ma Dequn, Ye Jinghua and Hong Zhiliang

(*Laboratory of Integrated Circuit Design, Fudan University, Shanghai 200433, China*)

**Abstract:** A pipelined ADC architecture based on share-OTA technique is proposed, which can significantly save the power dissipation and area of the ADC chip. Based on the architecture, a full-differential pipelined A/D convertor (ADC) with 10bit accuracy and 20M S/s conversion rate is implemented with CSMC 0.6μm technology. The static measurement results show that the INL is 1.95LSB and the DNL is 1.75LSB. The dynamic measurement results show that the SFDR is 55.8dB with 1.84MHz sine-signal and 6MHz/s conversion rate, and the power dissipation is 65mW with 20MHz/s conversion rate.

**Key words:** sub-modules; sampling-holding circuit; share-OTA-structure; residue-gain-circuit

**EEACC:** 1290B; 1280

**Article ID:** 0253-4177(2004)09-1175-06

Zhu Zhen male, was born in 1972, PhD. His main research area includes mixed signal and RF circuit design.

Ma Dequn male, was born in 1971, PhD candidate. His main research area includes mixed signal and RF circuit design.

Hong Zhiliang male, was born in 1946, PhD, professor, advisor of PhD candidates. He is engaged in research on VLSI design, special interest in high speed analog and mixed signal circuit design.

Received 29 September 2003, revised manuscript received 24 April 2004

© 2004 The Chinese Institute of Electronics