

硅衬底上共面线的特性及应用^{*}

李富华^{1,2} 代文亮² 李征帆² 王玉洋²

(1 河南师范大学电子信息工程系, 新乡 453007)

(2 上海交通大学电子工程系, 上海 200030)

摘要: 基于理论和实验结果对深亚微米硅集成电路中的共面传输线的特性进行了研究, 提出了硅衬底上传输线分布参数的提取方法和减小共面线衰减的一些设计准则。成功地将共面线应用在深亚微米高速集成电路的设计中, 并给出了放大器芯片和共面线的测试结果。测试结果表明: 在深亚微米 CMOS 高速集成电路中, 用共面线实现电感是一种行之有效的方法。

关键词: 共面线; 深亚微米 CMOS 集成电路; 高速限幅放大器

EEACC: 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)09-1181-05

1 引言

CMOS 集成电路具有价格低廉、集成度高, 便于实现 SOC 等优势, 因此广泛应用于数字和模拟集成电路。随着深亚微米技术的发展, CMOS 工艺不但广泛应用于高速数字集成电路, 而且传统的由 GaAs 工艺实现的射频和微波集成电路也逐渐被 CMOS 工艺所代替^[1,2]。为了实现低电压供电、低功耗、高性能的射频和微波电路, 片内螺旋电感和传输线已越来越多地引起人们的重视和应用。但在标准 CMOS 工艺中, 硅衬底的电阻率通常较低(约 $10\Omega \cdot \text{cm}$), 二氧化硅只有几个微米, 造成无源器件以及互连线通过电容对衬底有一个注入电流, 该电流在衬底内以欧姆电流和位移电流的形式传导; 此外, 有耗的衬底对互连线之间的耦合也产生很大的影响^[3]。实验和仿真结果表明: 在射频和高速 CMOS 集成电路中, 有耗的硅衬底严重影响着衬底上的无源元件及金属互连线的电特性。导致无源元件及互连线的分布参数具有频变特性。因此在设计高速数

字电路, 特别是设计射频集成电路时, 必须对硅衬底上无源元件及互连线特性进行深入的研究, 建立符合实际的便于仿真的模型。本文首先对深亚微米 CMOS 集成电路中传输线特性进行了研究和参数提取, 然后给出了一个共面线应用于高速限幅放大器的实例和测试结果。

2 硅衬底上传输线的模型

在中芯国际(SMIC) $0.18\mu\text{m}$ 标准 CMOS 集成电路工艺中, 包含电阻率为 $10\Omega \cdot \text{cm}$, 厚度为 $750\mu\text{m}$ 的有耗硅衬底以及约 $8\mu\text{m}$ 厚的二氧化硅层, 在二氧化硅层中分布有六层铝合金用于互连, 顶层金属厚 880nm , 约是其他金属层厚度的两倍。在这样的分层介质中, 易于实现的传输线结构如图 1 所示。

尽管微带结构传输线在 GaAs 微波单片集成电路(MMIC)设计中得到了广泛的应用, 而且这种结构在硅工艺中完全消除了有耗衬底的影响。但微带结构第一个金属层常被用作接地板, 给整个电路的

* 美国 Octillion 通信公司资助项目

李富华 男, 1964 年出生, 博士, 主要从事深亚微米高速集成电路的研究。

代文亮 男, 1974 年出生, 博士生, 主要从事芯片内互连线参数提取及信号完整性分析的研究。

李征帆 男, 1936 年出生, 教授, 博士生导师, 一直从事高速集成电路的研究。

2003-08-17 收到, 2003-12-18 定稿

©2004 中国电子学会

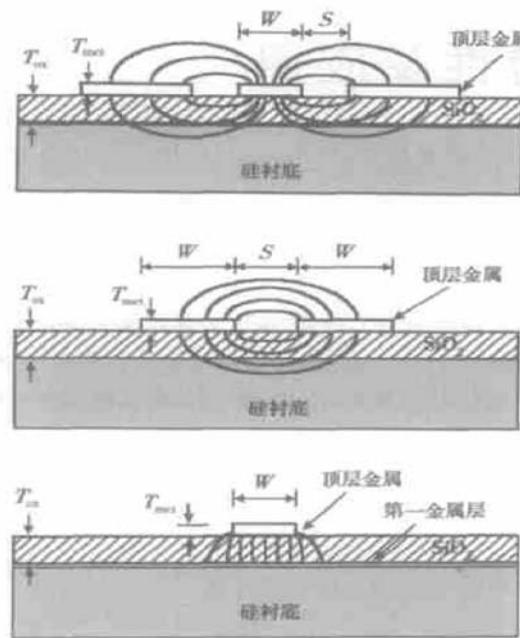


图 1 CMOS 工艺中常见的传输线 (a) 共面波导; (b) 共面线; (c) 微带线

Fig. 1 Transmission lines in CMOS technology

版图设计造成了不便,而且趋肤效应使得电流的分布只在顶层金属的一侧,增加了导体损耗。在 CMOS MMIC 电路设计中,共面线是一种较好的选择,和微带线以及共面波导相比,CPS 横截面尺寸小,天然的平衡结构不但可以减小衬底耦合引起的噪声,而且有助于降低低电阻率衬底引起的损耗。CPS 两条导线上幅度相同、相位相反的电流在有耗的硅衬底上感应出方向相反的纵向电流,适当地选择 CPS 的尺寸,可使衬底上感应的电流相互抵消,减小传输线的损耗。

硅衬底上的共面传输线由于受到有耗衬底的影响,因此可采用图 2(a) 所示的准 TEM 传输线模型,其中 R 和 L 表示纵向方向的电流引起的导体损耗以及横向的磁场等效的电感, C_{sub} 和 G_{sub} 表示硅衬底中的位移电流和传导电流, C_{sg} 和 C_{ss} 分别表示信号对地的电容和信号对硅衬底的电容。但为了便于分析传输线的特性,特别是便于微波电路设计和仿真,通常,微波传输线的等效电路采用与频率有关的 $R(\omega)$, $L(\omega)$, $G(\omega)$ 和 $C(\omega)$ 分布参数模型描述,如图 2(b) 所示。

共面线的模型参数可以用实验的方法提取。用网络分析仪和微探针台准确地测量二端口共面线频变的 S 参数,根据 S 参数便可以计算二端口网络频

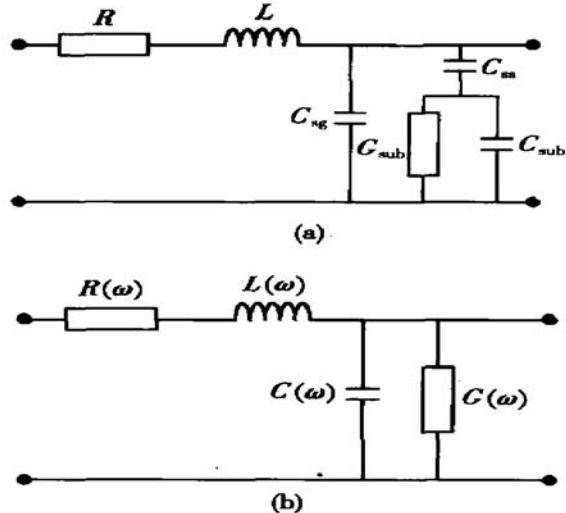


图 2 硅衬底上共面线的模型

Fig. 2 Equivalent circuit model of coplanar transmission line on silicon substrate

变的转移参量 $A(\omega) \sim D(\omega)$:

$$\begin{aligned} A &= \frac{(1 - S_{22})(1 + S_{11}) + S_{21}S_{12}}{2S_{21}} \\ B &= \frac{(1 + S_{22})(1 + S_{11}) - S_{21}S_{12}}{2S_{21}} Z_{\text{sys}} \\ C &= \frac{(1 - S_{22})(1 - S_{11}) - S_{21}S_{12}}{2S_{21}} \times \frac{1}{Z_{\text{sys}}} \\ D &= \frac{(1 + S_{22})(1 - S_{11}) + S_{21}S_{12}}{2S_{21}} \end{aligned}$$

其中 $Z_{\text{sys}} = 50\Omega$, 于是可得频变的传输线特性阻抗 $Z_0(\omega)$ 和传播常数 $\gamma(\omega)$ 为:

$$\begin{aligned} Z_0 &= \frac{B}{\sinh(\gamma l)} = \frac{\sinh(\gamma l)}{C} \\ \gamma &= \frac{\operatorname{arccosh}(A)}{l} = \frac{\operatorname{arccosh}(D)}{l} \end{aligned}$$

对于硅衬底上的共面线,特性阻抗和传播常数为复数。根据共面线的特性阻抗和传播常数,利用

$$j\omega C + G \equiv \frac{\gamma}{Z_0}$$

$$j\omega L + R \equiv \gamma Z_0$$

便可以计算单位长度上频变的等效电路参量 $R(\omega)$, $L(\omega)$, $C(\omega)$ 和 $G(\omega)$ 。

共面线的模型参数也可以用电磁仿真的方法提取,全波的分析方法精度高但效率较低。为了满足工程设计的需要,本文采用了介质镜像格林函数法结合点匹配法提取共面线频变的电导和电容^[5],同时利用截面矩量法提取频变的电阻和电感^[6]。该方法

充分考虑了有耗介质的影响, 可广泛应用于硅衬底集成电路中的各种传输线的频变参数提取, 其效率远远高于全波分析方法, 在 0~20GHz 频率范围, 最大相对误差小于 2.5%。因此本参数提取程序已成功地应用于 CMOS 高速放大器芯片的设计和仿真中^[6]。实际测试结果也表明: 用该程序提取硅衬底上共面线的分布参数是可靠的。

3 深亚微米 CMOS 工艺中共面线的特性

在标准的深亚微米 CMOS 集成电路工艺中, 衬底的电阻率较低, 因此用标准的 CMOS 工艺生产 MMIC 电路将导致微波无源器件具有较高的损耗。常用的解决办法是采用特殊的集成电路工艺减小导体和衬底引起的损耗, 但增加了工艺的难度, 不便于规模生产。为了在现有的标准集成电路工艺上获得最小的传输损耗, 必须对硅衬底上共面线的特性进行研究, 以便选择合适的传输线结构和尺寸, 降低共面传输线的损耗。

共面传输线的一个重要参数是特性阻抗, 基于本文作者开发的参数提取程序对深亚微米 CMOS 工艺中的共面线进行仿真, 结果表明金属线 W 越窄、线间距 S 越大、二氧化硅 T_{ox} 越厚、衬底的电阻率越高, 共面传输线的特性阻抗越高; 反之, 共面传输线的特性阻抗越低, 这一结论和文献^[7,8]的实验结果相吻合。在实际设计中, 对于特定的 CMOS 工艺参数, 利用上述软件通过优化 W 和 S , 可以获得所需特性阻抗的共面线。

共面传输线的另一个重要指标是衰减常数, 即表征有耗的导体和有耗衬底对信号的衰减程度。理想的传输线衰减为零, 在微波电路的设计中, 希望衰减尽可能小。为了减小导体的损耗, 设计中通常选用较厚的顶层金属设计共面传输线, 但在比较高的频率, 除了导体损耗之外, 低电阻率的硅衬底对传输线有很大的影响。从图 1 共面传输线的电场分布可见, 当信号线的宽度 W 或者缝隙 S 比较大时, 电力线更多地渗透到有耗的硅衬底中, 从而引起更大的损耗。相反, 当信号线宽度和缝隙都比较小时, 减少了通过有耗衬底的耦合, 但增大了导体损耗。当共面传输线的金属宽度和二氧化硅厚度相当时, 电力线只有少部分渗透到有耗的硅衬底中, 不但减小了衬底的损耗, 而且增大了导体的传导面积, 趋肤效应产生的影

响也将大大减小。通过对不同结构共面线的仿真发现: 对于特定的结构, 衰减随频率升高而增加; 当 W , S 和二氧化硅厚度相当时, 单位长度共面线的衰减较小; 随着 W 和 S 的增加, 低频段衰减稍微减小, 但高频段衰减显著增加, 表明低频段导体损耗起主导作用, 高频段衬底引起的损耗起主导作用。此外仿真结果还表明: 二氧化硅厚度越大, 相应的顶层金属距衬底越远, 渗透到硅衬底中的电场越少, 传输线的损耗减小。上述仿真结果和文献[1, 9]的测试结果是一致的。

上面分析了影响共面传输线衰减的各种因素, 通过特殊的集成电路工艺可以大幅度地减小传输线的衰减, 但对于标准的 CMOS 工艺, 衬底的电阻率较低而且是无法改变的, 为了获得较低损耗的共面传输线, 在设计中采用顶层金属实现传输线是最佳的选择, 对信号线宽度以及缝隙宽度的优化是获得低损耗的有效途径。此外, 兼顾特性阻抗和衰减, 设计中需要通过优化, 折衷处理。

4 共面线在高速限幅放大器中的应用

随着深亚微米 CMOS 技术的发展, MOSFET 的特征频率已达到 45~70GHz, 用于互连的金属层不断增加, 顶层金属到硅衬底的距离越来越大, 因此该技术不但广泛应用于射频电路的设计, 而且为微波、射频无源元件的设计创造了更好的条件。

传统的高速光接收机前端采用价格昂贵的 GaAs 等工艺设计高速宽带限幅放大器, 为了适应价格低廉的完全集成的 CMOS 高速光接收机的要求, 本文提出了一种具有低通网络的 CMOS 高速超宽带限幅放大器, 如图 3 所示。为了实现超宽带特性, 图 3 采用了一个电感吸收前级 MOSFET 的输出电容和后级 MOSFET 的输入电容构成超宽带低通网络, 一旦有源器件的输入、输出电容被低通网络吸收后, 放大器的带宽仅由低通网络的带宽决定。理想的 LC 低通网络的截止角频率为 $2/\sqrt{LC}$, 而 0.18μm CMOS 工艺中栅宽 100μm 的 MOSFET 的栅电容和漏电容只有几十 fF, 因此适当地选取电感值可实现超宽带的频带。深亚微米 CMOS 射频集成电路中电感通常采用片内螺旋电感, 但由于受有耗硅衬底引起的分布电容的影响, 片内螺旋电感的自谐振频率通常只有几个 GHz, 而且 Q 值很低^[10]。为了满足超宽带高速限幅放大器的需要, 本文采用终

端短路的共面线实现电感。为了减小导体损耗和硅衬底引起的损耗, 共面线采用较厚的顶层金属层实现。基于 $0.18\mu\text{m}$ 的有源器件模型和前面讨论的共面线模型, 用 Hspice 对放大器进行了仿真和优化, 仿真结果表明: 从直流到十几 GHz 的频带内可获得平坦的幅频特性和线性的相位特性; 此外, 利用共面线实现电感, 通过优化, 可以很方便地得到设计需要的增益和带宽。

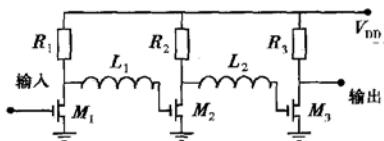


图 3 简化的高速放大器原理图

Fig. 3 Compact schematic of high-speed amplifier

为了测试共面线的特性, 探索具有低通网络高速限幅放大器的性能, 一个具有两级低通网络的高速限幅放大器和一条长 1mm 、金属线宽 $5\mu\text{m}$ 、间距 $10\mu\text{m}$ 的共面线已经采用中芯国际(SMIC)的 1.8V $0.18\mu\text{m}$ CMOS 标准数字集成电路工艺进行了流片, 其显微照片如图 4 所示, 放大器的芯片面积为 $0.35\text{mm} \times 1.0\text{mm}$ 。利用 HP8722ES 型矢量网络分析仪(Agilent)和 SUMMIT 11101 型微探针台(Cascade Microtech)对放大器芯片和共面线的 S 参数分

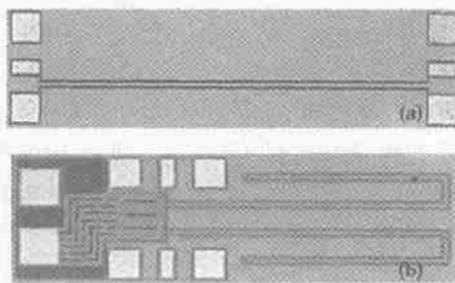


图 4 共面线及放大器芯片的显微照片 (a) 共面线; (b) CMOS 高速放大器

Fig. 4 Photomicrographs of coplanar line and limiting amplifier chip

别进行了测试, 测试的部分结果如图 5 所示。测试结果表明, 共面线在低频端的衰减较小, 随着频率的升高衰减逐渐增大, 在 $50\text{MHz} \sim 10\text{GHz}$ 的频率范围, 最小衰减为 0.7dB , 最大衰减小于 2dB 。从图 5 可见, 放大器的直流增益大于 15dB , -3dB 带宽约为 6GHz , 1.8V 电源供电时的功耗为 70mW ; 放大

器在超宽的频带内具有平坦的幅频特性和线性的相位特性。测试结果进一步证明, 采用共面线实现电感是可行的, 尽管引入了较小的衰减, 但实现了高速宽带放大特性。

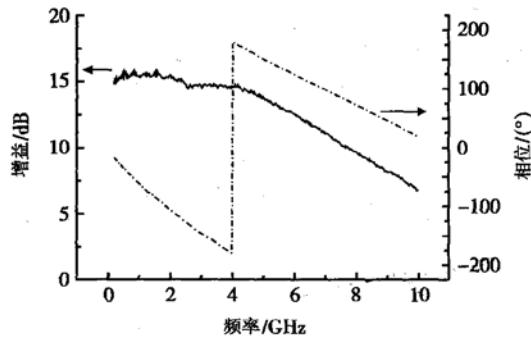


图 5 测量的放大器 S_{21} 幅度和相位

Fig. 5 Measured S_{21} amplitude and phase

5 结论

理论和测试结果表明: 在射频和微波频率范围, 有耗的硅衬底对传输线的特性有很大的影响, 因此在射频和微波电路的设计中, 必须充分考虑有耗硅衬底的影响, 准确提取硅衬底上传输线的分布参数, 通过合理选择传输线的结构和尺寸减小传输线的衰减。设计实践表明: 在深亚微米 CMOS 射频和微波集成电路中, 利用共面传输线实现无源电感是方便可行的。

参考文献

- [1] Säckinger E, Fischer W C. A 3-GHz CMOS limiting amplifier for SONET OC-48 receivers. *IEEE J Solid-State Circuits*, 2000, 35(12): 1884
- [2] Kleveland B, Diaz C H, Vock D, et al. Exploiting CMOS reverse interconnect scaling in multigigahertz amplifier and oscillator design. *IEEE J Solid-State Circuits*, 2001, 36(10): 1480
- [3] Cai Yici, Zhao Xin, Hong Xianlong. Progress and research on interconnects crosstalk in deep submicron technology. *Chinese Journal of Semiconductors*, 2003, 24(11): 1121
- [4] Dai Wenliang, Li Zhengfan, Li Fuhua. Analysis of broadband behavior for the coplanar transmission lines on silicon substrate. *Journal of Shanghai Jiaotong University*, 2002, 37(6): 836(in Chinese) [代文亮, 李征帆, 李富华. Si 衬底共面传输线的宽频带传输特性分析. 上海交通大学学报, 2003, 37(6): 836]
- [5] Wang Yuyang, Liu Chenbo, Li Zhengfan. Programming of re-

- sistance and inductance frequency-dependent parameter extraction of IC interconnection line. *Journal of Shanghai Jiaotong University*, 2002, 36(6): 820(in Chinese) [王玉洋, 刘晨波, 李征帆. 芯片互连线频变电感和电阻参数提取的程序化. 上海交通大学学报, 2002, 36(6): 820]
- [6] Li Fuhua. Study of CMOS high-speed amplifier and passive elements on chip with deep-submicron technology. Doctoral Dissertation of Shanghai Jiaotong University, 2003[李富华. 深亚微米CMOS高速放大器芯片及片内无源元件的研究. 上海交通大学博士学位论文, 2003]
- [7] Ootera H, Nishikawa K, Yamakawa S, et al. Reduction of crosstalk noise between interconnect lines in CMOS RF integrated circuits. *IEEE International Symposium on Electromagnetic Compatibility*, 2002: 866
- [8] Shibata T, Sano E. Characterization of MIS structure coplanar transmission lines for investigation of signal propagation in integrated circuits. *IEEE Trans Microwave Theory Tech*, 1990, 38(7): 881
- [9] Berg H, Jacobsson H, Berg K, et al. Measurement and modelling of low resistivity silicon substrate coplanar-strip (CPS) waveguides made in standard silicon technology. *Topical Meetings on Silicon Monolithic Integrated Circuits in RF Systems*, 2000: 91
- [10] Li Fuhua, Li Zhengfan. A novel modeling method of Si chip integrated spiral inductors for RF IC's. *Chinese Journal of Electronics*, 2003, 12(3): 483

Investigation on Coplanar Stripline on Silicon Substrate and Its Application^{*}

Li Fuhua^{1,2}, Dai Wenliang², Li Zhengfan² and Wang Yuyang²

(1 Department of Electronic and Information Engineering, Henan Normal University, Xinxiang 453007, China)

(2 Department of Electronic Engineering, Shanghai Jiaotong University, Shanghai 200030, China)

Abstract: The characteristic of coplanar stripline in deep-submicron CMOS integrated circuits is studied based on theoretical analysis and measured results. Distributed parameter extraction methods for transmission lines on silicon substrate are proposed and design guidelines to minimize the loss of coplanar striplines are also given. Finally, the coplanar stripline on-chip is successfully used in the design of the high-speed IC's, and some measured results are also given. The measured results indicate that inductance can be implemented using coplanar striplines in deep-submicron CMOS high-speed IC's.

Key words: coplanar stripline; deep-submicron CMOS integrated circuits; high-speed limiting amplifier

EEACC: 2570D

Article ID: 0253-4177(2004)09-1181-05

* Project supported by American Octillion Communication Corporation

Li Fuhua male, was born in 1964, PhD. His research interests are deep-submicron high-speed IC.

Dai Wenliang male, was born in 1974, PhD candidate. His research interests are parameter extraction for interlinked line on chip and analysis of signal integrality.

Li Zhengfan male, was born in 1936, professor. His research interests focus on high-speed IC.