

# 1GHz 0.5 μm CMOS 低噪声放大器的设计\*

姚 飞 成步文

(中国科学院半导体研究所 集成光电子国家重点实验室, 北京 100083)

**摘要:** 从低噪声放大器(LNA)的设计原理出发, 提出并设计了一种工作于 1GHz 的实用 LNA. 电路采用共源-共栅的单端结构, 用 HSPICE 软件对电路进行分析和优化. 模拟过程中选用的器件采用 TSMC 0.5μm CMOS 工艺实现. 模拟结果表明所设计的 LNA 功耗小于 15mW, 增益大于 10dB, 噪声系数为 1.87dB, IIP3 大于 10dBm, 输入反射小于 -50dB. 可用于 1GHz 频段无线接收机的前端.

**关键词:** RF 电路; 低噪声放大器; CMOS; 螺旋电感

**EEACC:** 1205; 1220; 2570D

**中图分类号:** TN722

**文献标识码:** A

**文章编号:** 0253-4177(2004)10-1291-05

## 1 引言

近年来无线通讯蓬勃发展, 为射频集成电路的发展(RF IC)产生了巨大的推动力, 不同频段的无线数据和语音通信应用及其标准也有了极大的发展, 因而对接收/发射系统的设计也就提出了更高的要求. 在接收机的设计中, 要得到良好的总体系统性能, 关键在于性能优越的前端, 而这其中很关键的部分就是低噪声放大器(LNA). 当输入信号很小时, LNA 能够以很小的附加噪声(低噪声)放大, 达到所要求的信噪比; 当输入信号很大时, 它可以无失真的接收大信号. 以往的 MOS 管高频性能相对较差, RF 电路的设计多采用 GaAs, BiCMOS, Bipolar 工艺实现<sup>[1]</sup>. 近年来 RF CMOS 的工艺获得长足发展, 采用 CMOS 工艺实现的高频电路已经越来越广泛地得到应用. 本文设计的低噪声放大器工作于 1GHz, 满足高增益、低噪声、输入输出匹配、绝对稳定并具有高线性度, 可用于该频段无线接收机的前端, 具有实用意义.

## 2 LNA 的设计与理论计算

设计的 LNA 的主电路结构采用单端输入共源-共栅结构, 如图 1 所示<sup>[2]</sup>. 通过 TSMC 0.5μm 的 CMOS 工艺实现. M1 是主放大管, 共栅管 M2 可以

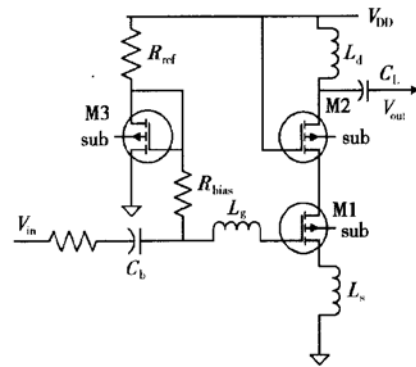


图 1 单端共源-共栅 LNA 结构

Fig. 1 Single-ended CS-CG LNA structure

减少 M1 的 Miller 电容的影响. M3 为偏置管, 它和  $R_{ref}$ ,  $R_{bias}$  构成偏置电路. 该偏置电路对由电流增益

\* 国家高技术研究发展计划(批准号: 2002AA312010)及国家重点基础研究发展规划(批准号: G2000036603)资助项目

姚 飞 女, 1979 年出生, 博士研究生, 主要研究方向为 SiGe HBT 高频电路及其与 Si 基探测器的集成. Email: sindy-yf@red.semi.ac.cn

成步文 男, 1967 年出生, 副研究员, 主要研究方向为 SiGe HBT 及其与 Si 基探测器的集成.

2003-09-28 收到, 2004-01-12 定稿

©2004 中国电子学会

及热漂移引起的电流变化都构成稳定的负反馈<sup>[3]</sup>。

电路的稳定性通常用稳定性系数  $K$  来表征<sup>[4]</sup>。

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{11}| \times |S_{22}|} \quad (1)$$

其中

$$\Delta = S_{11}S_{22} - S_{21}S_{12} \quad (2)$$

当  $K > 1$  时, 电路对于任意的输入和输出负载绝对稳定; 当  $K < 1$  时, 电路是潜在不稳的, 会在一定的输入/负载阻抗组合下产生振荡。发射极电感  $L_s$  的存在可以保证电路稳定<sup>[5]</sup>, 同时也有利于获得最小噪声系数和输入反射损耗。

设计过程中, 首先根据功率受限条件下获得最优噪声的栅宽公式<sup>[6]</sup>计算栅宽:

$$W_{opt} = \frac{3}{2} \times \frac{1}{\omega L C_{ox} R_s Q_{sp}} \quad (3)$$

其中  $W_{opt}$  是优化的栅宽;  $\omega = 2\pi \times 10^9$  (工作频率为 1GHz);  $L$  是栅长;  $C_{ox}$  为栅氧化层电容;  $R_s$  为电源电阻, 取值为  $50\Omega$ ;  $Q_{sp}$  为功率受限的最小噪声系数。计算得到  $W_{opt} = 800\mu\text{m}$ 。M2 尺寸设计与 M1 一样。为减小电流损耗, M3 管的  $W/L$  约  $50\mu\text{m}$  即可。

对电路进行静态分析, 可获得以下参数的数值:

$R_{ref} = 6\text{k}\Omega$  时,  $I_d = 5.997\text{mA}$ ,  $C_{gs} = 0.952\text{pF}$ ,  $C_{gd} = 0.226\text{pF}$ ,  $g_m = 49.163\text{m}$ 。其中,  $C_{gs}$ ,  $C_{gd}$ ,  $g_m$  分别为栅源电容、栅漏电容和跨导。

有了  $C_{gs}$ ,  $C_{gd}$  和  $g_m$ , 可以由下面的公式计算截止频率  $\omega_r$  和噪声系数  $NF^{[1]}$ :

$$\omega_r = g_m / (C_{gs} + C_{gd}) = 41.7\text{Gr/s} \quad (4)$$

$$NF = 1 + 2.4 \times \frac{\gamma}{\alpha} \times \frac{f}{f_T} = 1.91 = 1.85\text{dB} \quad (5)$$

(4) 式中  $r/s$  是角频率的单位,  $\text{Gr/s}$  表示  $10^9 r/s$ 。式(5)中  $\gamma$  参数的选取如下: 当源漏电压  $V_{DS} = 0$  时,  $\gamma = 1$ ; 对于长沟器件, 晶体管处于饱和区,  $\gamma$  下降到  $2/3$  左右; 对于短沟器件, 晶体管处于饱和区,  $\gamma$  通常为  $2 \sim 3$ ; 此处取  $\gamma = 2$ ;  $\alpha$  定义如下:  $\alpha = g_m / g_{d0}$ ,  $g_m$  为跨导,  $g_{d0}$  为源漏电压  $V_{DS} = 0$  时的跨导, 通常  $\alpha$  的取值为  $0.8 \sim 0.9$ , 此处取  $\alpha = 0.85$ 。

$L_s, L_g, L_d$  的取值受输入输出匹配条件的限制, 可由下式得出:

$$L_s = \text{Re}[Z_{in}] (1 + 2C_{gd}/C_{gs}) / \omega_r = 1.77\text{nH} \quad (6)$$

$$L_g = \text{Im}[Z_{in}] / \omega = 1.63\text{nH} \quad (7)$$

$$L_d = 1/\omega^2 C_L = 15.8\text{nH} \quad (8)$$

### 3 器件模型

(1) 封装管脚模型(PIN) 封装管脚的寄生效应, 在本设计中予以考虑。

图 2 是 PIN 的等效电路。该模型中, 封装电感 (pin) 是  $3\text{nH}/\text{pin}$ , 键合电感 (bondwire) 为  $1\text{nH}/\text{mm}$ , 其最小长度是  $1\text{mm}$ 。这样, 在 PAD 和电路板之间单一连接的最小电感是  $4\text{nH}$ 。通过并联 pin 或

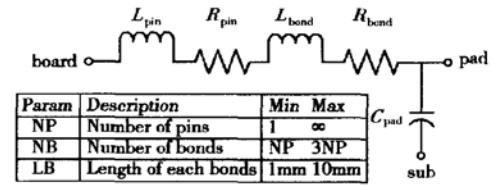


图 2 封装管脚等效模型

Fig. 2 Package pin model and associated model parameters

bondwire 可以减小其间的电感值。因为 pin 和 bondwire 之间的相互耦合作用, 电感的感值仅与并联的元件个数的方根值有关。各元件值由下面的公式计算:

$$L_{pin} = 3\text{nH} / \sqrt{NP}, R_{pin} = 0.6\Omega / NP$$

$$L_{bond} = 1\mu\text{H} \times (LB / \sqrt{NB}) \quad (9)$$

$$R_{bond} = 0.2\text{k}\Omega \times (LB / NP)$$

$$C_{pad} = 80\text{fF} \times NF$$

#### (2) NNMOS 的栅感应噪声模型

由于目前的 HSPICE 中 MOSFET 没有考虑栅感应噪声, 而 MOS 管的栅噪声影响又很大, 因此必须提供带有栅感应噪声的模型 NNMOS。

图 3 中, M1 是实际工作的 MOSFET, M2 和 M3 是与 M1 完全相同的管子。工作时, 由于流控电流源和负反馈的作用, 使得 M2 和 M3 与 M1 处于完全相同的工作状态, 因此 M2 和 M3 对于 M1 的工作没有任何影响, 但会引入额外噪声。由于三个管子都有热噪声, 因此反馈的电压(电流)均包含热噪声, 这使得 M2 的栅极电压得到的热噪声功率比通常的 MOSFET 漏极热噪声大了一倍, 因为 M1 和 M2 各自独立的漏极热噪声通过反馈都加在了 M2 的栅上。对于 M3, 情况亦然。因此如果将两个栅电流相减, 即  $i_{g2} - i_{g3}$ , 来自 M1 的热噪声抵消, 而各自产生的噪声却按功率相加起来, 其相位与 M1 的漏

电流完全无关了. 令  $i_{g2} - i_{g3}$  乘以常数  $K$  等于栅感应噪声原来的大小:

$$\overline{[K(i_{g2} - i_{g3})]^2} = \overline{i_g^2} = \frac{4kTB\delta(\omega C_{gs})^2}{5g_m} \quad (10)$$

可以解得常数:

$$K = \frac{1}{\sqrt{5(1 + C_{gd}/C_{gs})}} \quad (11)$$

此处  $K = 0.385529$ , 这在模拟过程中得以体现.

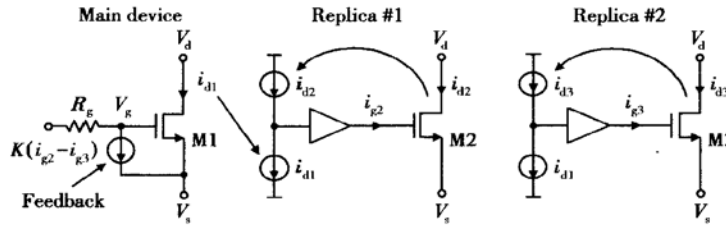


图 3 包括栅感应噪声的 NMOS 噪声模型

Fig. 3 Modified NMOS noise model including effects of induced gate noise and gate polysilicon resistance

### 4 模拟结果

通过 HSPICE 模拟, 对电路进行优化, LNA 的基本参数见表 1.

表 1 完整封装的 LNA 的基本参数值

Table 1 Designed parameters of the packaged LNA

参数	计算值	模拟值
M1/M2(L/W)	800μm/0.5μm	750μm/0.5μm
M3(L/W)	50μm/50μm	50μm/50μm
LS/nH	1.77	1.20
LR/nH	16.3	14.4
LD/nH	15.8	8.445
CL/pF	1.6	1.14
CC/pF	-	28

从表 1 可以看出: 理论计算与 HSPICE 模拟结果吻合很好. 由于  $L_s, L_d$  本身具有电阻, 所以模拟值要比计算值小. 表中  $C_c$  在计算中没有涉及, 它是一个电源去耦电容, 由于电源和地的 PIN 上有寄生元件, 在芯片内部设置一个电源去耦电容可以改善电路的性能.

(1) 直流特性:  $V_{DD} = 2.5V, P_{dc} = 14.99mW$ , 满足设计要求( $P_{dc} \leq 15mW$ ).

(2) 输入输出阻抗: 在工作频率下,  $Z_{in} = (50.08 - 262.05 \times 10^{-3}) \Omega, Z_{out} = (50.09 + 98.61 \times 10^{-3}) \Omega$ , 由此可见, 此电路阻抗匹配特性良好.

(3) 输入输出反射损耗和增益:  $S_{11}, S_{21}$  随频率的变化见图 4,  $S_{22}$  随频率的变化见图 5, 在 1GHz 时,  $S_{11} = -51.22dB, S_{22} = -57.41dB, S_{21} = 11.04dB$ . 输入输出反射小, 而增益足够大.

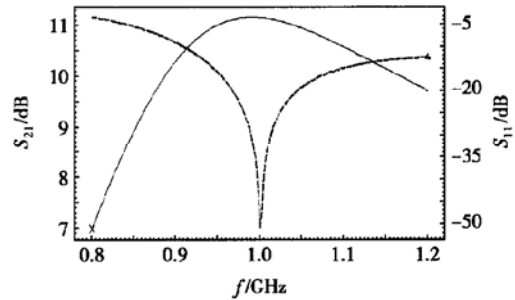


图 4  $S_{11}$  和  $S_{21}$  随频率的变化关系

Fig. 4  $S_{11}$  and  $S_{21}$  versus frequency

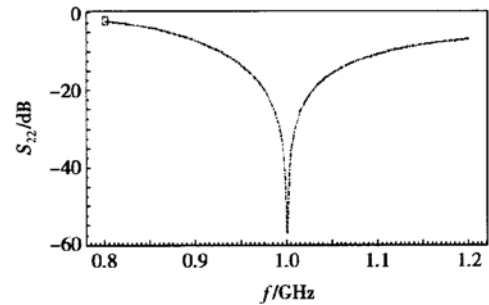


图 5 完整 LNA 的  $S_{22}$

Fig. 5  $S_{22}$  versus frequency

(4) 稳定性分析: 图 6 是 LNA 的稳定因子  $K$  和中间变量  $\Delta$  随频率变化的关系. 可以看出: 在任何频域,  $\Delta < 1$ , 在 900MHz 以上,  $K$  始终大于 1, 这表明电路在所设计的频域始终稳定.

(5) 噪声系数 NF: 噪声系数 NF 由 (12) 式计算,

$$NF = 10 \lg \frac{P_{noise\_tot} - P_{noise\_Rout}}{P_{noise\_Rin}} \quad (12)$$

其中  $P_{\text{noise\_tot}}$  表示输出节点上的总噪声;  $P_{\text{noise\_Rout}}$  表示输出电阻引入的噪声;  $P_{\text{noise\_Rin}}$  表示输入电阻引入的噪声, 代入相应的数据, 可得  $\text{NF} = 1.87\text{dB}$ .

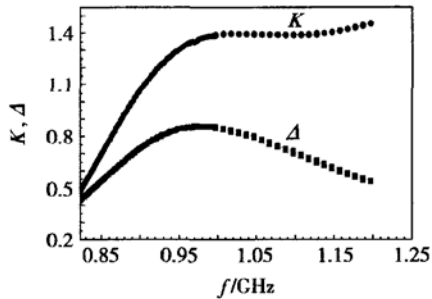


图 6 LNA 的稳定因子

Fig. 6  $K$  and  $\Delta$  versus frequency

(6) IIP3: 使用双调测试法(two-tone test)测量 IIP3. 用两个正弦源叠加, 一个为 1GHz, 另一个为 0.99GHz, 幅度相等为参数  $x = 7\text{mV} (-30\text{dBm})$ . 分析 0.98, 0.99, 1.00, 1.01GHz 频率下四个输出分量; 令  $x = 10, 14, 1, 20, 28, 2, 40, 50, 6, 80\text{mV}$ , 再分析四个频率分量, 得到图 7, 进行线性外推, 可以看出输入 IIP3 约为 10dB(700mV).

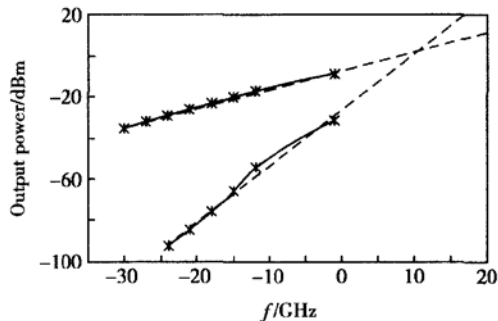


图 7 LNA 的 IIP3 的计算

Fig. 7 Calculating method of IIP3

模拟结果表明, 电源去耦电容  $C_c$  的存在大大改善了 IIP3 特性.

## 5 结论

LNA 设计是现代通讯系统的关键, 在接收机中扮演着重要角色. 本文针对 RF CMOS 工艺设计了工作于 1GHz 的 LNA, 通过理论计算和 HSPICE 模拟, 该低噪声放大器具有优良的噪声性能、增益性能和线性度, 适用于该频段无线接收机的 RF 前端.

致谢 感谢王启明院士在本文撰写过程中给予的指导.

## 参考文献

- [ 1 ] Li Tianwang, Zeng Xiaojun, Hong Zhiliang. Design of 1V, 2.5GHz voltage controlled oscillator. Chinese Journal of Semiconductors, 2003, 24( 1 ): 80(in Chinese) [ 李天望, 曾晓军, 洪志良. 1V 2.5GHz 压控振荡器设计. 半导体学报, 2003, 24( 1 ): 80 ]
- [ 2 ] Lee T H. The design of CMOS radio-frequency integrated circuits. Cambridge: Cambridge University Press, 1998: 288
- [ 3 ] Lucek J, Damen R. Designing an LNA for a CDMA front end. RF Signal Processing, 1999: 20
- [ 4 ] Chan H. The design of RF low noise amplifiers and the analyse of the stability. Radio Engineering, 2002, 32( 2 ): 56 [ Chan H. RF 低噪声放大器的设计与稳定性分析. 无线电工程, 2002, 32( 2 ): 56 ]
- [ 5 ] <http://www.qsl.net/va3iul/>
- [ 6 ] Lee T H. The design of CMOS radio-frequency integrated circuits. Cambridge: Cambridge University Press, 1998: 287

## Design of 1GHz 0.5 $\mu$ m CMOS Low Noise Amplifier\*

Yao Fei and Cheng Buwen

(State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors,  
The Chinese Academy of Sciences, Beijing 100083, China)

**Abstract:** A 1GHz CMOS low noise amplifier(LNA) is presented, which is implemented in TSMC 0.5 $\mu$ m CMOS technology. Optimized by the Hspice software, the following parameters are achieved: with a 2.5V voltage supply, the operation current is 6mA. The power is lower than 15mW, the gain is larger than 10dB, the noise figure is lower than 2dB, the IIP3 is larger than 10dBm, while the input reflection is less than -50dB at 1GHz.

**Key words:** RF; LNA; CMOS; spiral inductor

**EEACC:** 1205; 1220; 2570D

**Article ID:** 0253-4177(2004)10-1291-05

---

\* Project supported by National High Technology Research and Development Program of China(No. 2002AA312010), and State Key Development Program for Basic Research of China(No. G2000036603)

Yao Fei female, was born in 1979, PhD candidate. Her main research area includes SiGe HBT RF circuits and the integration with Si-based optic-electronic detectors.

Cheng Buwen male, was born in 1967, associate professor. He is engaged in research on SiGe HBTs and the integration with Si-based optic-electronic detectors.

Received 28 September 2003, revised manuscript received 12 January 2004

©2004 The Chinese Institute of Electronics