

考虑源漏串联电阻时 6H-SiC PMOSFET 解析模型*

郜锦侠 张义门 张玉明

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 在考虑源漏串联电阻的基础上, 建立了一组适用于 SiC PMOSFET 的解析模型. 计算结果与实验结果符合得很好.

关键词: 6H-SiC; PMOSFET; 源漏串联电阻; 解析模型

PACC: 7340Q; 7220J; 7280

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2004)10-1296-05

1 引言

SiC 是一种宽禁带半导体材料, 它具有高的饱和电子迁移率、高的热导率、高的击穿电场等优良电特性和热特性. 这些优良特性使它成为研制高温和高功率器件的一种理想材料. SiC 可被热氧化形成高质量的氧化层, 这就为研制 SiC MOSFET 器件及集成电路带来极大的便利^[1-4].

由于 CMOS 电路具有全电压输出摆幅、与温度无关的逻辑电平等优点, 使得 SiC CMOS 技术在高温应用中具有很大的吸引力. 目前, Ryu 等人已研制出了 6H-SiC CMOS 运算放大器、振荡器等电路^[5,6]. 但由于 SiC PMOS 性能的限制, 这些电路的性能并不理想. 因此, 研究 SiC PMOSFET 的性能受哪些因素的影响, 对于发展 SiC CMOSFET 器件和集成电路是至关重要的.

MOSFET 器件源漏串联电阻主要由以下三部分组成: (1) 接触电阻; (2) 源漏区的扩散薄层电阻; (3) 由于导电沟道附近的电流拥挤所造成的注入电阻. 对 SiC 来说, 特别是对 PMOSFET 来说, 源漏串联电阻的值是非常大的. 主要有以下三个原因: (1) p-SiC 的功函数很大(约 6.7eV), 一般金属与 p-SiC 接触时的势垒高度较大^[7], 因此金属与 p-SiC 很难形成较好的欧姆接触; (2) 目前 SiC 离子注入技术还

不成熟, 注入 p 型杂质(A1, B)的激活率非常低(< 2%)^[8,9], 这就限制了源漏区的掺杂水平; (3) p 型杂质的离化能较大, 对于掺杂浓度(A1)为 $1 \times 10^{19} \text{cm}^{-3}$ 的 p 型 SiC, 温度为 1000K 时的杂质离化率约为 30%, 这样就进一步降低了源漏区的载流子的浓度, 不仅更加难以形成欧姆接触, 而且增加了源漏区的扩散电阻. 因此, 对于 SiC PMOSFET 来说, 源漏电阻是影响其特性的一个非常重要的因素. 从文献[5]可以看到, 测量得到的 p-SiC 的源漏薄层电阻是非常大的, 甚至达到 $240 \text{k}\Omega/\square$ (室温下). 另外, 注入电阻与源漏薄层电阻近似成正比^[10], 源漏薄层电阻越大, 则注入电阻也越大, 因此, 该项电阻也是源漏接触电阻的一个重要组成部分; 欧姆接触电阻强烈地依赖于源漏薄层区域内的载流子浓度.

在以前的研究中^[11], 也曾经讨论过源漏电阻对 SiC PMOSFET 转移特性的影响, 但是没有研究考虑源漏电阻时强反型以后的 $I-V$ 特性. 本文首先研究了源漏薄层电阻随温度的变化关系, 然后推导出了一组适用于 SiC PMOSFET 的 $I-V$ 特性解析表达式.

2 源漏薄层电阻的计算

源漏薄层电阻可以用下面的公式进行计算:

$$R_j = \frac{\rho}{x_j} = \frac{1}{qp\mu_{px_j}} \quad (1)$$

* 国家自然科学基金资助项目(批准号: 60276047)

郜锦侠 女, 1977 年出生, 博士研究生, 现从事 SiC MOS 器件及电路研究. Email: jinxiag@mei.xidian.edu.cn
2003-09-02 收到, 2004-01-02 定稿

式中 x_j 为薄层的厚度; $\rho = 1/q\mu_p$ 为源漏的电阻率. 空穴浓度的计算需要考虑不完全离化的影响, 对于受主杂质 Al 来说, 离化能为 $E_A = 200\text{meV}$. 即使在高达 1000K 的温度下, 杂质也不能完全离化. 低场空穴迁移率用以下模型进行计算^[12]:

$$\mu_{0p} = \mu_{p,\min} + \frac{\mu_{p,\max} \left[\frac{T}{300} \right]^{\beta_p} - \mu_{p,\min}}{1 + \left[\frac{T}{300} \right]^{\gamma_p} \times \left[\frac{N_{\text{total}}}{N_{\text{ref}}} \right]^{\alpha_p}} \quad (2)$$

式中 $\mu_{p,\min}$ 为最小空穴迁移率, 指的是在重掺杂的半导体中的空穴迁移率, 此时, 离化杂质散射起主要作用; $\mu_{p,\max}$ 为最大空穴迁移率, 指的是无掺杂时半导体中的空穴迁移率, 此时晶格散射是主要的散射机制. 各个参数取值如表 1 所示.

表 1 低场迁移率模型参数选取

Table 1 Parameters of low-field mobility model

参数	$\mu_{p,\min}$ /($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	$\mu_{p,\max}$ /($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	β_p	γ_p	$N_{\text{ref}}/\text{cm}^{-3}$	α_p
数值	5	100	-2.2	-3.7	1.606×10^{17}	0.7

图 1(a) 为源漏串联电阻随温度的变化关系曲线. 从我们的计算公式来看, 影响薄层电阻的因素有两个, 一个是空穴浓度, 另一个是空穴迁移率. 由于杂质离化率随温度的升高而增加, 所以空穴浓度也随温度的升高而增加. 从图 1(b) 可以看出, 空穴迁移率随温度的升高先增加, 到达一峰值后下降. 因此, 在迁移率到达峰值之前 ($< 550\text{K}$), 空穴浓度和迁移率都是随着温度的升高而增加的, 这样薄层电阻就随温度的升高而迅速减小. 当温度高于 550K 以后, 空穴浓度依然随着温度的升高而增加, 而空穴迁移率随温度的升高开始下降, 于是它们成为相互制约的两个因素, 因此随着温度的升高, 薄层电阻降低速度逐渐变缓, 直至基本不变. 这样综合起来的结果就如图 1(a) 所示, 源漏薄层电阻随温度的升高先是急剧下降, 而后下降幅度逐渐变缓, 到 600K 以后, 几乎不再变化. 而且从图 1(a) 也可以看出, 计算值较好地反映了实验结果的变化趋势.

3 电流电压模型

假定: (1) 沟道中各处迁移率相同, 且不随漏压的变化而变化; (2) 强反型以后, 界面态电荷不随栅压和漏压的变化而变化; (3) 沟道内的横向电场远大于纵向电场, 即满足渐变沟道近似; (4) 沟道掺杂均

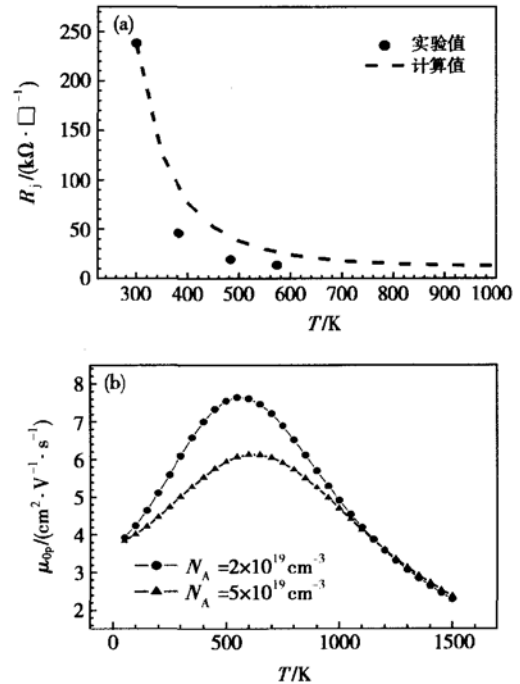


图 1 源漏串联电阻(a)和低场空穴迁移率(b)随温度的变化关系

Fig. 1 Dependence of S/D series resistance (a) and low-field mobility of hole (b) on temperature

匀; (5) 反向泄漏电流很小, 可以忽略.

在这些条件下, 在沟道中某点 y 处的反型层内的少数载流子浓度为:

$$Q_n(y) = -C_{\text{ox}}(V_{\text{GS}} - V_{\text{FB}} - \psi_s(y)) - Q_B(y)$$

式中 C_{ox} 为氧化层电容; V_{GS} 为栅压; V_{FB} 为平带电压; $\psi_s(y)$ 为 y 点处的表面势, 半导体表面发生强反型以后, 表面势可用 $2\phi_B + V(y)$ 近似表示, 其中 $V(y)$ 为沟道中 y 点处的电位(相对于源电极);

$Q_B(y) = \sqrt{2\epsilon_s \epsilon_0 q n_{\text{no}}} |V(y) + 2\phi_B|$ 为 y 点处表面耗尽层电荷浓度.

我们可以求出强反型以后漏电流的计算表达式:

$$I_D = -\frac{W}{L} \mu_{p0} C_{\text{ox}} \left[\left[V_{\text{GS}} - 2\phi_B - V_{\text{FB}} - \frac{1}{2}(V_L + V_0) \right] (V_L - V_0) - \frac{2}{3} \times \frac{\sqrt{2\epsilon_s \epsilon_0 q n_{\text{no}}}}{C_{\text{ox}}} \times \left[\left[- (2\phi_B + V_L) \right]^{\frac{3}{2}} - \left[- (2\phi_B + V_0) \right]^{\frac{3}{2}} \right] \right] \quad (3)$$

式中 W, L 分别为栅长和栅宽; μ_{p0} 为表面空穴迁

移率; ϕ_b 为体费米势; n_{n0} 为体内平衡电子浓度; $V_L = V_{DS} + |I_D| R_D$, $V_0 = -|I_D| R_S$, 分别为源漏端沟道区相对于源电极的电势; R_D 和 R_S 分别为漏端和源端寄生电阻.

3.1 线性区

当 V_{DS} 很小时, 方程(3)可以简化为:

$$I_D = -\frac{W}{L} \mu_{p0} C_{ox} (V_{GS} - V_T) (V_L - V_0) - \frac{W}{L} \mu_{p0} C_{ox} (V_{GS} - V_T) V_{DS} = \frac{-\frac{W}{L} \mu_{p0} C_{ox} (V_{GS} - V_T) V_{DS}}{1 - \frac{W}{L} \mu_{p0} C_{ox} (V_{GS} - V_T) (R_D + R_S)} \quad (4)$$

式中 V_T 为阈值电压. 令源漏串联电阻为 0 时的漏电流为 I_{D0} , 则有:

$$\frac{I_D}{I_{D0}} = \frac{1}{1 - \frac{W}{L} \mu_{p0} C_{ox} (V_{GS} - V_T) (R_D + R_S)} \quad (5)$$

利用(4)式计算出线性区跨导的表达式:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{-\frac{W}{L} \mu_{p0} C_{ox} V_{DS}}{1 - \frac{W}{L} \mu_{p0} C_{ox} (V_{GS} - V_T) (R_D + R_S)} \quad (6)$$

3.2 饱和区

当漏电压增加到某点, 使得在 $y = L$ 处反型层内的电荷 $Q(y)$ 为 0 时, 漏端的可动载流子(空穴)数急剧下降, 该点称为夹断点.

$$V_{Lsat} = (V_{GS} - V_{FB} - 2\phi_b) - K^2 \left[1 + \sqrt{1 - \frac{2}{K^2} (V_{GS} - V_{FB})} \right] \quad (7)$$

其中 $K = \sqrt{\epsilon_s \epsilon_0 q n_{n0} / C_{ox}}$; V_{Lsat} 为漏端夹断时 $y = L$ 处的电位. 此时, 漏极电位 V_{Dsat} 可表示为:

$$V_{Dsat} = V_{Lsat} - |I_D| R_D = (V_{GS} - V_{FB} - 2\phi_b) - K^2 \left[1 + \sqrt{1 - \frac{2}{K^2} (V_{GS} - V_{FB})} \right] - |I_D| R_D \quad (8)$$

将方程(7)代入方程(3), 可以求出饱和漏电流 I_{Dsat} .

考虑到饱和区沟道夹断后沟道长度调制效应的影响, 沟道长度的变化量用下式来估计:

$$\Delta L = L - L_{eff} = \left[2 \frac{\epsilon_0 \epsilon_s}{q n_{n0}} (V_L - V_{Lsat}) \right]^{\frac{1}{2}} \quad (9)$$

式中 L_{eff} 为有效沟道长度. 沟道夹断以后, 实际的沟道长度应该是 L_{eff} .

4 计算结果与讨论

图 2(a) 是 300°C 时 SiC PMOS 器件输出特性测量值与理论值的比较. 该图中的实验数据取自文献 [5]. 计算时, 取: 衬底掺杂浓度 $N_D = 8 \times 10^{15} \text{ cm}^{-3}$, 固定氧化层电荷 $Q_f = 7.0 \times 10^{11} \text{ cm}^{-2}$, 源漏串联电阻 $R_s = R_D = 14 \text{ k}\Omega$, 空穴迁移率 $\mu_p = 7.2 \text{ cm}^2 / (\text{V} \cdot \text{s})$, 宽长比为 $W/L = 40/5$, 氧化层厚度 $d = 42 \text{ nm}$, 界面态密度取平均值 $D_{it} = 2 \times 10^{11} \text{ cm}^{-2}$, 阈值电压为 -3.2 V . 图 2(b) 是 23°C 时 SiC PMOS 器件输出特性测量值与计算值的比较. 该图中的实验数据取自文献 [13], 氧化层厚度为 40nm, 外延层掺杂为 $8 \times 10^{15} \text{ cm}^{-3}$, 器件阈值电压为 -7.6 V , 源漏串联电阻为 40kΩ. 在以上两图中, 虚线表示考虑沟道长度调制效应 ($\Delta L \neq 0$) 的计算结果; 实线表示不考虑沟道长度调制效应 ($\Delta L = 0$) 的计算结果. 从图中可以看出, 实验值与测量值符合得很好, 只是在较高的栅压下表现出较强的沟道长度调制效应, 因此必须考虑这种效应的影响.

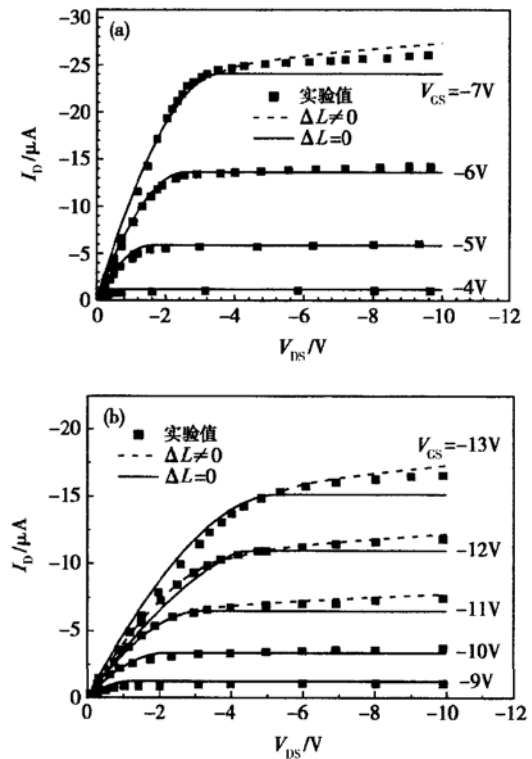


图 2 SiC PMOS 器件输出特性 (a) 300°C; (b) 23°C
Fig. 2 I_D - V_{DS} characteristics of SiC PMOSFET at 300°C (a) and 23°C (b)

图 3 为强反型以后的转移特性曲线. 实验值取自于参考文献[6]. 衬底掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$, 利用光 $C-V$ 测量法可得到栅氧化层厚度为 27.2nm. 在计算时, 取 $Q_f = 2.1 \times 10^{12} \text{ cm}^{-2}$, $R_s = R_D = 20 \text{ k}\Omega$, 源漏电压为 -0.1 V , 迁移率为 $4.5 \text{ cm}^2/(\text{V} \cdot \text{s})$. 从图中可以看到在栅压较小的时候, 源漏电阻对漏电流的影响很小, 而当栅压逐渐增大的时候, 源漏电阻对漏电流的影响逐渐增强, 使漏电流随栅压的变化趋缓, 曲线斜率逐渐变小, 从而使器件跨导变小, 迁移率降低.

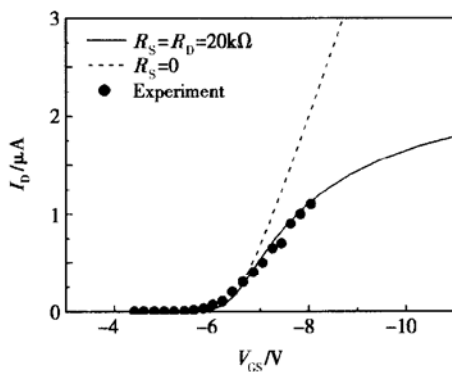


图 3 转移特性曲线

Fig. 3 I_D-V_{GS} curves

图 4 是强反型状态下, 漏压为 -0.1 V 时在不同源漏串联电阻条件下的跨导随栅压的变化关系曲线. 由图中可以看出, 源漏串联电阻对跨导的影响是非常显著的, 而且源漏串联电阻越大, 跨导的降低越剧烈. 图 5 是 $I_D/I_{D0}-(V_{GS}-V_T)$ 随栅压的变化关系. 从图中可以看出, 随着栅压的增加, 源漏串联电阻的影响越来越明显.

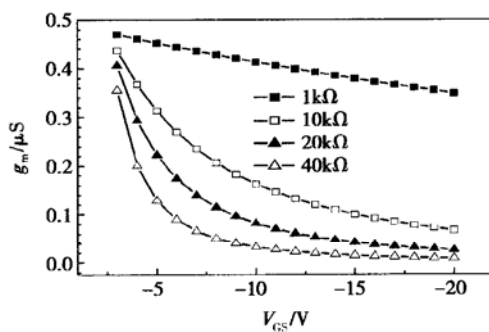
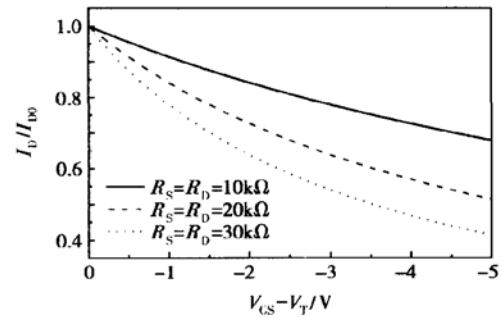


图 4 强反型以后跨导随栅压的变化关系

Fig. 4 Dependence of transconductance on gate voltage in strong inversion mode

图 5 $I_D/I_{D0}-(V_{GS}-V_T)$ 曲线 $V_{DS} = -0.1 \text{ V}$ Fig. 5 $I_D/I_{D0}-(V_{GS}-V_T)$ curves $V_{DS} = -0.1 \text{ V}$

5 结论

由于 SiC PMOSFET 具有非常大的源漏串联电阻, 因此本文在研究源漏串联电阻的基础上给出了一组适用于 SiC PMOSFET 的 $I-V$ 特性解析表达式, 并将计算结果与实验结果进行了比较, 结果表明两者符合得很好. 另外, 本文还分析了源漏串联电阻对跨导的影响, 源漏串联电阻越大, 跨导随栅压的降低越剧烈. 因此, 如何减小源漏串联电阻将是改进 SiC PMOSFET 性能的重要因素之一.

参考文献

- [1] Sheppard S T, Melloch M R, Cooper J A Jr. Characteristics of inversion-channel and buried-channel MOS devices in 6H-SiC. IEEE Trans Electron Devices, 1994, 41(7): 1257
- [2] Zhang Yuming. Study of silicon carbide material and devices. PhD Thesis, Xi'an Jiaotong University, 1998 (in Chinese) [张玉明. 碳化硅材料与器件的研究. 西安交通大学博士学位论文, 1998]
- [3] Slater D B Jr, Lipkin L A, Johnson G M, et al. High-temperature enhancement-mode NMOS and PMOS devices and circuits in 6H-SiC. IEEE Device Research Conf, 1995
- [4] Schmid U, Shepard S T, Wondrak W. High temperature performance of NMOS integrated inverters and ring oscillators in 6H-SiC. IEEE Trans Electron Devices, 2000, 47(4): 687
- [5] Ryu S H, Kornegay K T, Cooper J A Jr, et al. Digital CMOS IC's in 6H-SiC operating on a 5-V power supply. IEEE Trans Electron Devices, 1998, 45(1): 45
- [6] Lam M P, Kornegay K T. Recent progress of submicron CMOS using 6H-SiC for smart power applications. IEEE Trans Electron Devices, 1999, 46(3): 546
- [7] Waldrop J R. Schottky barrier height of metal contacts to p-type alpha 6H-SiC. J Appl Phys, 1994, 75(9): 4558
- [8] Gardner J, Rao M V, Tian Y L, et al. Rapid thermal annealing

- of ion implanted 6H-SiC by microwave processing. *J Electron Mater*, 1997, 26(3): 144
- [9] Dwight D, Rao M V, Holland O W, et al. Nitrogen and aluminum impantation in high resistivity silicon carbide. *J Appl Phys*, 1997, 82(11): 5327
- [10] Baccarani G, Sai-Halasz G A. Spreading resistance in submicron MOSFET's. *IEEE Electron Device Lett*, 1983, EDL-4(2): 27
- [11] Gao J X, Zhang Y M, Zhang Y M. Investigation of the effect of the surface state and S/D resistance on the characteristics of 6H-SiC p-channel MOSFET. *Chinese Journal of Semiconductors*, 2002, 23(4): 408 (in Chinese) [郜锦侠, 张义门, 张玉明. 表面态密度分布和源漏电阻对 6H-SiC PMOS 器件特性的影响. *半导体学报*, 2002, 23(4): 408]
- [12] Gao J X. A study on characteristics of silicon carbide PMOS-FETs. Master Thesis, Xidian University, 2002 (in Chinese) [郜锦侠. 碳化硅 PMOS 器件特性模拟及仿真. 西安电子科技大学硕士学位论文, 2002]
- [13] Ryu S, Kornegay K T, Cooper J A Jr, et al. Monolithic CMOS digital integrated circuits in 6H-SiC using an implanted p-well process. *IEEE Electron Device Lett*, 1997, 18(5): 194

Analytical Model Aimed at Source/Drain Series Resistance for 6H-SiC PMOSFET*

Gao Jinxia, Zhang Yimen and Zhang Yuming

(*Microelectronics Institute, Xidian University, Xi'an 710071, China*)

Abstract: A new model aimed at the source/drain series resistances is presented for SiC PMOSFET. The calculated results are well correspondent with the measured results.

Key words: 6H-SiC; PMOSFET; source/drain series resistances; analytical model

PACC: 7340Q; 7220J; 7280

Article ID: 0253-4177(2004)10-1296-05

* Project supported by National Natural Science Foundation of China (No. 60276047)

Gao Jinxia female, was born in 1977, PhD candidate. Her current research interests are SiC MOS devices and circuits.

Received 2 September 2003, revised manuscript received 2 January 2004

©2004 The Chinese Institute of Electronics