

超薄 SiO₂ 栅介质厚度提取与分析*

谭静荣 许晓燕 黄 如 程行之 张 兴

(北京大学微电子学研究所, 北京 100871)

摘要: 在分析半经典模型和量子模型的基础上, 得到包括量子效应和多晶硅耗尽效应的栅氧厚度提取模型. 栅介质厚度模拟结果和椭圆仪所测实验结果吻合良好.

关键词: 超薄栅介质; 量子效应; 多晶硅耗尽效应; 栅氧厚度

EEACC: 2560

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2004)10-1306-05

1 引言

随着器件尺寸不断减小, 栅介质厚度相应减薄, 在半导体表面的反型区或者积累区, 电子或空穴限定在非常窄的势阱中, 表现出量子化行为^[1]. 电子的热波长大约为 8nm, 当栅介质厚度可以与电子波长相比或者更薄时, 量子效应不容忽视, 需要采用量子模型描述 MOS 结构特性^[2]. 此外, 由于多晶硅掺杂浓度的限制, 在硅表面电场作用下多晶硅栅-栅介质处杂质被耗尽, 形成空间电荷区, 在电学上表现为等效栅介质厚度增加, 这就是多晶硅耗尽效应. 随着器件尺寸减小, MOS 器件中栅氧厚度减薄, 表面电场不断增加, 多晶硅耗尽效应更加明显^[3]. 多晶硅耗尽效应在 MOS C-V 曲线测试时表现为反型或者积累区测试曲线的退化, 使栅氧化层电学测试厚度偏离本征厚度, 栅介质厚度的测试和提取相应成为一个新问题^[4].

考虑到量子效应和多晶硅耗尽效应后, MOS 电容主要由三部分组成: 栅氧电容、多晶硅栅电容和衬底表面电容. 一般采用量子模型或者近似的量子模型, 联立泊松方程和薛定谔方程(或者自洽薛定谔方程)求解衬底表面电荷和衬底表面电容, 采用经典统计方法求解多晶硅栅电容, 然后根据 MOS 电容表达式求出栅氧电容. 由于联立泊松方程和薛定谔方

程(或者自洽薛定谔方程)求解过程复杂烦琐, 耗时长, 因此很有必要研究比较精确而又简便的模型来提取超薄栅厚度. 本文在分析半经典模型和量子模型的基础上, 得到了包括量子效应和多晶硅耗尽效应的栅介质厚度提取模型, 选择积累区的 MOS 电容 C-V 曲线, 采用解析表达式, 考虑多晶硅耗尽效应和量子效应来求解本征栅介质电容, 进而计算出栅介质物理厚度. 该模型简单, 方便实用.

2 超薄 SiO₂ 栅介质厚度提取模型

在 n 型半导体中, 积累层电荷的半经典表达式^[5]是

$$Q_{s,sc} = - (2\epsilon_s k_B T N_D)^{1/2} \exp[q\Delta\Psi_s/2k_B T]$$

其中 N_D 为施主浓度; $\Delta\Psi_s$ 为硅衬底表面势. 考虑到量子效应后的经验表达式是

$$Q_{s,qm} = Q_0 + Q_{s,sc} \exp[-\Delta E_c/2k_B T]$$

其中 ΔE_c 是因量子效应使得沟道表面导带能级量子化而产生的偏移量; Q_0 是因量子效应而减少的电子密度.

$$\Delta E_c(\Delta\Psi_s) \approx \Delta E_c(\Delta\Psi_{s,0}) + \Delta E'_c(\Delta\Psi_{s,0})(\Delta\Psi_s - \Delta\Psi_{s,0})$$

$\Delta\Psi_{s,0}$ 为经典理论中硅衬底表面势.

这样, $Q_{s,qm} \approx Q_s = Q_0 - Q_1 \exp\left[\frac{\Delta\Psi_s}{V_1}\right]$

* 国家重点基础研究发展规划(批准号: 20000365)和国家自然科学基金(批准号: 90207004)资助项目

模型参数 Q_1 和 V_1 为:

$$Q_1 = (2\epsilon_s k_B T N_D)^{1/2} \exp[-(\Delta E_c(\Delta\Psi_{s,0}) - \Delta E'_c(\Delta\Psi_{s,0}) \Delta\Psi_{s,0})/2k_B T]$$

$$V_1 = 2k_B T/[q - \Delta E'_c(\Delta\Psi_{s,0})]$$

n 型半导体表面积层电容: $C_s = -\frac{dQ_s}{d\Delta\Psi_s} = \left[\frac{Q_1}{V_1}\right] \exp\left[\frac{\Delta\Psi_s}{V_1}\right]$. 模型中忽略了 Si-SiO₂ 的界面态和 SiO₂ 中的固定电荷的影响, 则 $Q_{pg} = -Q_s$, $\Delta\Psi_{pg} = -\Delta\Psi_s$, 因此 $C_{pg} = C_s$. 对于金属栅 MOS 电容, $Q_{mg} = -Q_s$, $\Delta\Phi_{mg} = 0$, $C_{mg} = \infty$. 这样栅电压与栅电容分别为 $V = V_{FB} + k\Delta\Psi_s - Q_s/C_{ox}$, $1/C = 1/C_{ox} + k/C_s$, 其中 V_{FB} 是平带电压. 对于金属栅, $k = 1$, 对于多晶硅栅, $k = 2$.

定义 $V_2 = kV_1$, $V_0 = V_{FB} + V_2 \ln\left[\frac{V_2 C_{ox}}{Q_1}\right] - \frac{Q_0}{C_{ox}}$ 通过上面关系式可以推导出:

$$V = V_0 + V_2 \left[\frac{C}{C_{ox} - C} + \ln \left[\frac{C}{C_{ox} - C} \right] \right]$$

C_{ox} 和 V_2 的解析表达式为:

$$C_{ox} = C \left[1 + \frac{2}{1 - \frac{CC''}{(C')^2}} \right], V_2 = \left[1 - \frac{C}{C_{ox}} \right]^2 \frac{C}{C'}$$

C' 和 C'' 分别是 C 对 V 的一阶导数和二阶导数. 这种方法也适用于 p 型衬底的 MOS 电容.

3 结果与讨论

采用如上超薄 SiO₂ 栅介质厚度提取模型, 得到了模拟的 $C-V$ 曲线及相应的提取出的栅介质厚度, 具体结果如图 1, 2 和表 1, 2 所示. 图 1 和图 2 分别给出了各种厚度的 p⁺-poly/SiO₂/n-Si MOS 电容和

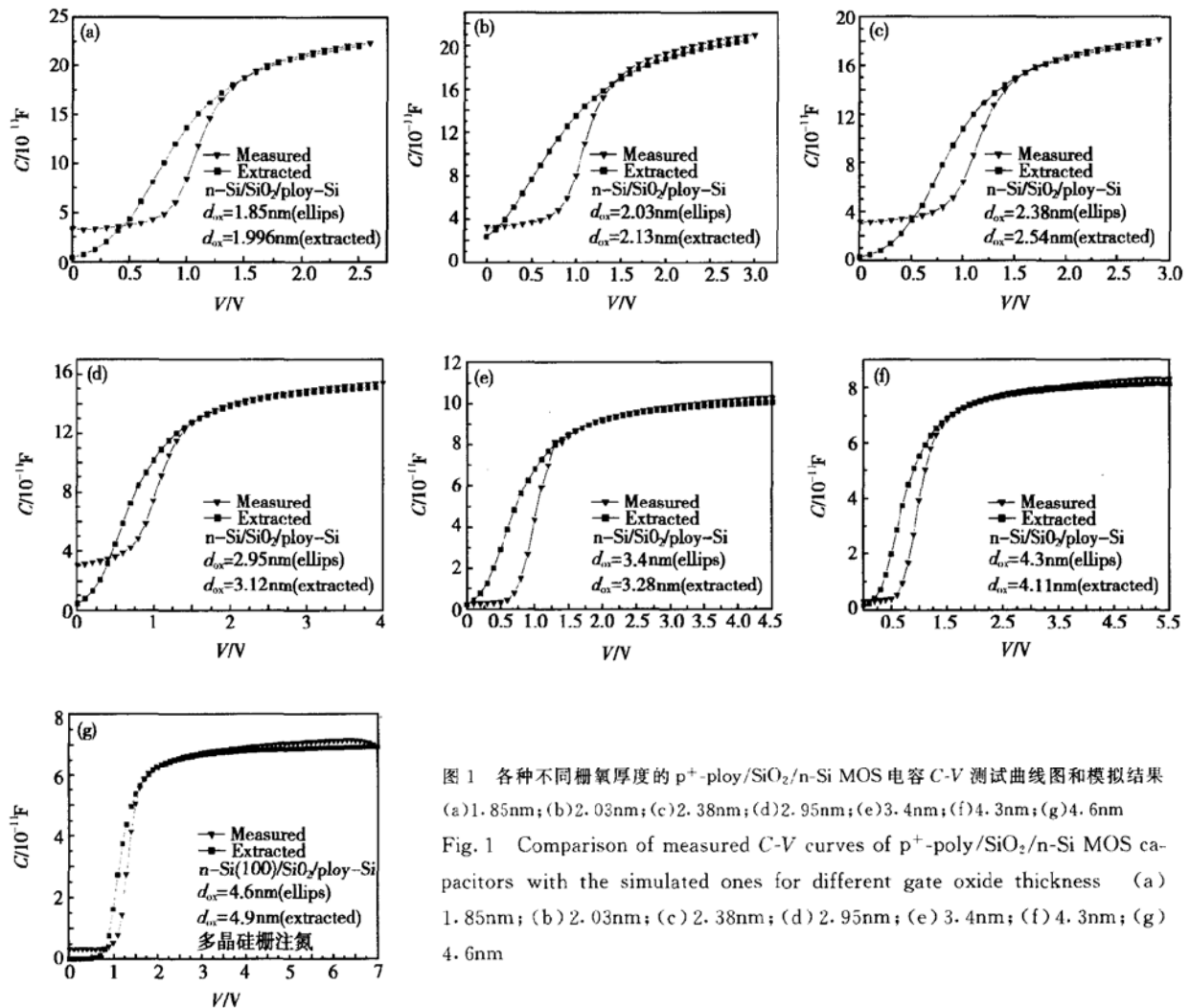


图 1 各种不同栅氧厚度的 p⁺-poly/SiO₂/n-Si MOS 电容 C-V 测试曲线图和模拟结果 (a)1.85nm; (b)2.03nm; (c)2.38nm; (d)2.95nm; (e)3.4nm; (f)4.3nm; (g)4.6nm

Fig. 1 Comparison of measured C-V curves of p⁺-poly/SiO₂/n-Si MOS capacitors with the simulated ones for different gate oxide thickness (a) 1.85nm; (b) 2.03nm; (c) 2.38nm; (d) 2.95nm; (e) 3.4nm; (f) 4.3nm; (g) 4.6nm

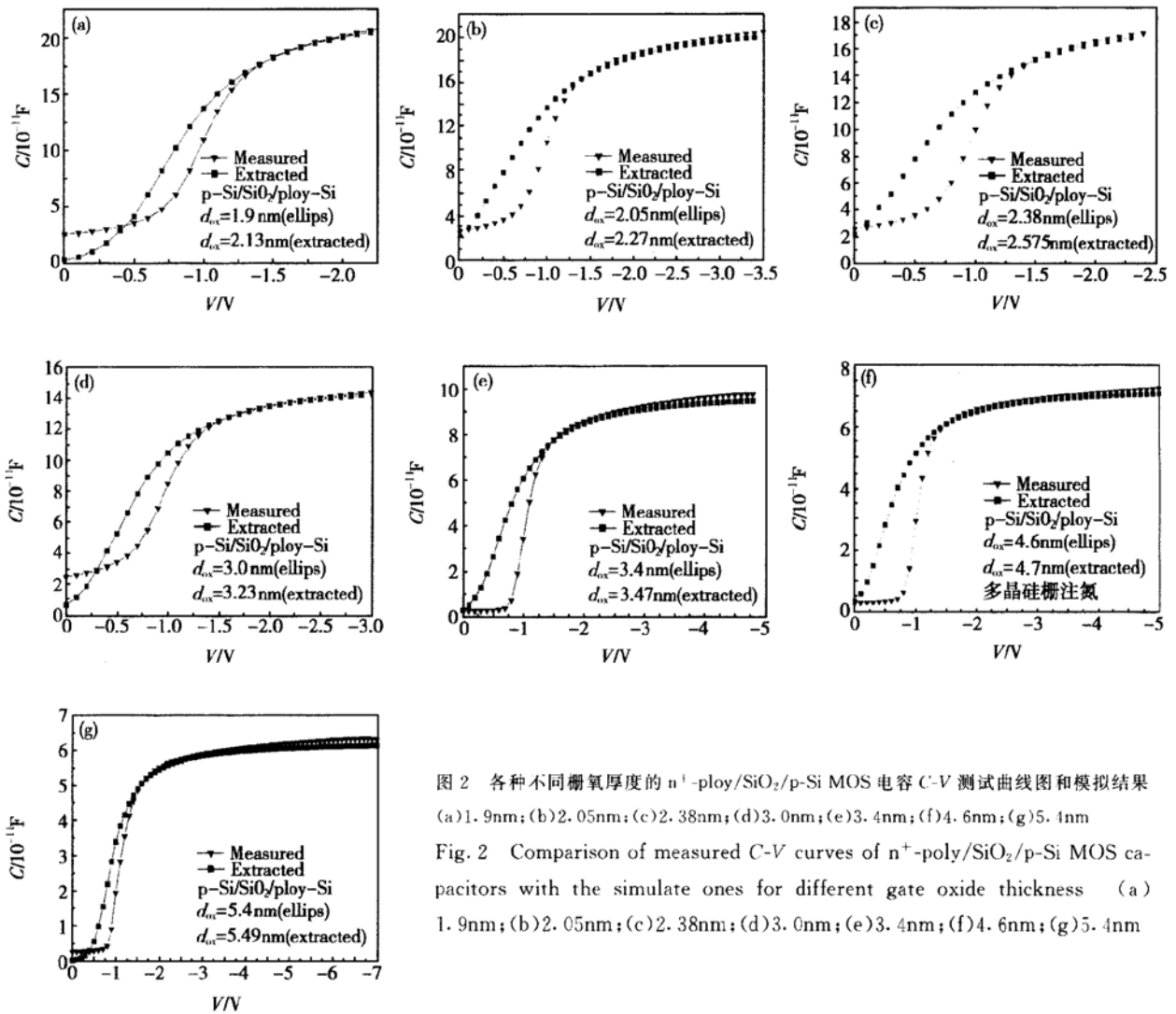


图 2 各种不同栅氧厚度的 n^+ -poly/SiO₂/p-Si MOS 电容 C-V 测试曲线图和模拟结果 (a)1.9nm; (b)2.05nm; (c)2.38nm; (d)3.0nm; (e)3.4nm; (f)4.6nm; (g)5.4nm

Fig. 2 Comparison of measured C-V curves of n^+ -poly/SiO₂/p-Si MOS capacitors with the simulate ones for different gate oxide thickness (a) 1.9nm; (b)2.05nm; (c)2.38nm; (d)3.0nm; (e)3.4nm; (f)4.6nm; (g)5.4nm

表 1 p^+ -poly/SiO₂/n-Si MOS 电容

Table 1 Measured and calculated gate oxide thickness for p^+ -poly/SiO₂/n-Si MOS capacitors

工艺种类	椭偏法测得的栅氧厚度/nm	程序模拟计算的栅氧厚度/nm	厚度误差/%
常规热氧化制备超薄 SiO ₂ 栅介质工艺	1.85	2.00	+ 7.9
	2.03	2.13	+ 4.9
	2.38	2.54	+ 6.7
氮气稀释热氧化制备 SiO ₂ 栅介质工艺	2.95	3.12	+ 5.6
	3.40	3.28	- 3.5
多晶硅注氮制备超薄栅介质工艺	4.30	4.11	- 4.4
	4.60	4.90	+ 6.5

n^+ -poly/SiO₂/p-Si MOS 电容的模拟 C-V 曲线和电学扫描所得到的 C-V 曲线. 作为对比, 图中也给出了采用椭偏仪测试所得到的栅氧化层厚度, 椭偏仪的分辨率为 0.1nm, 正负偏差为 0.3nm. 本文采用

椭偏测试值作为计算机模拟和电学测试栅氧化层厚度的本征厚度.

表 2 n^+ -poly/SiO₂/p-Si MOS 电容

Table 2 Measured and calculated gate oxide thickness for n^+ -poly/SiO₂/p-Si MOS capacitors

工艺种类	椭偏法测得的栅氧厚度/nm	程序模拟计算的栅氧厚度/nm	厚度误差/%
常规热氧化制备超薄 SiO ₂ 栅介质工艺	1.90	2.13	+ 12
	2.05	2.27	+ 10.7
	2.38	2.58	+ 8.2
氮气稀释热氧化制备 SiO ₂ 栅介质工艺	3.00	3.23	+ 7.7
	3.40	3.47	+ 2.1
多晶硅注氮制备超薄栅介质工艺	4.60	4.7	+ 2.2
氮气稀释热氧化制备 SiO ₂ 栅介质工艺	5.40	5.49	+ 1.7

由图中结果可以看出, 该超薄 SiO₂ 栅介质厚度提取模型与 MOS 电容制备工艺关系不大, 所提取的栅氧厚度和所模拟的 $C-V$ 曲线误差较小, 适用于纯 SiO₂ 栅介质和含氮 SiO₂ 栅介质. 在验证模型的过程中, 主要采用了三种工艺制备不同厚度的超薄栅介质, 即常规热氧化制备超薄栅介质工艺, 氮气稀释热氧化制备热 SiO₂ 栅介质工艺和多晶硅注氮制备超薄栅介质工艺.

超薄 SiO₂ 栅介质厚度提取模型所提取的栅介质厚度结果, 列在了表 1 和表 2 中.

如图 1 和 2 所示, 各种厚度的 MOS 电容, 无论是 p 型还是 n 型衬底, 程序模拟计算出来的强积累区电容误差(模拟电容值与实验值的差再与实验值的比值)都很小, 近似为 2%. 图 2 中的栅介质厚度为 4.6nm 的 p⁺-poly/SiO₂/n-Si MOS 电容与图 1 中的 4.6nm 和 5.4nm n⁺-poly/SiO₂/p-Si MOS 电容, 栅介质较厚, 衬底掺杂浓度较低, 量子效应和多晶硅耗尽效应并不明显, 但是程序模拟的 $C-V$ 曲线与实际测得的高频 $C-V$ 曲线仍能吻合得很好, 模型提取出来的厚度误差也较小. 说明本文所提出的考虑到量子效应和多晶硅耗尽效应的栅介质厚度提取模型同样适用于这两种效应不是很明显的 MOS 电容. 表 1 和表 2 的结果显示: 对于相同工艺的 MOS 电容, 模型所提取的栅介质厚度误差正负情况相同. 模拟结果表明它与椭圆测试值的偏差都在椭圆仪精度范围之内, 完全能够适应超薄栅介质厚度电学提取的需要.

4 总结

随着栅氧厚度的不断减小, 量子效应和多晶硅

耗尽效应已经不容忽视. 因此, 常规的 $C-V$ 法不再适用于精确提取栅氧厚度. 由于求解泊松方程和自适性薛定谔方程过程非常复杂, 本文在分析半经典模型和量子模型的基础上, 得出包括量子效应和多晶硅耗尽效应的分析表达式, 选择 $C-V$ 曲线的强积累区进行模拟, 并且将得出的栅氧厚度与椭圆法所测值进行比较. 在栅氧厚度提取模型中, 所提取的栅氧厚度和所模拟的 $C-V$ 曲线误差比较小, 模型简单, 方便实用. 但是, 由于模型中假设多晶硅栅电容和硅衬底表面电容相等(对于多晶硅栅), 所以不能准确计算出这两个电容; 而且, 模型中没有考虑到界面态和固定电荷的影响; 此外, 模型的适用范围有限, 还需研究栅氧厚度为 1nm 左右的 MOS 电容的物理厚度提取方法.

参考文献

- [1] Schmitt-Landsiedel D, Hofmann K R, Oppolzer H, et al. Thickness determination of thin oxides in MOS structures. In: Proc Insulating Films on Semiconductors, 1983: 126
- [2] Sune J, Olivo P, Ricco B. Quantum-mechanical modeling of accumulation layers in MOS structure. IEEE Trans Electron Devices, 1988, 35: 1732
- [3] Lo S H, Buchanan D A, Taur Y. Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultrathin oxides. IBM J Res Develop, 1999, 43(3): 327
- [4] Gupta A, Fang P, Song M, et al. Accurate determination of ultrathin gate oxide thickness and effective polysilicon doping of CMOS devices. IEEE Electron Device Lett, 1997, 18(12): 580
- [5] Dmowski K, Halimaoui A. The influence of quantum effects on the determination of gate oxide thickness from $C-V$ measurements. J Non-Cryst Solids, 1997, 216: 185

Extraction of Ultra-Thin Gate Oxide Thickness*

Tan Jingrong, Xu Xiaoyan, Huang Ru, Cheng Xingzhi and Zhang Xing

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

Abstract: Based on the analysis of quasi-classical model and quantum model, a new empirical method is presented to extract the oxide thickness from measured $C-V$ curves in accumulation region of MOS capacitors. The extracted results are in good agreement with the results measured by ellipsometry.

Key words: ultra-thin gate dielectrics; quantum effect; poly-Si depletion effect; gate oxide thickness

EEACC: 2560

Article ID: 0253-4177(2004)10-1306-05

* Project supported by State Key Development Program for Basic Research of China(No. 20000365) and National Natural Science Foundation of China(No. 90207004)

Received 22 October 2003, revised manuscript received 14 January 2004

©2004 The Chinese Institute of Electronics