

7. 3GHz 0.18 μm CMOS 注入式锁相环电路*

王骏峰 冯 军 袁 晟 熊明珍 王志功

(东南大学射频与光电集成电路研究所, 南京 210096)

摘要: 给出一种利用 0.18μm CMOS 工艺实现的注入式振荡器辅助锁相环. 在 1.8V 电源电压下, 电路工作频率为 7.3GHz, 功耗为 157mW, 跟踪范围为 150MHz, 锁定时在 1%(7.3MHz) 频率偏移量下的相位噪声为 -97.36dBc/Hz.

关键词: 注入式; 锁相环; CMOS 工艺

EEACC: 2570D

中图分类号: TN929.11

文献标识码: A

文章编号: 0253-4177(2004)10-1331-04

1 引言

高速锁相环电路作为时钟恢复电路和频率合成器的重要组成部分广泛应用于现代光纤通信与无线通信中. 当今社会的信息量迅猛增长, 从而要求信息传输速率同步提高. 因此, 研究超高速的锁相环电路具有重大的意义. 另外, 以往的高速集成电路大多采用双极性硅工艺和砷化镓工艺设计, 存在成本高的缺点. 而 CMOS 具有低成本、低功耗、高集成度的优点. 随着工艺向深亚微米发展, 0.18μm CMOS 工艺的 MOSFET 特征频率已达到约 50GHz. 因此, 采用 CMOS 工艺实现超高速集成电路前景广阔.

2 环路结构

注入式锁相环(injection-PLL)^[1]的结构框图如图 1 所示, 它由鉴相器、低通滤波器、注入式振荡器(SO)(取代 PLL 三个基本单元中的 VCO)和移相器, 以及输入输出缓冲电路构成, 输入信号为理想正弦波.

本电路在简单锁相环的基础上引入注入式振荡器辅助锁相环的锁定. 对于简单锁相环电路来说, 噪声性能和锁定范围是相互矛盾的, 也就是说, 在满足噪声指标的前提下, 简单锁相环电路的锁定范围非

常小. 采用注入式振荡器辅助锁相环, 可以解决同步范围较窄的问题, 同时提高了系统的稳定度.

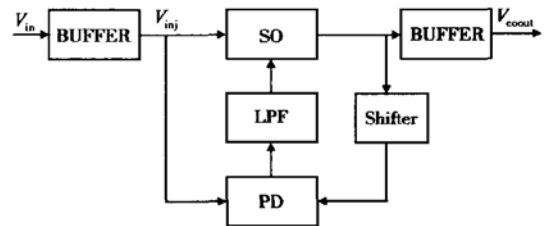


图 1 系统结构框图

Fig. 1 Phase-locked loop architecture

3 电路设计

注入式振荡器: 由求和放大器(如图 2 所示)和两级振荡单元(单级振荡单元如图 3 所示)组成. 求和放大器由两对差分对接负阻性负载构成, 实现注入信号和反馈信号的矢量相加; 两级振荡单元的基本电路是可变负阻性负载的差分放大器^[3]. 在一级加法器和两级振荡单元的延时作用下, 振荡器振荡在所需要的频率上.

鉴相器电路: 如图 4 所示, 鉴相器实现相位差与电压的变换. 它比较输入信号与振荡器输出信号经相移后的相位, 将相位差转换为电压, 在设计中采用 Gilbert 单元结构的乘法器, 相频曲线呈现余弦特性.

* 国家高技术研究发展计划资助项目(编号: 2001AA312010)

王骏峰 男, 1978 年出生, 从事光纤通信用高速集成电路研究与设计工作.

2003-09-05 收到, 2003-12-26 定稿

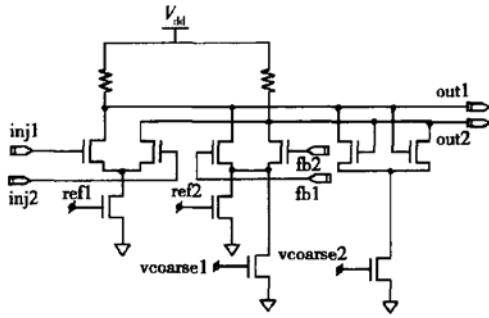


图 2 注入振荡器的求和放大器
Fig. 2 Adder of the SO

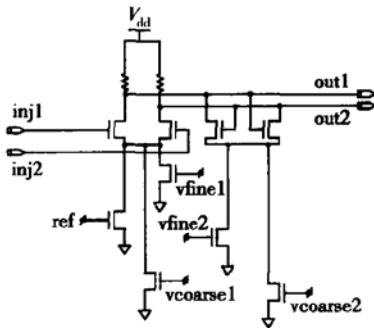


图 3 注入振荡器的振荡单元电路
Fig. 3 One unit of the SO

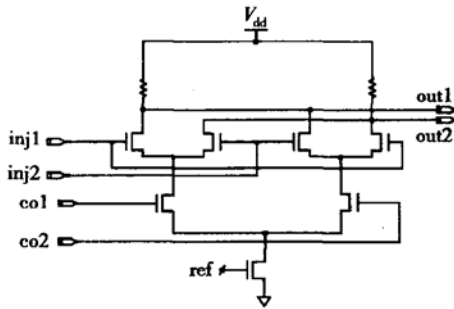


图 4 鉴相器电路
Fig. 4 Phase detector

低通滤波器: 如图 5 所示, 本次设计中采用一阶有源低通滤波器. 原理上讲, 低通滤波器可以包含很多极点以达到幅频曲线陡峭下降的特性, 这在很多应用中是需要的. 但是, 这样的锁相环电路难以稳定, 尤其当考虑工艺和温度变化时, 所以在本电路中采用一阶低通滤波器, 然而, 一阶低通滤波器在噪声抑制方面有它的不足. 另外, 为了提高环路增益, 电路采用有源低通滤波器.

移相器: 对于注入式振荡器来说, 具有这样的特

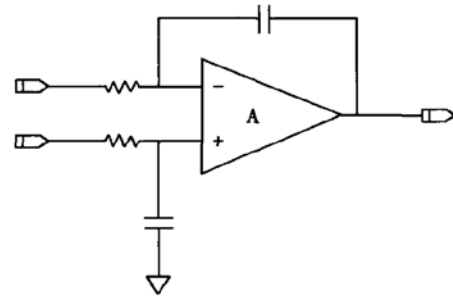


图 5 低通滤波器电路
Fig. 5 Low-pass filter

性: 当注入信号频率等于注入振荡器的自然振荡频率时, 注入信号和振荡器输出信号同相. 由于鉴相器的相频特性呈现余弦特性, 当振荡器输出信号经 90°移相后与输入信号鉴相, 鉴相器输出为零, 这样就使锁相环得到最大的锁定范围和最小的抖动. 移相器由两级差分放大器构成, 实现 90°的相移.

4 测试结果

该芯片利用台湾 TSMC 公司提供的一层多晶硅、六层金属 0.18μm CMOS 工艺实现, 该工艺中的 NMOS 晶体管的截止频率大约是 50GHz. 实现的芯片照片如图 6 所示, 面积为 880μm × 830μm.

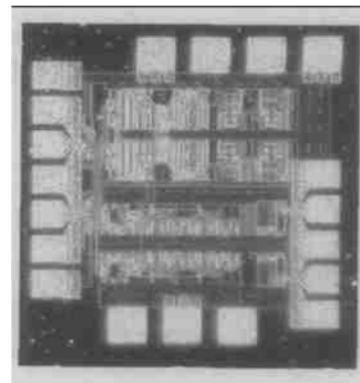


图 6 芯片照片
Fig. 6 Chip die photograph

该电路已经在测试台上进行了芯片测试, 首先进行的是直流测试, 在 1.8V 的供电电压下, 总电流是 87.5mA, 其中 SO 和输出缓冲的工作电流是 64mA. 其次, 进行了高频测试, 环路锁定在 7.3GHz 时的频谱如图 7 所示, 在 1%即 7.3MHz 偏移量下的相位噪声为 -97.36dBc/Hz. 图 8 是锁相环在锁定时域的波形, 图 9 表示输出信号的均方根值抖

动为 15.5ps; 锁相环在 7.23~7.38GHz 范围内锁定, 跟踪范围 150MHz.

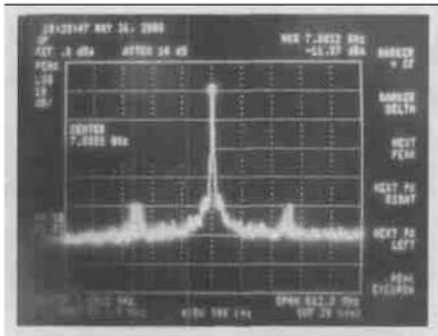


图 7 频域中的输出信号频谱

Fig. 7 PLL output spectrum

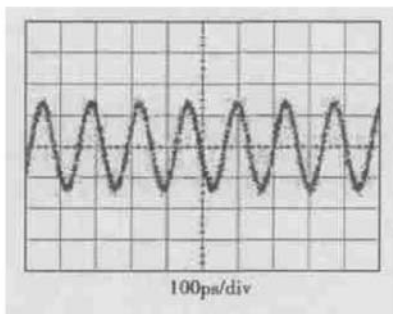


图 8 时域中的输出信号波形

Fig. 8 Measured PLL output in time domain

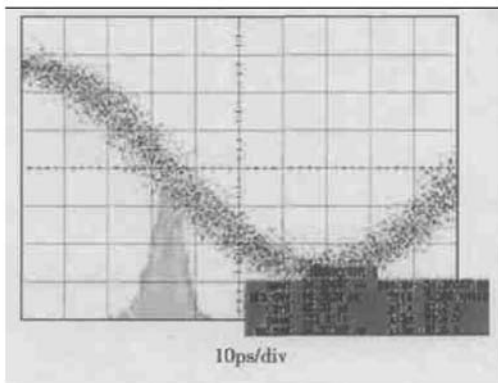


图 9 输出信号的时域抖动

Fig. 9 Jitter of the output

表 1 概括了电路的性能.

表 1 电路性能

Table 1 Circuit performance

中心频率	7.303GHz
输入正弦波幅度	100mV
功耗	157.5mW
跟踪范围	150MHz(7.23~7.38GHz)
输出信号均方根值抖动	15.5ps, rms
输出信号峰峰值电压	127.6mV
相位噪声	-107.06dBc@73MHz -97.36dBc@7.3MHz

5 总结

利用台湾 TSMC 公司提供的一层多晶硅、六层金属 0.18 μ m CMOS 工艺, 成功地设计并实现了超高速的注入式锁相环芯片, 在+1.8V 单电源供电情况下, 电路工作在 7.3GHz 的频率上, 跟踪范围 150MHz, 在 1% 即 7.3MHz 偏移量下的相位噪声为 -97.36dBc/Hz.

参考文献

- [1] Wang Zhigong. IC design for optic-fiber communications. Beijing: Higher Education Press, 2003 (in Chinese) [王志功. 光纤通信集成电路设计. 北京: 高等教育出版社, 2003]
- [2] Gu Zheng. High speed monolithic clock recovery circuit. Master Dissertation, Southeast University, 2000 (in Chinese) [顾峥. 超高速单片时钟恢复电路. 东南大学硕士学位论文, 2000]
- [3] Behzad Razavi. Design of analog CMOS integrated circuits. McGraw-Hill International Edition, 2001
- [4] Behzad Razavi. Monolithic phase-locked loops and clock recovery circuits: theory and design. IEEE Press ISBN 0-78-3-1149-3
- [5] Behzad Razavi. A study of phase noise in CMOS oscillators. IEEE J Solid-State Circuits, 1996, 31(3): 331

7. 3GHz 0.18 μ m CMOS Injection Phase-Locked Loop*

Wang Junfeng, Feng Jun, Yuan Sheng, Xiong Mingzhen and Wang Zhigong

(*Institute of RF & OE ICs, Southeast University, Nanjing 210096, China*)

Abstract: A high-speed phase-locked loop (PLL) which is realized in a standard 0.18 μ m CMOS technology is introduced. This circuit employs an injection ring-VCO with an auxiliary PLL. The circuit has 7.3GHz of central frequency with 157mW of power dissipation under a 1.8V supply. An experimental prototype exhibits 150MHz of tracking range. The phase noise in the locked condition is -97.36dBc/Hz at 1% offset (7.3MHz).

Key words: injection; phase-locked loop; CMOS technology

EEACC: 2570D

Article ID: 0253-4177(2004)10-1331-04

* Project supported by National High Technology Research and Development Program of China(No. 2001AA 312010)

Wang Junfeng male, was born in 1978. His research interests focus on high-speed integrated circuit design for fiber communication.

Received 5 September 2003, revised manuscript received 26 December 2003

©2004 The Chinese Institute of Electronics