

0.2 μm T 形栅技术在 10Gbps 激光驱动电路 研制中的应用*

张海英 刘训春 罗明雄 刘洪民 王润梅

(中国科学院微电子研究所, 北京 100029)

摘要: 0.2 μm T 形栅制作技术在 100mm GaAs 激光驱动电路芯片研制中获得了成功的应用. 优化的栅制作工艺保证了形貌良好的栅线条, 获得了优良的晶体管直流参数和高频性能. 栅工艺重复性好, 整片内器件性能均匀一致, 确保了电路的成功研制. 实际电路测试结果表明, 在 100mm GaAs 片上制备的 PHEMT 驱动电路的芯片测试合格率达到 70% 以上, 可靠性良好.

关键词: GaAs PHEMT; T 形栅; 激光调制驱动电路

EEACC: 2560S; 1220

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2004)10-1335-03

1 引言

栅的制作在 PHEMT (赝配高电子迁移率晶体管) 器件和电路技术中是极其关键的步骤, 栅线条的尺寸直接影响器件的跨导、开启电压、击穿电压、截止频率等性能参数, 从而对电路的性能产生直接影响. 高质量、重复、稳定的栅线条制作工艺是基于 GaAs PHEMT 器件的高速电路研制的必要保障. 中国科学院微电子研究所自主设计了 10Gbit/s GaAs PHEMT 光调制器驱动电路, 其中晶体管的栅线条为 0.2 μm, 利用普通光学曝光无法实现我们所需 T 形栅的制作. 在电路加工过程中, 我们应用了具有自主专利权的栅技术, 用一种三层 PMMA/PMGI/PMMA 复合胶结构, 通过一次电子束曝光多次显影制作出高成品率的 T 形栅, 这种新的栅工艺宽容度大, 重复性好, 大大提高了器件的成品率.

本文在叙述栅制作关键技术的基础上, 给出了该技术在电路制作中的应用情况, 电路的高成品率充分肯定了栅工艺的可行性.

2 T 形栅制作工艺

我们研制的 10Gbit/s GaAs PHEMT 光调制器驱动电路中晶体管的栅线条为 0.2 μm, 如果采用普通的栅结构, 栅串联电阻将导致晶体管高频工作时性能的恶化. 为兼顾高截止频率和低栅串联电阻两方面的要求, 通常采用 T 形栅工艺. 文献报道较多的 T 形栅采用 PMMA/PMMA-MAA/PMMA 复合胶结构和 ZEP/PMGI/ZEP 复合胶结构两类工艺技术, 电子束一次曝光, 分层显影, 利用各层胶对显影液的敏感度不同获得具有细脚的带屋檐的胶形貌. 在 PMMA/PMMA-MAA/PMMA 复合胶结构中, 由于 PMMA 和 PMMA-MAA 是同一系列的光刻胶, 在显影时各层间势必相互影响, 对每层的显影要求很严格, 如果控制不好, 容易造成栅帽或栅脚尺寸偏离设计值, 使器件的重复性受到影响. ZEP/PMGI/ZEP 复合胶结构显影可控, 但 ZEP 与 GaAs, InP 等衬底黏附性差. 一般工艺中, 先在 GaAs 或 InP 衬底上生长一层 SiO₂ 或 SiN 增加与 ZEP 的粘附, 显影后再将介质层刻蚀掉. 我们在分

* 国家自然科学基金(批准号: 60276021) 和国家重点基础研究发展规划(批准号: G2002CB311901) 资助项目

张海英 女, 1964 年出生, 研究员, 研究方向是微波单片集成电路(MMIC) 设计和 GaAs 基、InP 基 HEMT 工艺技术.

2003-09-25 收到

©2004 中国电子学会

析各类光刻胶性能的基础上,提出了新的复合胶结构 PMMA/PMGI/PMMA. 该结构兼顾了以上两种复合胶结构的优点,而工艺相对简单、可控性强. 底层采用电子束胶 PMMA, 该胶与衬底材料黏附性好,性能稳定,易剥离,由此层胶显影获得的图形确定栅脚的尺寸. 胶层厚度决定栅脚高度,一般选 200nm 左右. 匀胶后 180℃ 烘 30min. 中间层用聚合物 PMGI, 该胶与 PMMA 黏附良好,两种胶不互融,厚度约 400nm 左右,匀胶后 180℃ 烘 5~10min. 上层 PMMA 用于形成屋檐,确定栅帽尺寸,一般选 300nm 左右. 匀胶后 180℃ 烘 30min. 电子束曝光剂量选择在 $500\mu\text{C}/\text{cm}^2$, 使三层胶均被曝透. 显影时,上层 PMMA 用 MIBK : IPA = 3 : 1 的混合试剂,显影约 100s,线条宽度为 0.4~0.5 μm . 中间层用 1 : 4 的四甲基氢氧化氨水溶液显影,显影 80~110s,显出 0.7~0.8 μm 的宽度. 此显影液对 PMMA 无作用,因此显影这一层时,上下两层不受影响. 底层 PMMA 用 MIBK 与 IPA 的混合试剂显影,通过控制显影时间获得需要的 0.2 μm 线条,我们实际显影时间控制在 80~90s. 由于 MIBK 与 IPA 的混合试剂对 PMGI 无作用,因此显影栅脚时,对中间层的形貌没有破坏作用,上层图形只是略微变宽. 这样,使得显影工艺的可控性和重复性大大增强,为获得性能重复可靠的晶体管提供了保证. 我们在器件研制过程中,多次采用了此技术制作 T 形栅,根据器件情况选择胶层厚度和曝光剂量、显影条件,获得了良好的 0.1 μm 和 0.2 μm 的栅线条,为将此技术应用于实际电路的制作奠定了基础.

3 栅工艺在电路研制中的实际应用与优化

为提高效率,降低成本,我们采用了光学光刻与电子束混合光刻的技术. 除栅线条用电子束直写曝光外,其余各层均用 Stepper 进行光学光刻. 为解决层间套刻对准问题,需要用投影光刻机光刻出专用电子束对准标记的胶图形,蒸发金属,剥离,形成电子束曝光系统可识别的金属对准标记,标记边缘要整齐,尺寸合理. 为保证电子束对准的精度,电子束标记处不能有其他图形,因此在电子束直写栅工艺前,要为电子束标记预留足够的空间,每一步光刻都要考虑预留标记区的保护,尤其是金属蒸发工艺中,标记区一定要有光刻胶保护. 这是保证对准精度的

关键.

10Gbit/s GaAs PHEMT 光调制器驱动电路中,有三级放大,各级均有多只 PHEMT 晶体管,为保证电路的高成品率,必须尽量提高每只晶体管的成品率. T 形栅形成后,下面的清洗等工艺很容易造成栅的倾倒或位置漂移. 为避免这种情况的发生,我们在细栅的两端加了一个边长为 0.5 μm 的小方块,金属蒸发后,在细栅两端的两个金属块对栅起固定作用,从而有效避免了栅的失效. 按照 100mm 圆片的统计结果,栅的制作成品率达到 90%. 图 1 是驱动电路输出级的局部照片.

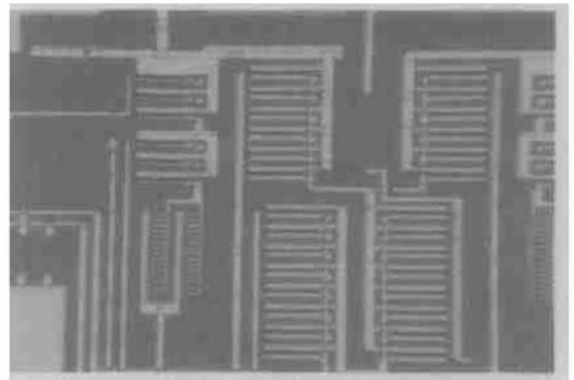


图 1 10Gb/s GaAs PHEMT 光调制器驱动电路的芯片局部照片

Fig. 1 A part of 10Gb/s GaAs PHEMT modulator driver micrograph

4 测试结果

我们对检测图形中的样管进行了直流测试, PHEMT 器件最大跨导为 450mS/mm, 夹断电压为 -0.7~-0.8V, 器件性能指标均匀性好. 在 100mm GaAs 片上制备的 PHEMT 驱动电路芯片的测试合格率达到 70%. 我们对封装后的 10Gb/s GaAs PHEMT 光调制器驱动电路进行了高频测试, 10GHz 信号频率下眼图的上升和下降沿分别为 $t_r = 27.6\text{ps}$ 和 $t_f = 37.3\text{ps}$.

5 结论

为了获得高性能驱动器电路,我们采用了上述 0.2 μm 栅混合光刻等几项创新的工艺技术. 研究成功的新型三层胶电子束光刻技术,解决了常规三层胶显影时各层胶相互影响的问题,制备出 0.2 μm 栅线条,确保了晶体管的高成品率和高可靠性,是一项

可以推广应用的制备技术.

参考文献

- [1] Shi Huafen, Zhang Haiying, Liu Xunchun, et al. Novel high-yield nanometer T-gate fabrication technology on InP based materials. *Chinese Journal of Semiconductors*, 2003, 24(4): 411(in Chinese) [石华芬, 张海英, 刘训春, 等. 一种新的高成品率 InP 基 T 形纳米栅制作方法. *半导体学报*, 2003, 24(4): 411]
- [2] Gao Jianjun, Gao Baoxin, Wu Dexin. HEMT IC devices modeling in 2.5~ 10Gb/s laser driver circuits. *Chinese Journal of Semiconductors*, 2001, 22(6): 800(in Chinese) [高建军, 高葆新, 吴德馨. 2.5~ 10Gb/s 光发射机驱动电路 HEMT IC 中器件模型参数. *半导体学报*, 2001, 22(6): 800]
- [3] Wakita A S, Su C Y, Rohdin H, et al. Novel high-yield trilayer resist process for 0.1 μm T-gate fabrication. *J Vac Sci Technol B*, 1995, 13(6): 2725
- [4] Li Xiaobai. GaAs microwave power FET and its integrated circuits. Beijing: Science Press, 1998: 484(in Chinese) [李效白. 砷化镓微波功率场效应晶体管及其集成电路. 北京: 科学出版社, 1998: 484]
- [5] Shinohara K, Yamashita Y, Hikosaka K, et al. Ultra-short T-shaped gate fabrication technique for InP based HEMTs with high f_t ($> 300\text{GHz}$) and their MMIC applications. *GaAs* 2000, 2000

Application of 0.2 μm T-Shaped Gate Technology in 10Gbps DWDM Driver Circuits*

Zhang Haiying, Liu Xunchun, Luo Mingxiong, Liu Hongmin and Wang Runmei

(*Institute of Microelectronics, The Chinese Academy of Sciences, Beijing 100083, Chinese*)

Abstract: 0.2 μm T-shaped gate technology is successfully used in 10Gbps DWDM fabrication process. The optimized gate formation technology guarantees well gate foot line, good repetition and uniformity are achieved in 100mm GaAs wafers. Good $I-V$ and high frequency characteristics of HEMT are obtained. Circuits yield in 100mm wafer is more than 70%.

Key words: GaAs PHEM; T-shaped gate; DWDM driver circuits

EEACC: 2560S; 1220

Article ID: 0253-4177(2004)10-1335-03

* Project supported by National Natural Science Foundation of China(No. 60276021) and State Key Development Program for Basic Research of China(No. G2002CB311901)

Zhang Haiying female, was born in 1964, professor. Her research interests are design and fabrication technology of GaAs MMIC and InP based devices.

Received 25 September 2003

©2004 The Chinese Institute of Electronics