

隔离技术对 SOI PMOSFET 中空穴迁移率的影响

赵洪辰 海潮和 韩郑生 钱 鹤

(中国科学院微电子研究所, 北京 100029)

摘要: 在 SIMOX 和 Smart-cut SOI 衬底上采用 LOCOS 和 MESA 隔离技术制备了部分耗尽 PMOSFET, 虽然 LOCOS 隔离器件的阈值电压较小, 但其跨导和空穴迁移率明显小于 MESA 隔离器件. 模拟表明, LOCOS 场氧生长过程中, 由于 SiO₂ 体积膨胀, 在硅膜中形成较大的压应力, 从而降低了空穴的迁移率.

关键词: LOCOS; MESA; 迁移率; 应力

PACC: 7220F; 7325

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2004)10-1345-04

1 引言

和体硅相比, SOI 器件及电路有着不可比拟的优越性, 它具有更大的电流驱动能力^[1], 能有效地抑制短沟道效应, 抗辐射^[2], 工艺简单, 能与传统的 CMOS 工艺兼容等优点^[3], 因而人们认为它将取代硅成为 21 世纪的主流技术. 但是研究表明, 许多因素会影响 SOI MOSFET 中的载流子迁移率, 如不同的 SOI 衬底, 沟道区杂质浓度和硅膜中的应力^[4]. 常规的 LOCOS 隔离技术已经在体硅 CMOS 中得到广泛应用, 同时也很容易应用于 SOI 技术. 但是场氧在生长过程中的膨胀会导致硅膜中的应力增加, 从而影响沟道区载流子迁移率. 与 LOCOS 相比, MESA 隔离技术更加简单, 不存在场氧导致的应力增加问题. 因此, 使用这两种隔离技术的器件载流子迁移率可能存在差异. 为了研究这种差异, 我们在 SIMOX 和 Smart-cut 衬底上制备了 LOCOS 和 MESA 隔离的 SOI PMOSFET, 研究了两种隔离技术对 PMOS 中空穴迁移率的影响, 并通过模拟证明这种影响主要来源于硅膜中形成的应力不同.

2 器件制备

在两种 SOI 衬底上制备了宽长比为 12 μm /1.2 μm 的部分耗尽 PMOSFET, SIMOX 的埋氧化

层为 370nm, 硅膜为 190nm; Smart-cut 的埋氧化层为 400nm, 硅膜为 340nm. 在两种衬底上分别使用了 LOCOS 和 MESA 隔离技术, 其中 LOCOS 的流程为: 刻蚀 Si₃N₄(120nm)/SiO₂(18nm) 掩蔽层确定有源区; 场区 1000 $^{\circ}\text{C}$ 湿氧 85~175min, 充分氧化至埋氧层; 湿法刻蚀去除掩蔽层. MESA 隔离的流程为: 掩蔽器件有源区后刻蚀场区的硅, 埋氧层作为刻蚀的终止层; 硅岛边缘的钝化在生长栅氧化层时进行, 这一步不仅在硅岛上表面, 而且在硅岛边缘也生长栅介质. 随后两种隔离器件的制备过程完全相同: 两次沟道注入(SIMOX: P⁺, 100keV, 7 $\times 10^{11}\text{cm}^{-2}$ 和 P⁺, 160keV, 5 $\times 10^{12}\text{cm}^{-2}$; Smart-cut: P⁺, 100keV, 6 $\times 10^{11}\text{cm}^{-2}$ 和 P⁺⁺, 160keV, 5 $\times 10^{12}\text{cm}^{-2}$) 调整阈值电压; 形成 350nm 多晶硅栅; LDD/LDS 注入 BF₃⁻, 40keV, 3 $\times 10^{13}\text{cm}^{-2}$; 形成氧化物侧墙; 源漏注入 B⁺, 40keV, 5 $\times 10^{15}\text{cm}^{-2}$; 1000 $^{\circ}\text{C}$ 快速热退火; 淀积 25nm Ti 形成自对准硅化物. 最后淀积 BPSG, 刻蚀接触孔, 淀积和刻蚀 Al, 合金.

3 结果和讨论

利用半导体参数测试仪 HP4145A 测量了 PMOSFET 的亚阈值特性和跨导. 测试过程中, 漏极电压 V_d= -0.1V, 源极、体接触、背栅均接 0V, 栅极电压 0~ -3V. 图 1 表示了两种隔离 SOI PMOSFET 的亚阈值特性曲线, SIMOX 衬底上的 LOCOS

和 MESA 隔离 PMOS 器件的阈值电压分别为 -1.13V 和 -1.82V ; Smart-cut 衬底上的 LOCOS 和 MESA 隔离 PMOS 器件的阈值电压分别为 -1.00V 和 -1.24V . 图 2 表示了它们的跨导随 $V_g - V_T$ 的变化曲线. 由图可见, 虽然 LOCOS 隔离器件的阈值电压小于 MESA 隔离器件, 但其跨导仍明显小于后者. 在 $V_g - V_T = -0.4\text{V}$ 时, 所有器件的跨导均达到最大值, SIMOX MESA PMOS 的最大值为 $21.9\mu\text{S}$, 比 LOCOS PMOS 的跨导最大值高出 6.8% ; 同样, 对于 Smart-cut 衬底, MESA PMOS 的跨导最大值为 $22.3\mu\text{S}$, 比 LOCOS PMOS 高 7.2% . 利用直流漏极电流的方法^[5]提取了沟道区空穴的迁

移率, 即迁移率 $\mu = \frac{-g_m}{C_{ox}V_d} \times \frac{L}{W}$, 其中 C_{ox} 为栅氧化层电容, L 为栅长, W 为栅宽, 结果如图 3 所示. 由于这种提取方法在 V_g 非常接近 V_T 时不够准确, 空穴迁移率从 $V_g - V_T = -0.4\text{V}$ 开始提取. SIMOX 衬底上的两种隔离 PMOS 器件的空穴迁移率最大值分别为 $214.3\text{cm}^2/(\text{V} \cdot \text{s})$ 和 $182.4\text{cm}^2/(\text{V} \cdot \text{s})$; smart-cut 衬底上的两种隔离 PMOS 器件的空穴迁移率最大值分别为 $200.8\text{cm}^2/(\text{V} \cdot \text{s})$ 和 $185.2\text{cm}^2/(\text{V} \cdot \text{s})$. 随着栅压的增加, 表面散射和量子效应增强, 导致载流子迁移率下降. 两种衬底上的 MESA 隔离器件的载流子迁移率都明显高于 LOCOS 隔离器件.

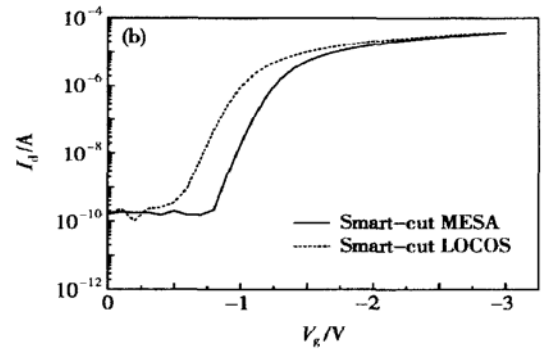
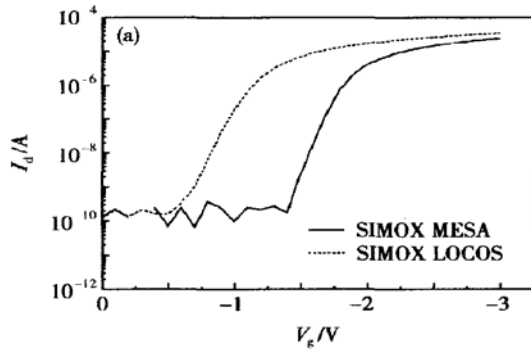


图 1 LOCOS 和 MESA 隔离 SOI PMOSFET 的亚阈值特性曲线 (a) SIMOX 衬底; (b) Smart-cut 衬底

Fig. 1 Sub-threshold characteristics of SOI PMOSFET isolated by LOCOS and MESA (a) SIMOX substrate; (b) Smart-cut substrate

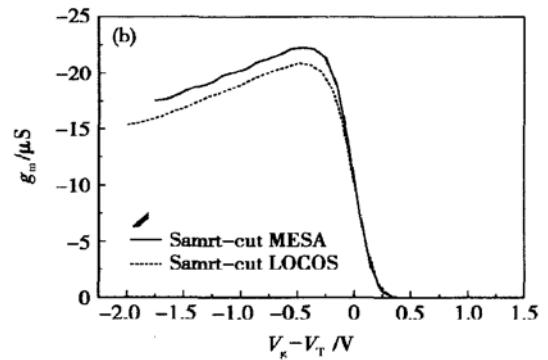
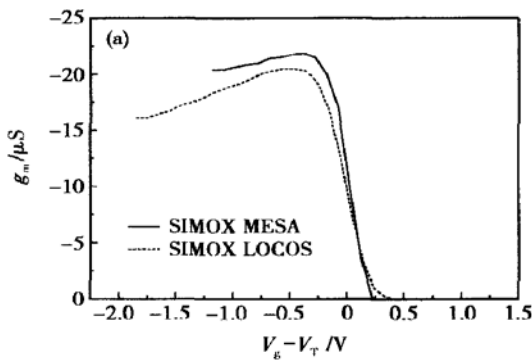


图 2 LOCOS 和 MESA 隔离 SOI PMOSFET 的跨导与 $V_g - V_T$ 关系曲线 (a) SIMOX 衬底; (b) Smart-cut 衬底

Fig. 2 Transconductance of SOI PMOSFET isolated by LOCOS and MESA as a function of $V_g - V_T$ (a) SIMOX substrate; (b) Smart-cut substrate

硅膜中的应力是影响载流子迁移率的一个重要因素, 因此利用工艺模拟程序 TSUPREM-4 模拟了 LOCOS 场氧化过程. TSUPREM-4 能够以线性弹性模型为基础分析材料间的内应力和由于热过程产

生的应力. 应力可以由以下公式计算^[6]:

$$\frac{\partial \sigma_{xx}}{\partial x} + \frac{\partial \sigma_{xy}}{\partial y} = 0 \quad (1)$$

$$\frac{\partial \sigma_{yy}}{\partial y} + \frac{\partial \sigma_{xy}}{\partial x} = 0 \quad (2)$$

$$\sigma_{xx} + \sigma_{yy} = \frac{E}{(1 + \gamma)(1 - 2\gamma)} \times \left(\frac{\partial u_x}{\partial x} + \frac{\partial u_y}{\partial y} \right) - \frac{2E}{1 - 2\gamma} \times \int_{T_1}^T LCTE dt + 2\sigma_i \quad (3)$$

$$\sigma_{xx} - \sigma_{yy} = \frac{E}{1 + \gamma} \times \left(\frac{\partial u_x}{\partial x} - \frac{\partial u_y}{\partial y} \right) \quad (4)$$

$$\sigma_{xy} = \frac{E}{2(1 + \gamma)} \times \left(\frac{\partial u_x}{\partial y} + \frac{\partial u_y}{\partial x} \right) \quad (5)$$

其中 σ_{xx} , σ_{yy} 和 σ_{xy} 分别为计算得到的应力; u_x 和 u_y 为 x 和 y 方向的位移; E 为材料的杨氏模量; γ 为材料的 Poisson 比。

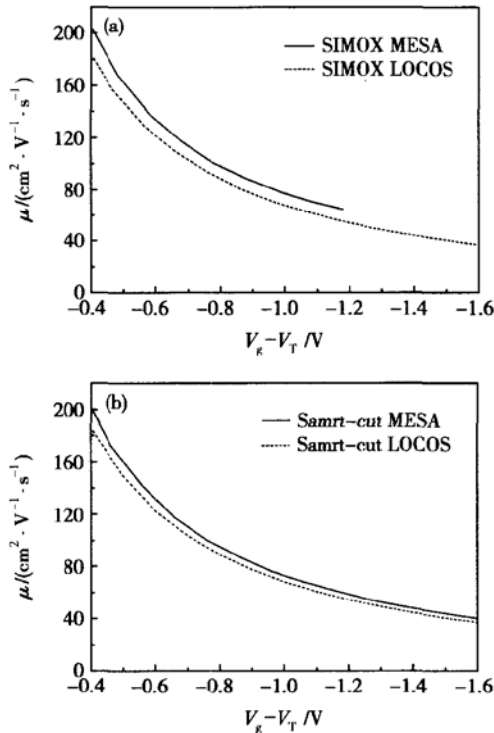


图 3 LOCOS 和 MESA 隔离 SOI PMOSFET 的沟道空穴迁移率与 $V_g - V_T$ 的关系曲线 (a) SIMOX 衬底; (b) Smart-cut 衬底

Fig. 3 Hole mobility of SOI PMOSFET isolated by LOCOS and MESA as a function of $V_g - V_T$ (a) SIMOX substrate; (b) Smart-cut substrate

模拟的应力分布如图 4 所示. SOI 衬底中并不存在内应力, 这些应力的产生只能是由于氧化过程中 SiO_2 体积的膨胀挤压硅膜, 从而在硅膜中形成了压应力. 与 LOCOS 相比, MESA 隔离不用生长场氧, 因此产生的应力非常小, 空穴在运动过程中所受影响也非常小, 具有更大的迁移率.

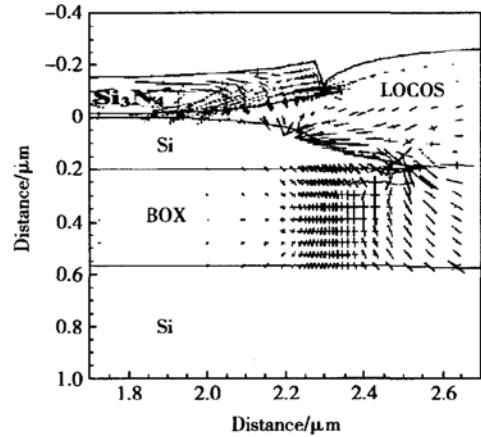


图 4 LOCOS 隔离中的应力
Fig. 4 Stress in LOCOS

4 结论

在 SIMOX 和 Smart-cut SOI 衬底上采用 LOCOS 和 MESA 隔离技术制备了部分耗尽 PMOSFET. LOCOS 隔离器件的阈值电压小于 MESA 隔离器件, 但是跨导比 MESA 器件分别小 6.8% 和 7.2%, 空穴迁移率小 $31.9 \text{ cm}^2 / (\text{V} \cdot \text{s})$ 和 $15.6 \text{ cm}^2 / (\text{V} \cdot \text{s})$. 模拟显示, 场氧在生长过程中膨胀造成了硅膜中较大的压应力, 使 LOCOS 隔离器件中的空穴迁移率减小.

参考文献

- [1] Sturm J C, Tokunaga K, Colinge J P. Increased drain saturation current in ultra-thin silicon-on insulator (SOI) MOS transistors. IEEE Electron Device Lett, 1988, EDL-9: 460
- [2] Liu Xinyu, Liu Yunlong, Sun Haifeng, et al. Characteristics on total-dose radiation hardness for CMOS/SOI 4Kb SRAM. Chinese Journal of Semiconductors, 2002, 23(2): 213(in Chinese) [刘新宇, 刘运龙, 孙海锋, 等. CMOS/SOI 4Kb SRAM 总剂量辐照实验. 半导体学报, 2002, 23(2): 213]
- [3] Colinge J P. Silicon-on-insulator technology: Material to VLSI. 2nd ed. Boston: Kluwer Academic, 1997
- [4] Lee J W, Kim H K, Yang J W, et al. Comparison of hole mobility in LOCOS-isolated thin film SOI p-channel MOSFET's fabricated on various SOI substrates. IEEE Electron Device Lett, 1999, 20(4): 176
- [5] Sodini C G, Ekstedt T W, Moll J L. Charge accumulation and mobility in thin dielectric MOS transistors. Solid-State Electron, 1982, 25: 833
- [6] TMA TSUPREM-4 user's manual. version 6.5

Dependence of Hole Mobility in PDSOI PMOSFET on Isolation Process

Zhao Hongchen, Hai Chaohe, Han Zhengsheng and Qian He

(*Institute of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China*)

Abstract: Partially depleted SOI PMOSFETs isolated by LOCOS and MESA are fabricated on SIMOX and smart-cut substrates. Though the threshold voltage of PMOS isolated by LOCOS is lower, the transconductance and hole mobility are clearly lower than its counterpart of MESA. The simulation shows that the reduced hole mobility is attributed to the increased compressive stress of the silicon film, resulting from high volumetric expansion of the field oxide in the case of LOCOS isolation.

Key words: LOCOS; MESA; mobility; stress

PACC: 7220F; 7325

Article ID: 0253-4177(2004)10-1345-04