

# 一种超低功耗能隙源设计及其电源噪声抑制分析\*

李 强<sup>1</sup> 韩益锋<sup>1</sup> 谢文录<sup>2</sup> 闵 昊<sup>1</sup>

(1 复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

(2 上海华虹集成电路有限责任公司, 上海 201203)

**摘要:** 对一种超低功耗能隙源的电源噪声抑制进行了分析. 给出了简单而又有效的频域分析模型, 并将其电源噪声抑制实测结果与频域分析模型理论结果及其 SPICE 仿真结果进行比较. 在 Chartered 0.35 $\mu\text{m}$  CMOS 工艺流片实现了这一结构的能隙源, 实测最低工作电压为 1.3V, 工作电流为 7.8 $\mu\text{A}$ , 基准电压为 500mV, 温度系数为 40ppm/ $^{\circ}\text{C}$ , 芯片面积为 0.06 $\text{mm}^2$ . 最后提出了本结构能隙源提高电源噪声抑制的方法.

**关键词:** 能隙源; 超低功耗; 电源噪声抑制

**EEACC:** 1205; 1290

**中图分类号:** TN402

**文献标识码:** A

**文章编号:** 0253-4177(2004)11-1474-05

## 1 引言

能隙源由于其高精度及低温度系数的特性, 被广泛应用于模拟及数字电路系统中. 早期的能隙源电源电压一般在 3~5V, 输出基准电压在 1.25V 附近<sup>[1,2]</sup>. 随着 IC 设计向着深亚微米工艺发展, 能隙源电源电压降至 1.8V 以下, 输出的基准电压一般小于 1V<sup>[3,4]</sup>. 除了基准电压精度、温度系数、功耗等指标外, 电源电压噪声抑制(PSR)也是衡量能隙源性能水平的一个重要指标. 随着电源电压的降低及低功耗的要求, PSR 越来越成为设计时所需考虑的重要参数, 因此能隙源的 PSR 及其频率特性分析正渐渐被重视<sup>[5]</sup>. 本文针对一种可工作于低电源电压, 输出基准电压 < 1V 的低温度系数能隙源电路的 PSR 进行分析, 并给出简化的频域模型. 最后在 Chartered 0.35 $\mu\text{m}$  CMOS 工艺上流片实现一最小工作电压 1.3V, 工作电流 7.8 $\mu\text{A}$ , 基准电压 500mV, 温度系数为 40ppm/ $^{\circ}\text{C}$  的能隙源, 并将 PSR 频域模型分析结果、电路仿真结果及测试结果进行比较, 最后根据本模型提出了提高 PSR 的具体方法.

## 2 低电源电压能隙源电路

随着 CMOS 设计工艺向深亚微米发展, 电源电压在 1.8V 以下, 传统结构的能隙源已经不能满足电源电压降低的要求. 近几年陆续出现了几种低电源电压工作的能隙源<sup>[3,4]</sup>, 其中典型结构的原理如图 1 所示(启动电路部分未包括). 在本电路结构中, Q1 与 Q2 一般采用标准 CMOS 工艺中的寄生纵向 pnp 三级管,  $R_1$  取值与  $R_2$  相等. 通过分析可知:

$$V_{\text{ref}} = R_4 \left[ \left( \frac{1}{R_3} \right) \left( \frac{kT}{q} \right) \ln(N) + \frac{V_{D1}}{R_2} \right] \quad (1)$$

其中  $N$  为二极管 Q2 与 Q1 发射极面积之比;  $V_{D1}$  为 Q1 上发射极到基极结电压降, 具有负的温度系数, 而  $V_{\text{ref}}$  表达式前一项具有正的温度系数. 通过适当的选择  $R_4$ ,  $R_3$ ,  $R_2$  及  $N$  的数值, 使得  $dV_{\text{ref}}/dT = 0$  (一般  $T_0$  选取室温 300K), 便可得到在工作温度附近的低温系数的基准电压. 通过改变  $R_4$  的大小可以得到不同数值基准电压. 在 CMOS 工艺具体电路实现中,  $R_1$ ,  $R_2$ ,  $R_3$ ,  $R_4$  一般采用多晶硅(POLY)电阻. 其绝对精度一般误差较大(20%左右), 但相对精度能做得很高(小于 1%),  $V_{\text{ref}}$  的取值及  $dV_{\text{ref}}/dT = 0$  的条件只取决于  $R_1 \sim R_4$  电阻的相对比例, 因此这种

\* 国家高技术研究发展计划资助项目(No. 2003AA1Z1280)

李 强 男, 博士研究生, 专业方向为模拟集成电路设计与测试. Email: liqiang@fudan.edu.cn

2003-10-10 收到, 2004-03-13 定稿

©2004 中国电子学会

结构的电路可得到一个高精度低温度系数的基准电压源。

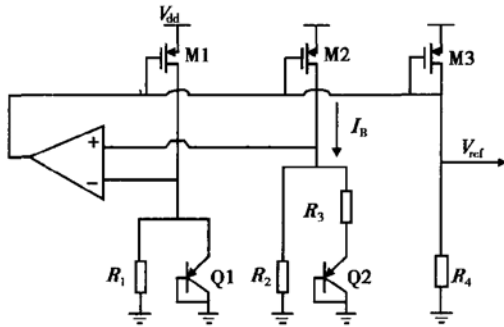


图 1 低电源电压能隙源原理图  
Fig. 1 Low-voltage bandgap reference

从图 1 可知, 电源电压  $V_{DD} > V_{D1} + V_{dsat-M1}$ , 其中  $V_{dsat-M1}$  是 M1 管的饱和压降, 约为 0.2~0.3V,  $V_{D1}$  约为 0.7V, 因此  $V_{DD}$  最低工作电压理论上可小于 1V. 如果考虑运放输入及输出摆幅, 采用此结构完全可以设计出标准电源电压 1.8V (CMOS 0.18 $\mu$ m) 和标准电源电压 1.3V (CMOS 0.13 $\mu$ m) 下工作的高性能基准源。

### 3 电源电压噪声抑制分析

随着 ASIC 设计向着深亚微米的发展, 电源电压及芯片功耗不断降低, 传统的抑制电源电压噪声的方法, 如增加电压幅度及增加工作电流, 已越来越不适合低电源电压的设计要求. 针对于提高能隙源的 PSR, 人们提出过许多新的电路结构<sup>[6]</sup>. 在能隙源电路中, 电源电压的噪声一般都为色噪声, 其频率与系统时钟频率及数据传送速率等有着极大的关联, 因此有必要对能隙源的电源电压噪声抑制进行系统的理论分析。

图 2 所示为本设计中能隙基准源信号流图, 包括能隙源核和运算放大器两个部分. 在本设计中  $V_{in}$  为 0, 运放的差分输入由反馈部分  $V_{\beta} \times V_o$  及电源电压  $V_{dd} \times h_2(s)$  组成, 运算放大器包括差分放大  $V_{\beta} \times \alpha(s)$  电源电压噪声  $V_{dd} \times h_1(s)$  两个部分. 通过分析可以得到:

$$PSR(s) = \frac{V_{ref}}{V_{dd}} = h_3(s) + \frac{h_4(s)[h_1(s) - h_2(s)\alpha(s)]}{1 + \alpha(s)\beta(s)} \quad (2)$$

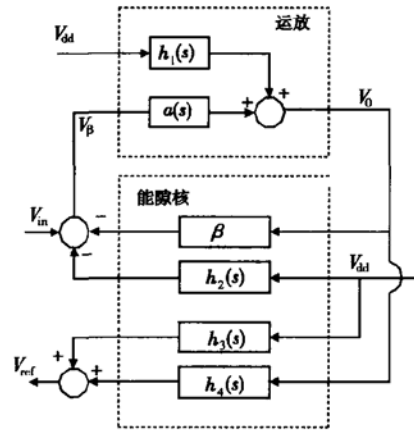


图 2 低电源电压能隙基准源信号流图  
Fig. 2 Signal flow graph of the low-voltage bandgap voltage

图 3(a) 为运算放大器的小信号模型. 包括输出电阻  $R_{out}$  和两个压控电压源  $I_{V_{\beta}}$  和  $I_{V_{dd}}$ , 分别由差分输入电压  $V_{\beta}$  和  $V_{dd}$  控制. 根据图 3(a) 所示的小信号模型推导公式 (2) 中的子传递函数  $h_1(s)$  和  $\alpha(s)$ .

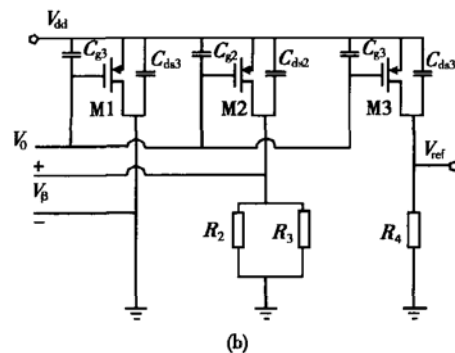
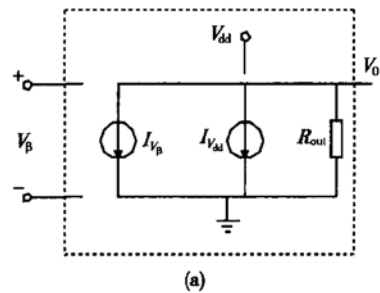


图 3 (a) 运算放大器小信号模型; (b) 基准源核电路小信号模型  
Fig. 3 (a) Small-signal model of the OPA; (b) Small-signal model of the bandgap reference core

通过分析及简化<sup>[7,81]</sup>,可以认为运放的开环增益可用单极点的一阶传递函数来近似,其表达式为(3)式,运放的电源电压传递关系  $h_1(s)$  为一包括一个零点和一个极点的一阶传递函数,其表达式为(4)。

$$I_{V_\beta} = \frac{G_{V_\beta} V_\beta}{1 + s/p_\alpha} \quad (3)$$

$$\alpha(s) = \frac{I_{V_\beta} \times R_{out}}{V_\beta} = \frac{G_{V_\beta} \times R_{out}}{1 + s/p_\alpha} = A_{V_0} \times \frac{1}{1 + s/p_\alpha}$$

$$h_1(s) = G_{V_{dd}} R_{out} \times \frac{1 + s/z_b}{1 + s/p_b} = h_{10} \times \frac{1 + s/z_b}{1 + s/p_b} \quad (4)$$

其中  $G_{V_\beta}$  及  $G_{V_{dd}}$  分别为运放的差分输入直流增益及电源直流增益,如图 3(a) 所示. 在计算  $h_2(s)$ ,  $h_3(s)$ ,  $h_4(s)$  和  $\beta(s)$  时,采用图 3(b) 所示的能隙源核小信号模型. 在这个模型中,晶体管 Q1, Q2 可认为交流短路,电流镜 M1, M2, M3 的  $C_\mu$ 、 $C_\pi$ , 由于数值较小且不在关键的分析路径上,因此被简化掉. 在求解  $\beta(s)$  和  $h_4(s)$  时,输入到输出为共源放大模式,  $C_{gd}$  由于 Miller 效应,折算到输出端电容同样被忽略,通过分析可得:

$$\beta(s) = - \frac{g_{m2}[R_2 // R_3 // R_{M2}]}{1 + s/p_\beta} = \beta_0 \times \frac{1}{1 + s/p_\beta} \quad (5)$$

$$h_4(s) = - \frac{g_{m3}[R_4 // R_{M3}]}{1 + s/p_4} = h_{40} \times \frac{1}{1 + s/p_4} \quad (6)$$

其中:

$$p_\beta = \frac{1}{C_{ds2}[R_2 // R_3 // R_{M2}]}$$

$$p_4 = \frac{1}{C_{ds3}[R_4 // R_{M3}]}$$

RM 为 MOS 管输出电阻等于  $1/g_m$ .

求解  $h_2(s)$ ,  $h_3(s)$  时,可认为输入到输出为共栅放大模式. 通过分析可得:

$$h_2(s) = \frac{g_{m2}[R_2 // R_3 // R_{M2}]}{1 + s/p_2} = h_{20} \times \frac{1}{1 + s/p_2} \quad (7)$$

$$h_3(s) = \frac{g_{m3}[R_4 // R_{M3}]}{1 + s/p_3} = h_{30} \times \frac{1}{1 + s/p_3} \quad (8)$$

其中:

$$p_2 = \frac{1}{C_{g2}[R_2 // R_3 // R_{M2}]}$$

$$p_3 = \frac{1}{C_{g3}[R_4 // R_{M3}]}$$

对公式(2)进行变换,可得:

$$PSR(s) =$$

$$\frac{h_3(s) + h_4(s)h_1(s) + \alpha(s)[h_3(s)\beta(s) - h_4(s)h_2(s)]}{1 + \alpha(s)\beta(s)} \quad (9)$$

由(5)~(8)式可知,  $h_3(s)\beta(s) - h_4(s)h_2(s) \approx 0$ , 则(9)式可化简为:

$$PSR(s) = \frac{h_3(s) + h_4(s)h_1(s)}{1 + \alpha(s)\beta(s)} \quad (10a)$$

$$\approx \frac{h_3(s)}{\alpha(s)\beta(s)} + \frac{h_4(s)}{\beta(s)} \times \frac{1}{PSRR(s)} \quad (10b)$$

将(3)~(8)代入(10a),并近似认为<sup>[81]</sup>:  $p_a \approx p_b$ ,  $p_3 \approx p_4 \approx p_\beta$ , 可得:

$$\begin{aligned} PSR(s) &= \frac{h_{30} \times \frac{1}{1 + s/p_3} + h_{40} \times \frac{1}{1 + s/p_4} \times h_{10} \times \frac{1 + s/z_b}{1 + s/p_b}}{1 + A_{v0}\beta_0 \times \frac{1}{1 + s/p_a} \times \frac{1}{1 + s/p_\beta}} \\ &\approx \frac{h_{30} + h_{10}h_{40}}{1 + A_{v0}\beta_0} \times \frac{1 + s/z_x}{(1 + s/p_x)(1 + s/p_y)} \\ &= PSR(0) \times \frac{1 + s/z_x}{(1 + s/p_x)(1 + s/p_y)} \quad (11) \end{aligned}$$

其中

$$z_x = \frac{h_{30} + h_{10}h_{40}}{h_{30} + \frac{h_{10}h_{40}}{p_a} + z_b}$$

$$p_x = - (1 + A_{v0}\beta_0) \times \frac{1}{\frac{1}{p_a} + \frac{1}{p_3}}$$

$$p_y = - (p_a + p_3)$$

由(11)式可知,本设计的能隙源电源噪声抑制在频域中可近似为拥有一个一阶零点、二阶极点的传递函数.

对所推导的  $PSR(s)$  的频域传递函数(10b)及(11)式进行分析,可以知道,这种结构的能隙源对直流的电源噪声抑制  $PSR(0)$  表达式为(12)式(该值越小,在能隙源工作电压范围内,输出基准电压值受工作电压值影响越小):

$$PSR(0) = \frac{h_{30}}{A_{v0}\beta_0} + \frac{h_{40}}{\beta_0} \times \frac{1}{PSRR(0)} = \frac{h_{30} + h_{10}h_{40}}{1 + A_{v0}\beta_0} \quad (12)$$

其主要取决于运放的直流增益  $A_{v0}$ , 反馈环路增益  $\beta_0$ , 以及运放电源抑制比直流值  $PSRR(0)$ . 提高这些值,能有效降低  $PSR(0)$ .

$PSR(s)$  的频域传递函数中零极点对电源电压高频噪声的影响将在后面结合电路分析.

### 4 电路实现及分析

对图 1 所示的电路最后进行具体实现, 采用 Chartered 0.35 $\mu\text{m}$  CMOS 工艺, 设计了一基准电压为 500mV 的低功耗能隙基准源. 图 4 为所实现电路具体电路图(启动电路部分未画出).

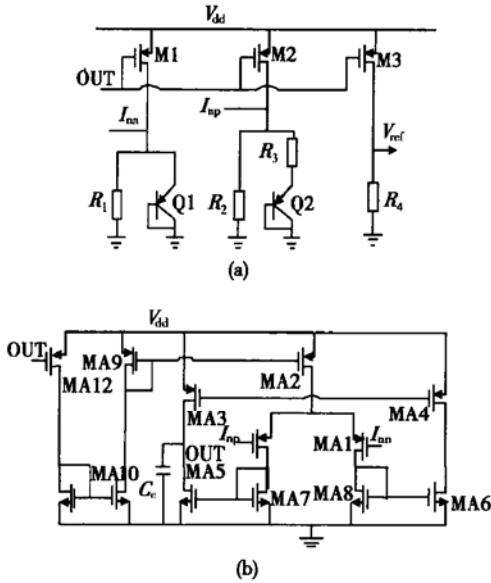


图 4 (a) 能隙源核电路; (b) 运放电路

Fig. 4 (a) Schematic of the bandgap reference core; (b) Schematic of the OPA

为将功耗降到最低, 运放的偏置电流采用自身能隙源产生的电流源. 整个能隙源最小工作电压 1.3V, 直流工作电流为 7.8 $\mu\text{A}$ . 电源噪声抑制问题在此显得尤为重要. 通过计算, 可得出(11)式所需的各项参数为,  $h_{10} = 0.69, h_{30} = 7, h_{40} = -7, A_{v0} = 802, \beta_{0} = -1.57, p_a = 1.1\text{kHz}, p_3 = 20\text{MHz}, z_b = 11\text{kHz}$ .

将这些数据代入(11)式, 可得:

$$z_x = 1.2\text{kHz}, \quad p_x = 1.4\text{MHz},$$

$$p_y = 20\text{MHz}, \quad \text{PSR}(0) = -55\text{dB}.$$

由于  $\text{PSR}(0)$  的值很低, 所以电源噪声抑制在直流及频率较低时会比较理想. 但当电源噪声频率高于传递函数第一个零点频率  $z_x$ , 电路对电源噪声幅度衰减的能力会以 20dB/十倍频的幅度下降, 电源噪声衰减的峰值出现在两个极点频率  $P_x, P_y$  之间, 此时电路对电源噪声抑制能力最弱. 这个峰值的宽度近似为  $P_y - P_x$ , 大小近似为:

$$\text{PSR}(\text{max}) \approx \text{PSR}(0) + 20\text{dB} \times \frac{P_x}{z_x} \quad (12)$$

通过进一步分析, 可以发现  $p_x$  可近似等于  $A_{v0} p_a \beta_0$ , 而  $A_{v0} p_a$  即为运放单位增益带宽. 对于本结构电路, 可通过提高运放输入差分对管 MA0, MA 的  $g_m$  或减小补偿电容  $C_c$  的值来增大运放单位增益带宽, 但  $C_c$  的值若太小, 会导致运放不能有足够的相位裕度, 将直接对能隙源的上电及稳定造成影响. 而  $P_y$  基本只取决于电流镜管 M1, M2, M3 的 -3dB 转折频率. 若要使得这个极点降低, 可通过适当增加这几个管子的宽长、增加工作电流及增加  $R_1-R_4$  的电阻值来实现.

由于电源噪声在具体电路中一般都为色噪声(如与系统时钟, 信号频率等相关联), 所以在设计这种结构的能隙源时, 可根据系统具体电源噪声频谱, 在要求的功率范围内, 合理调节  $z_x, p_x$  及  $p_y$  的值, 让电源噪声频谱丰富的地方落在  $\text{PSR}(s)$  峰值之外, 从而使得电源噪声得到最好地抑制.

图 5 中标出了(11)式所示  $\text{PSR}(s)$  传递函数的波特图曲线, 和对电路图 4 SPICE 仿真所给出的  $\text{PSR}(s)$  曲线, 及实测出的电路  $\text{PSR}(s)$  参数. 在低频部分三者比较吻合, 在高频部分( $> 10\text{MHz}$ ) 频域模型与 SPICE 及测试结果偏离较大, 这是由于在对频域模型进行化简时一些高频零极点(如运放的第二个极点)被简化造成的. 所有实测参数列于表 1 中, 图 6 黑线部分内所示为芯片照片.

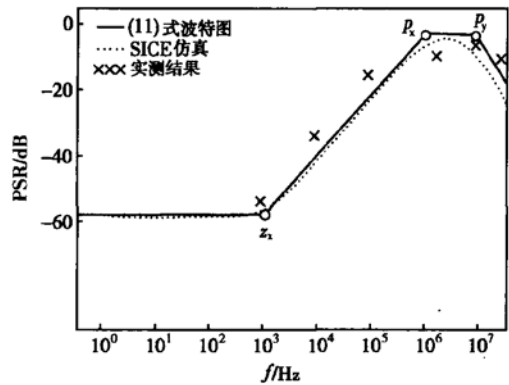


图 5  $\text{PSR}(s)$  的频域模型, Spice 仿真及芯片实测结果比较  
Fig. 5 Comparison of  $\text{PSR}(s)$  frequency model, Spice simulation, and chip measurement result

表 1 芯片实测性能参数

Table 1 Summary of the measurement

所测参数	测试结果
电源电压工作范围	1.3~4.5V
工作电流	7.8 $\mu\text{A}$
输出基准电压	500 $\pm$ 5mV

续表 1

所测参数	测试结果
芯片面积	0.06mm <sup>2</sup>
温度系数	4×10 <sup>-5</sup>
电源抑制(PSR)	
@ 1kHz	< - 50dB
@ 10kHz	- 35dB
@ 100kHz	- 20dB
@ 1MHz	- 10dB
@ 10MHz	- 8dB
@ 20MHz	- 18dB

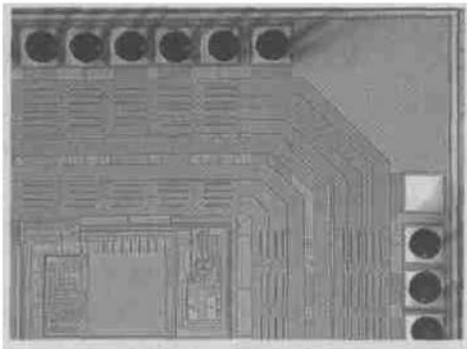


图 6 所实现芯片照片

Fig. 6 Micrograph of the realized chip

## 5 结论

本文对一种超低功耗能隙源的电源噪声抑制进行了理论分析,并通过推导与简化提出了PSR(s)

的频域模型传递函数.最后通过 Charmed 0.35μm CMOS 工艺流片实现了本结构的超低功耗能隙源.并对频域噪声模型传递函数、SPICE 仿真结果及芯片实测结果进行比较分析,提出了本结构能隙源在设计时控制及降低电源噪声影响的方法.

## 参考文献

- [1] Kuijk K E. A precision reference voltage source. IEEE J Solid-State Circuits, 1973, 8(3): 222
- [2] Song B S, Gray P R. A precision curvature-compensated CMOS bandgap reference. IEEE J Solid-State Circuit, 1983, 18(12): 634
- [3] Banba H, Shiga H, Umezawa A. CMOS bandgap reference circuit with sub-1-V operation. IEEE J Solid-State Circuits, 1999, 34(5): 670
- [4] Boni A. Op-amps and startup circuits for CMOS bandgap references with near 1-V supply. IEEE J Solid-State Circuits, 2002, 37(10): 1339
- [5] Giustolisi G, Palumbo G. Detailed frequency analysis of power supply rejection in brokaw bandgap. The 2001 IEEE International Symposium on Circuits and Systems, 2001, 1: 731
- [6] Tham K M, Nagaraj K. A low supply voltage high PSRR voltage reference in CMOS process. IEEE J Solid-State Circuits, 1995, 30(5): 586
- [7] Johns D A, Martin K. Analog integrated circuit design. New York: Wiley, 1997
- [8] Steyaert M S J, Sansen W M C. Power supply rejection ratio in operational transconductance amplifiers. IEEE Circuits Syst, 1990, 37(9): 1077

# Design of Ultra-Low Power Bandgap Voltage Reference and Its PSR Analysis\*

Li Qiang<sup>1</sup>, Han Yifeng<sup>1</sup>, Xie Wenlu<sup>2</sup> and Min Hao<sup>1</sup>

(1 State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China)

(2 Shanghai Huahong Integrated Circuit Co.Ltd, Shanghai 201203, China)

**Abstract:** An ultra-low power CMOS bandgap reference circuit is proposed. The power supply noise rejection (PSR) in frequency domain of the proposed circuit is discussed. A simple model for PSR analysis is developed and compared with the results of SPICE simulation and measurement of the implemented chip. The proposed bandgap voltage reference is implemented in Charmed 0.35μm CMOS process. The measured minimum supply voltage is 1.3V, the max supply current is 7.8μA, the nominal output voltage is 500mV and the temperature coefficient is 4×10<sup>-5</sup>/°C. The occupied chip area is 0.06mm<sup>2</sup>.

**Key words:** bandgap voltage reference; ultra-low power; power supply noise rejection

**EEACC:** 1205; 1290

**Article ID:** 0253-4177(2004)11-1474-05

\* Project supported by National High Technology Research and Development Program of China(No. 2003AA1Z1280)

Li Qiang male, PhD candidate. He is engaged in the research on design and test of analog IC.

Received 10 October 2003, revised manuscript received 13 March 2004

©2004 The Chinese Institute of Electronics