

ICP 刻蚀参数对 SOI 脊形波导侧壁粗糙度的影响*

樊中朝 余金中 陈少武 杨 笛 严清峰 王良臣

(中国科学院半导体研究所 集成光电子国家重点联合实验室, 北京 100083)

摘要: 研究了以 $C_4F_8/SF_6/O_2$ 为刻蚀气体, 利用 ICP 刻蚀技术制作 SOI 脊形光波导过程中, 刻蚀参数与侧壁粗糙度的关系. 实验结果表明偏压、气体比例、压强是影响侧壁粗糙度的关键参数, 在低偏压、低 C_4F_8/SF_6 比和较高压强下更容易获得低粗糙度的侧壁. 通过优化刻蚀参数, 获得了侧壁粗糙度和传输损耗相对较低的 SOI 脊形波导.

关键词: SOI; ICP; 粗糙度; 脊形光波导

EEACC: 4130; 2550

中图分类号: TN305

文献标识码: A

文章编号: 0253-4177(2004)11-1500-05

1 引言

利用 SOI 材料制作波导器件, 具有波导特性好、器件结构紧凑、制作工艺与 IC 工艺兼容便于光电子集成、能作三维器件以及可大规模集成等优点, 已经被广泛应用于制作 MMI 耦合器^[1]、SOI 热光/电光开关^[2,3]等器件. SOI 脊形光波导是 SOI 脊形光波导器件的基础, 也是实现 SOI 光电子集成的基础. 利用干法刻蚀制作的 SOI 脊形光波导, 其上下界面光滑度很高, 光损耗主要来自粗糙的侧壁引起的界面散射损耗^[4]. 侧壁的粗糙程度可以等效为波导宽度的变化, 如果粗糙程度较大, 除了会导致界面散射, 在单模波导中, 还有可能使得波导在一些部位偏离单模条件, 成为多模波导, 导致传输中多模的激发和泄漏, 增加损耗. 在器件设计过程中一般会把界面假设为理想光滑的情况, 侧壁粗糙程度大, 必然会造成器件的光学性能整体劣化. 波导侧壁的粗糙度主要依赖于掩膜边缘的粗糙度和刻蚀的工艺参数. 以前相关的实验工作多集中在如何减小掩膜边缘粗糙度以得到光滑的侧壁. 但由于掩膜版或者光刻设备的原因, 很容易在掩膜边缘引入一定的粗糙度, 所以研究在掩膜边缘具有一定的粗糙度情况下, 刻蚀

参数与侧壁粗糙度的关系, 并通过优化刻蚀参数, 获得相对光滑的侧壁, 以降低光传输损耗, 对于提高光波导器件性能具有重要的现实意义.

我们充分利用 ICP 刻蚀技术具有工作压强范围广、离子密度和轰击离子的能量可以单独控制、工作窗口宽等优点, 以 $C_4F_8/SF_6/O_2$ 的混合气体为刻蚀气体, 研究了在掩膜边缘粗糙度一定的情况下, ICP 刻蚀参数与光波导侧壁粗糙程度的关系. 实验结果表明, 在保证侧壁陡直度的条件下, 采用低偏压、低 C_4F_8/SF_6 气体比和高压强的刻蚀条件, 可以降低侧壁的粗糙度. 在此基础上, 我们采用截断法测量比较了不同侧壁粗糙程度下的 SOI 脊形单模光波导的传输损耗, 验证了通过调节刻蚀参数可以降低侧壁粗糙度进而降低波导的传输损耗.

2 实验

所用刻蚀设备为中国科学院微电子研究所生产的 ICP98-A 型电感耦合等离子体刻蚀机, 射频和电感耦合电源的频率为 13.56MHz, 射频功率范围为 0~500W, 源功率范围为 0~2000W, 系统极限真空度为 3×10^{-3} Pa. 被刻蚀样片与电感耦合线圈之间的距离为 9cm. 所用 SOI 片顶层为厚 $5\mu\text{m}$ 的 (100)

* 国家自然科学基金(批准号: 69896260), 国家重点基础研究发展规划(批准号: G20000366), 及国家高技术研究发展计划(批准号: 2002AA312060)资助项目

樊中朝 男, 1976 年出生, 博士研究生, 研究方向为硅基光集成器件及工艺.

2003-11-23 收到, 2004-01-16 定稿

晶面硅单晶, 掩膜是 150nm 厚的热蒸发 Cr. 通过标准光刻工艺在 50mm SOI 片上进行光刻, 然后把片子裁成宽 1cm 的长条. Cr 掩膜边缘的粗糙度由两块边缘粗糙度不同的掩膜版 A 和掩膜版 B 在光刻中引入, 利用掩膜版 A 光刻后的 Cr 掩膜边缘粗糙度约为 $0.25\mu\text{m}$, 掩膜版 B 在掩膜边缘引入的粗糙度约为 $0.1\mu\text{m}$. 为满足 SOI 脊形波导的单模条件, 波导宽度为 $4\mu\text{m}$, 刻蚀深度为 $1.75\mu\text{m}$, 采用 PECVD 的方法生长 500nm 厚的 SiO_2 作为波导上包层. 侧壁的粗糙程度很难直接定量测量, 本实验中侧壁粗糙程度情况由扫描电镜照片来进行半定量判断, 并通过截断法在 $1.55\mu\text{m}$ 波长下对不同刻蚀参数下得到的 SOI 脊形单模波导的传输损耗进行了测量, 用传输损耗对侧壁粗糙度进行间接表征.

3 结果与分析

图 1(a)~(f) 是在不同刻蚀参数(见表 1)下得到的 SOI 脊形波导侧壁的 SEM 照片. 在刻蚀前, 图 1 中样片掩膜边缘的粗糙度均约为 $0.25\mu\text{m}$. 从图 1(a)~(c) 中可以看出在高偏压(300V)下掩膜边缘的粗糙很明显地传递到了波导的侧壁上, 侧壁粗糙度很大, $\text{C}_4\text{F}_8/\text{SF}_6$ 比和压强的变化对侧壁的粗糙程度影响不明显, 波导侧壁的粗糙度对掩膜边缘的粗糙度依赖性很强. 从图 1(e) 和(f) 可以看出在低偏压(180V)下, 侧壁的粗糙度明显下降, 并且在低 $\text{C}_4\text{F}_8/\text{SF}_6$ 比(3:2)和高压强(2.0Pa)的刻蚀条件下获得了如图 1(f) 所示相对光滑的侧壁. 图 1(e) 与图 1(a) 所示样片相比, 在降低偏压(180V)的同时保持了低压强和高 $\text{C}_4\text{F}_8/\text{SF}_6$ 比, 侧壁几乎看不到从掩膜边缘传递下来的起伏, 但是其表面并不光滑, 这与高 $\text{C}_4\text{F}_8/\text{SF}_6$ 比导致侧壁的聚合物过厚有直接关系. 图 1(d) 所示样片, 在较低偏压(210V)、较高压强(1.8Pa)和低 $\text{C}_4\text{F}_8/\text{SF}_6$ 比(3:2)的刻蚀参数下, 获得了略内凹但粗糙程度小于掩膜边缘粗糙度的侧壁. 通过截断法在 $1.55\mu\text{m}$ 波长下测得在表 1 所示不同刻蚀条件下得到的 SOI 脊形单模波导的传输损耗分别为: (a) $6.615\text{dB}/\text{cm}$; (b) $6.804\text{dB}/\text{cm}$; (c) $5.918\text{dB}/\text{cm}$; (d) $4.840\text{dB}/\text{cm}$; (e) $3.465\text{dB}/\text{cm}$; (f) $3.186\text{dB}/\text{cm}$. 从 SEM 照片和传输损耗的测试结果可以看出, 在掩膜边缘粗糙度一定的情况下, 通过改善刻蚀参数, 可以获得侧壁相对光滑、传输损耗相对较小的波导.

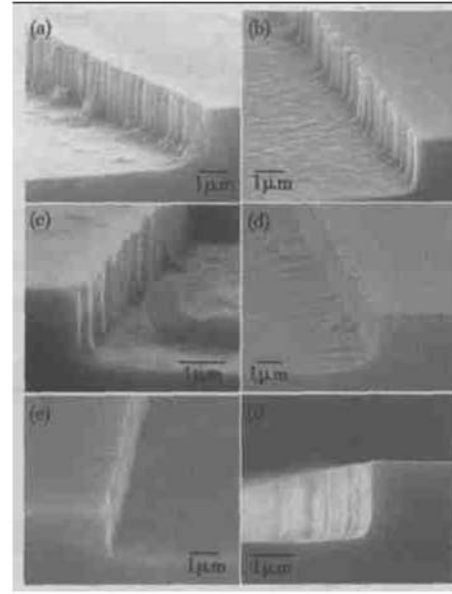


图 1 SOI 脊形波导侧壁的 SEM 照片 刻蚀条件: (a)~(f) 源功率为 600W, 刻蚀前 Cr 掩膜边缘粗糙度约为 $0.25\mu\text{m}$
Fig. 1 SEM photos of sidewalls etched in SOI Etching condition: (a)~(f) source power 600W, before etched, the roughness of Cr mask is about $0.25\mu\text{m}$

表 1 图 1(a)~(f) 样片的刻蚀条件

Table 1 Etching condition of Fig. 1(a)~(f)

样片	偏压/V	压强/Pa	$\text{C}_4\text{F}_8:\text{SF}_6$
(a)	300	1.2	3:1
(b)	300	1.2	3:2
(c)	300	1.6	3:1
(d)	210	1.6	3:2
(e)	180	1.2	3:1
(f)	180	2.0	3:2

利用掩膜版 B 光刻的 SOI 样片, 在刻蚀前 Cr 掩膜边缘的粗糙度约为 $0.1\mu\text{m}$, 与掩膜边缘粗糙度较大的样片相比, 刻蚀参数中的偏压变化对于侧壁粗糙度的影响变小, $\text{C}_4\text{F}_8/\text{SF}_6$ 比和压强的变化对侧壁的粗糙程度影响变大. 这主要是因为直接从掩膜边缘传递到侧壁上的粗糙度变小, 而刻蚀过程对于侧壁粗糙度影响相对增加的缘故. 在保持侧壁陡直的条件下, 通过降低 $\text{C}_4\text{F}_8/\text{SF}_6$ 比和升高压强可以获得相对光滑的侧壁. 如图 2(a)~(c) 所示, 在偏压(230V)和压强(1.8Pa)不变的情况下, 图 2(b) 所示样片的刻蚀条件中 $\text{C}_4\text{F}_8/\text{SF}_6$ 比由 7:2 降低到 7:3, 波导侧壁的光滑程度得到明显提高, SOI 脊形单模波导在 $1.55\mu\text{m}$ 波长下的传输损耗也由图 2(a) 刻蚀条件下的 $3.218\text{dB}/\text{cm}$ 降低到 $2.984\text{dB}/\text{cm}$, 随

着压强由 1.8Pa 上升到 2.0Pa, 如图 2(c) 所示, 侧壁的粗糙度进一步降低, 在此刻蚀条件下得到的 SOI 脊形光波导单模传输损耗为 2.860dB/cm.

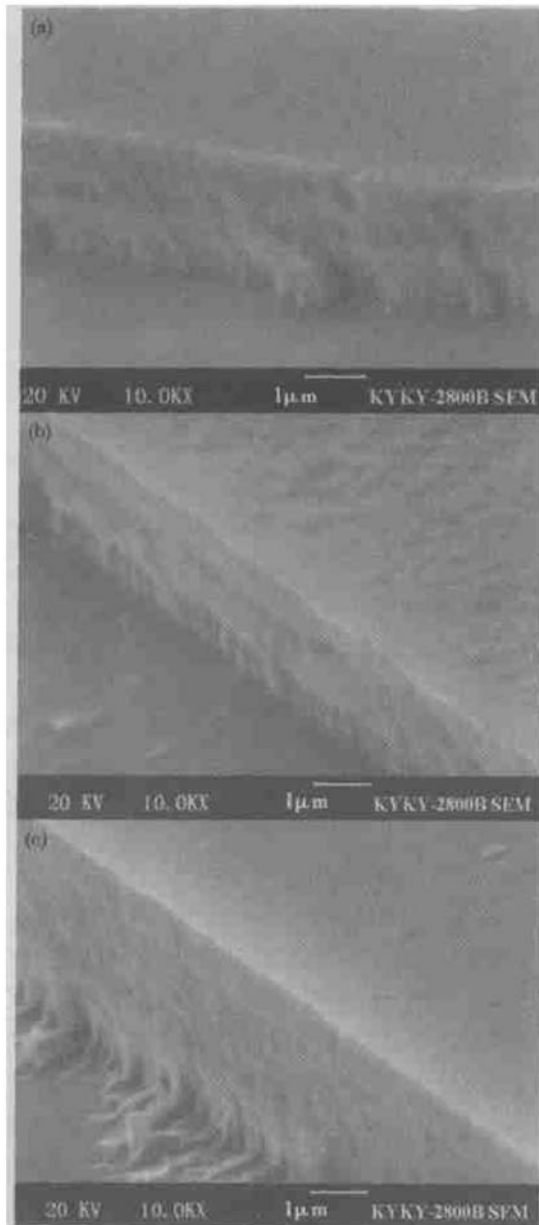


图 2 SOI 脊形波导侧壁的 SEM 照片 刻蚀条件: (a)~(c) 源功率 600W, 偏压 230V, 刻蚀前 Cr 掩膜边缘粗糙度约为 0.1 μm. (a) C₄F₈: SF₆= 7:2, 压强 1.8Pa; (b) C₄F₈: SF₆= 7:3, 压强 1.8Pa; (c) C₄F₈: SF₆= 7:3, 压强 2.0Pa.

Fig. 2 SEM photos of sidewalls etched in SOI Etching condition: (a)~(c) source power 600W, bias voltage 230V, before etched, the roughness of Cr mask is about 0.25 μm. (a) C₄F₈: SF₆= 7:2, pressure 1.8Pa; (b) C₄F₈: SF₆= 7:3, pressure 1.8Pa; (c) C₄F₈: SF₆= 7:3, pressure 2.0Pa

从图 1 可以看出, 波导侧壁的粗糙度直接继承自掩膜边缘的粗糙度, 随着偏压的升高, 侧壁粗糙度对掩膜边缘粗糙度依赖性增强. 这主要是因为, 在气体成分和压强固定的情况下, 随着偏压的升高, 轰击离子流的密度和能量也随之增加, 加强了刻蚀中的物理轰击作用. 在高密度和高能量的轰击粒子作用下, 掩膜边缘的粗糙度会更加直接传递到侧壁上. 当掩膜边缘粗糙度较大时, 这种现象更加明显. 所以当掩膜边缘粗糙度较大时, 刻蚀时采用的较低偏压可以降低掩膜边缘粗糙度向侧壁的传递性, 更容易获得相对光滑的侧壁.

刻蚀气体中 SF₆ 离化产生的 F 等活性粒子在对硅刻蚀中起主要作用^[5]; C₄F₈ 气体离化后的 C, CF₂, C₂F₄ 等粒子容易在硅表面形成聚合物而起到钝化作用^[6,7], 所以 C₄F₈/SF₆ 比决定了刻蚀反应中钝化和刻蚀作用的强弱. 当 C₄F₈/SF₆ 比较高时, 波导侧壁如果没有足够的粒子轰击, 则形成较厚的聚合物层, 会阻止或减缓活性粒子对侧壁硅的刻蚀, 此时侧壁的粗糙度受掩膜边缘的粗糙度的影响较大. 当调整 C₄F₈/SF₆ 比使得侧壁的聚合物层比较薄时, 则侧壁的粗糙程度将更大程度上受到等离子体化学反应的影响, 有利于进一步降低侧壁的粗糙度.

压强与粒子自由程直接相关. 低压强下, 粒子自由程大, 在偏压的作用下离子轰击的方向性好, 轰击到侧壁上的粒子角度范围窄、数目少; 而在较高的压强下, 粒子自由程变短, 碰撞几率增加, 轰击到侧壁上的离子数目增加, 角度和能量分布范围广, 有利于减薄侧壁聚合物的厚度, 增强活性粒子对侧壁的刻蚀, 对于从掩膜上传递到侧壁上的粗糙有改善作用. 所以在保持侧壁陡直度的条件下, 适当增加工作压力, 更容易得到相对光滑的侧壁.

综上所述, 在掩膜边缘粗糙度一定的情况下, 保持侧壁陡直度, 通过合理调节刻蚀参数可以获得侧壁相对光滑的波导. 主要有两方面原因: 一是通过适当降低偏压, 可以降低掩膜边缘的粗糙度向侧壁的传递; 二是在保证侧壁陡直度的条件下, 降低 C₄F₈/SF₆ 比和升高压强, 都可以起到减薄侧壁聚合物厚度, 增加活性粒子对侧壁的刻蚀作用, 在刻蚀过程中可以更有效地减小从掩膜边缘传递到侧壁的粗糙度. 粗糙侧壁的俯视示意图如图 3 所示, 侧壁上的突起部分, 会受到更多的离子轰击, 并且 F 离子可以从更广的角度对聚合物进行刻蚀. 以上两种因素使得突起部分表面的聚合物厚度相对于凹下的部位

薄,从而更有利于 F 离子在离子轰击的辅助下透过这层聚合物与 Si 发生反应^[8],而突出部分刻蚀生成物扩散的角度也要明显大于凹下部位,而凹下部位恰相反,轰击粒子的数量少,聚合物层相对较厚,F 离子以及刻蚀生成物的扩散角度小.在较高压强、合适的 C₄F₈/SF₆ 的流量比例下,这几种效应变得更加明显,使得突出部分具有更高的刻蚀速率,从而可以在刻蚀过程中降低侧壁的粗糙程度.



图3 侧壁起伏的突出和凹下部分的轰击粒子和反应离子来源示意图

Fig. 3 Schematic view of arrival of reactive and impact particles from the plasma at the recession and bulge of a sidewall

4 结论

实验结果表明,以 C₄F₈/SF₆/O₂ 的混合气体作为刻蚀气体,在掩膜边缘粗糙程度一定的情况下,通过合理调节偏压、C₄F₈/SF₆ 比和压强,可以获得侧壁相对光滑、传输损耗相对较小的 SOI 脊形波导.在掩膜边缘粗糙度较差的情况下,保证侧壁垂

直度较好的工艺参数范围内,在低偏压、低 C₄F₈/SF₆ 比和较高压强的条件下进行刻蚀,不仅可以降低掩膜边缘的粗糙度向侧壁的传递程度,而且可以达到平滑从掩膜上传递下来的粗糙效果,从而可以获得相对光滑的侧壁.

参考文献

- [1] Yan Qingfeng, Yu Jinzhong, Liu Zhongli. Design and fabrication of ultracompact 3-dB MMI coupler in silicon-on-insulator. *Chinese Journal of Semiconductors*, 2003, 24(2): 133
- [2] House A, Whiteman R, Kling L, et al. Silicon waveguide integrated optical switching with microsecond switching speed. *OFC2003*, 2003, 2: 449
- [3] Dainesi P, Kung A, Chabloz M, et al. CMOS compatible fully integrated Mach-Zehnder interferometer in SOI technology. *IEEE Photonics Technol Lett*, 2000, 12(6): 660
- [4] Lee K K, Lim D R, Luan H C, et al. Effect of size and roughness on light transmission in a Si/SiO₂ waveguide: Experiments and model. *Appl Phys Lett*, 2000, 77(11): 1617
- [5] Nakano N, Petrovi Z L. The radical transport in the narrow-gap-reactive-ion etcher in SF₆ by the relaxation continuum model. *Jpn J Appl Phys*, 1994, 33(4B): 2223
- [6] Rauf S, Ventzek P L G. Model for an inductively coupled Ar/c-C₄F₈ plasma discharge. *J Vac Sci Technol*, 2001, A20(1): 14
- [7] William S R, Dauksher J, Clemens S B, et al. Model for a multiple-step deep Si etch process. *J Vac Sci Technol A*, 2002, 20(4): 1177
- [8] Standaert T E F M, Schaepkens M, Rueger N R, et al. High density fluorocarbon etching of silicon in an inductively coupled plasma: mechanism of etching through a thick steady state fluorocarbon layer. *J Vac Sci Technol A*, 1998, 16(1): 239

Influence of Etching Parameters on Sidewall Roughness of Silicon Based Waveguide Etched by Inductively Coupled Plasma*

Fan Zhongchao, Yu Jinzhong, Chen Shaowu, Yang Di, Yan Qingfeng and Wang Liangchen

*(State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors,
The Chinese Academy of Sciences, Beijing 100083, China)*

Abstract: The relationship between the side-wall roughness of SOI rib-waveguide etched by $C_4F_8/SF_6/O_2$ inductively coupled plasma (ICP) and the etching parameters is studied. The experimental results show that bias voltage, ratio of C_4F_8/SF_6 and pressure affect the side-wall roughness seriously. To minimize the roughness on waveguide sidewall, lower bias voltage, lower C_4F_8/SF_6 ratio and higher pressure etching condition are preferred. By optimizing the etching parameters, waveguides with smoother side-walls and smaller propagation loss are fabricated successfully.

Key words: SOI; ICP; roughness; rib waveguide

EEACC: 4130; 2550

CLC number: TN305

Document code: A

Article ID: 0253-4177(2004)11-1500-05

* Project supported by National Natural Science Foundation of China(No. 69896260), State Key Development Program for Basic Research of China(No. G20000366), and National High Technology Research and Development Program of China(No 2002AA312060)

Fan Zhongchao male, was born in 1976, PhD candidate. His research field mainly involves silicon integrated optics.

Received 23 November 2003, revised manuscript received 16 January 2004

©2004 The Chinese Institute of Electronics