

# 12Gb/s 0.25 $\mu$ m CMOS 数据判决 和 1:2 数据分接电路\*

王 欢 王志功 冯 军 朱 恩 陆建华 陈海涛 谢婷婷 熊明珍 章 丽

(东南大学射频与光电集成电路研究所, 南京 210096)

**摘要:** 采用 TSMC 0.25 $\mu$ m CMOS 工艺成功实现了用于光纤传输系统的 12Gb/s 数据判决和 1:2 数据分接电路. 测试结果显示, 在 3.3V 电源供电情况下, 功耗为 600mW, 其中包括 3 路输出缓冲. 输入信号单端峰峰值为 250mV 时, 该芯片的工作速率超过 12Gb/s, 相位裕度超过 100°. 芯片面积为 1.07mm $\times$ 0.99mm.

**关键词:** 数据判决; 数据分接; CMOS; 光纤传输系统; D 触发器; 锁存器

**EEACC:** 2560

**中图分类号:** TN772

**文献标识码:** A

**文章编号:** 0253-4177(2004)11-1521-05

## 1 引言

数据判决电路和数据分接电路是光纤传输系统中接收机的重要模块. 来自光纤的数据在传输过程中波形会产生畸变, 通过恢复出来的时钟对其进行判决, 可以消除这种畸变. 而且, 通过判决, 可以确定时钟和数据之间的相位关系, 以保证后面分接电路的正常工作. 数据分接电路通过时钟采样, 根据逻辑关系可以将二进制非归零数据分成几路数据, 所采用的时钟频率是数据判决电路中时钟的一半. 这里的分接是时分复用(TDM), 不同于波分复用(WDM)<sup>[1]</sup>. 灵敏度、相位裕度和相位抖动是数据判决和分接电路最重要的性能指标. 电路所需的最小输入信号幅度即灵敏度. 改变输入时钟的相位, 电路能正常工作的范围称为相位裕度. 相位抖动用来描述信号的相位稳定程度, 可以通过测试信号眼图的重叠厚度得到.

在同步数字体系(SDH)的数据传输中, STM-64 已经成为标准, 即数据速率 10Gb/s. 实现如此高速的接收机, 一般都采用双极性 Si, GaAs 以及 InP 等工艺. 国内已经采用 GaAs MESFET 工艺实现了

数据判决电路<sup>[2]</sup>, 但工作速率只有 2.5Gb/s, 工艺也是非标准工艺. 随着 CMOS 工艺的快速发展, 低价格、低功耗和高性能使得用 CMOS 实现高速集成电路成为可能. 到目前为止, 采用 0.18 $\mu$ m CMOS<sup>[3]</sup>和 0.25 $\mu$ m CMOS<sup>[4]</sup>都实现了 10Gb/s 数据分接电路. 但在文献[3, 4]中都未涉及数据判决电路. 我们采用 0.25 $\mu$ m CMOS 设计了包括数据判决和数据分接在内的电路, 测试结果显示电路可以工作在 12Gb/s, 在该速率上拥有令人满意的性能. 此次设计和实现的成功表明在 10Gb/s 光纤传输系统中, 单片的收发机有可能用 0.25 $\mu$ m CMOS 工艺实现.

## 2 电路设计

所设计电路的结构框图如图 1 所示, 包括数据判决电路, 1:2 数据分接电路, 1:2 分频器和三路输出缓冲器. 输出缓冲器要驱动 50 $\Omega$  负载电阻. 在图 1 的框图中数据判决电路是设计难点, 因为这部分要全速率工作, 时钟频率高于 10GHz. 数据速率高于 10Gb/s. 图 2(a) 是数据判决电路的电路图. 电路由两个锁存器构成主、从 D 触发器(master-slave DFF), 每个锁存器都包括采样部分(场效应晶体管

\* 国家自然科学基金(批准号: 69825101) 和国家高技术研究发展计划(批准号: 2001AA312060) 资助项目

王 欢 男, 1976 年出生, 硕士研究生, 主要从事高速/高频集成电路设计.

2003-10-16 收到, 2004-05-31 定稿

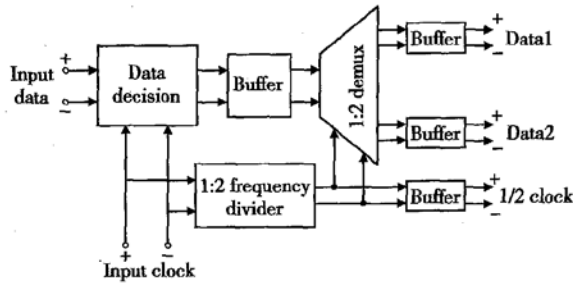


图 1 芯片的结构框图

Fig. 1 Block diagram of the chip

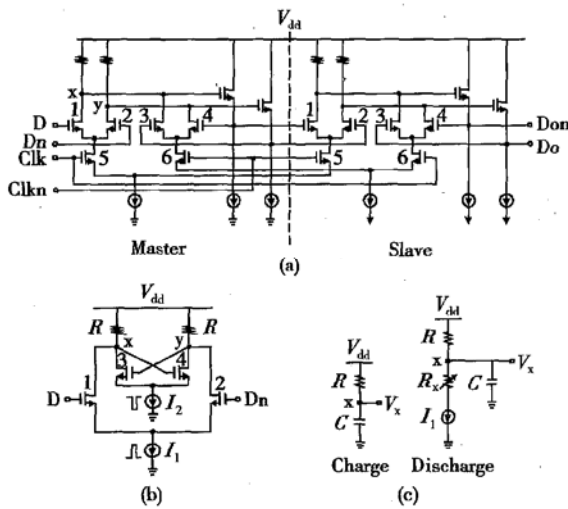


图 2 (a) 数据判决电路图; (b) 主锁存器的简化电路; (c) (b) 中节点  $x$  所在的半电路在充、放电过程中的等效电路 (采样过程)

Fig. 2 (a) Schematic of data decision circuit; (b) Simplified schematic of master-latch; (c) Equivalent circuits of the half-circuit of (b) with net  $x$  during charge and discharge process

1, 2, 5) 和保持部分 (场效应晶体管 3, 4, 6). 为了适应高速工作, 电路采用了源极耦合场效应逻辑 (SCFL). 本文中锁存器的结构和传统结构最大的区别在于, 和时钟相连的场效应晶体管 (FET) 的耦合方式不同. 对于传统结构, 采样部分和保持部分共用一个电流源 (管子 5, 6 耦合在一起). 图 2(a) 中将两个锁存器的采样部分耦合在一起共享一个电流源, 保持部分也耦合在一起, 共享一个与前者不同的电流源, 即将采样和保持的电流分开<sup>[5]</sup>. 下面通过分析节点  $x$  在采样中的充放电过程来解释这种电路结构的优势. 由于该电路输入信号一般为大信号, 因此, 后面的电路分析都是基于大信号开关状态. 如果忽

略源极跟随器的影响, 图 2(a) 中主锁存器可以简化为图 2(b). 在采样过程中, 输出节点逻辑状态发生改变的过程实际上就是输出节点上电容的充放电过程, 决定该过程的是管子 1, 2 的开关状态. 节点  $x$  所在的半电路在充、放电过程中的等效电路可以用图 2(c) 来表示,  $R$  是电路的负载电阻,  $C$  是节点  $x$  的寄生电容,  $R_x$  为在放电过程中管子 1 所呈现的非线性可变电阻,  $I_1, I_2$  分别为采样和保持电流. 当输入数据逻辑由 1 变为 0 时, 管子 1 关断, 输出点  $x$  的状态将由 0 变为 1, 电源通过电阻  $R$  向寄生电容  $C$  充电. 节点  $x$  的初始电压为保持单元所能保持的最低电压  $V_{dd} - RI_2$ , 若忽略  $C$  的瞬态变化, 根据图 2(c) 可以得到方程

$$\begin{cases} RC \frac{dV_x(t)}{dt} + V_x(t) = V_{dd} \\ V_x(0) = V_{dd} - RI_2 \end{cases}$$

节点  $x$  在充电过程中的瞬态电压为

$$V_x(t) = V_{dd} - RI_2 e^{-\frac{t}{RC}} \quad (1)$$

同理, 在放电过程中, 节点  $x$  的初始电压为保持单元所能保持的最高电压  $V_{dd}$ , 根据图 2(c) 同样可以得到方程

$$\begin{cases} RC \frac{dV_x(t)}{dt} + V_x(t) = V_{dd} - RI_1 \\ V_x(0) = V_{dd} \end{cases}$$

节点  $x$  在放电过程中的瞬态电压为

$$V_x(t) = V_{dd} - RI_1 + RI_1 e^{-\frac{t}{RC}} \quad (2)$$

当  $I_2 \leq I_1$  时, 根据 (1) 式和 (2) 式, 高频数据在采样过程中上升沿和下降沿达到最大摆幅的 90% 所需的时间分别为

$$t_{up} = -RC \ln(0.05 + 0.05I_1/I_2) \quad (3)$$

$$t_{down} = -RC \ln(0.55 - 0.45I_2/I_1) \quad (4)$$

因此, 电路的最高工作速率为  $\frac{1}{2\max(t_{up}, t_{down})}$ . 可见, 电路的最高工作速率随着  $I_2/I_1$  的减小而增大. 对于传统的触发器, 采样和保持部分共用一个恒流源,  $I_2 \approx I_1$ , 难以有效改变二者的比例. 图 2(a) 则允许设计者分别设计  $I_1$  和  $I_2$  的大小, 通过适当减小保持电流  $I_2$  的大小来提高电路的工作速率.

图 3 是分接器的结构框图和电路图, 整体结构由 5 个锁存器单元构成. 为了避免多相位时钟和所有单元工作在全速率时钟 (12GHz) 状态, 电路采用了并行结构. 因此只需要 6GHz 的半速率时钟就可以满足数据分接的要求. 数据分接电路包括两个通

道,一个通道在时钟的正边沿采样,而另一路在时钟的负边沿采样.这种交替采样和非对称结构就实现了数据分接和同步输出.由于工作速率比数据判决电路低,分接器中的锁存器采用了传统的源极耦合场效应逻辑.为了减小输出数据的边沿时间,在满足信号摆幅的情况下可以适当减小负载电阻,同时尽量减小输出节点的寄生电容.为了减小输出节点寄生电容,除了减小保持单元栅宽尺寸外,在设计版图时可以将管子分割成叉指状,管子的漏面积大约会比分割前减小约 50%,漏极寄生电容也会相应减小.

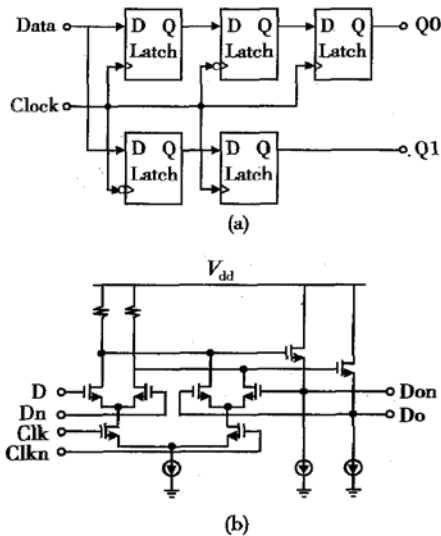


图 3 (a) 分接器结构框图; (b) 锁存器电路图  
Fig. 3 (a) DEMUX; (b) SCFL latch

分接器中需要 6GHz 的时钟,因此,需要一个 1:2 分频器.图 4 是分频器的电路图,类似于两个锁存器构成的主、从 D 触发器,只是带有负反馈,而且没有源极跟随器.要工作到 12GHz,需采用动态分频器参数配置——小于 50% 的管子栅宽比例(保持部分比采样部分).由于电路是负反馈结构,在没有输入信号时(但需要直流偏置),电路可能会产生自由振荡,频率为

$$f_{osc} = \frac{1}{4\tau} \quad (5)$$

其中  $\tau$  是每个锁存器的延迟时间.输入信号频率为  $2f_{osc}$  时,分频器的灵敏度最高.电路的最高工作频率也随着自由振荡频率  $f_{osc}$  的增高而增高.因此,为了让分频器工作在更高的频率上,要尽量减小锁存器的延迟时间  $\tau$ .这种现象有助于设计和优化不同工作频率的分频器.

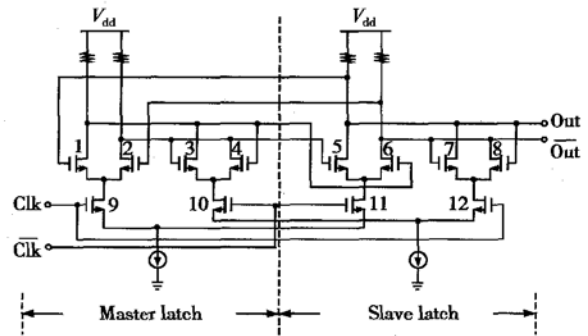


图 4 分频器电路图  
Fig. 4 Frequency divider schematic

在图 1 中,有一个重要的单元——高速、宽带缓冲器.在数据传输电路中,该单元起着非常重要的作用,如电平转换,移相,端口匹配,驱动端口负载,信号整形等等.图 5 是缓冲放大器电路图,差分对 M1 和 M2 的等效跨导  $G_m$  为

$$\frac{\partial I_D}{\partial V_{in}} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \times \frac{4I_{ss} - 2V_{in}^2}{\sqrt{\mu_n C_{ox} W/L - V_{in}^2}} \quad (6)$$

其中  $I_D$  是 M1 和 M2 漏极差模电流;  $V_{in}$  为输入差模信号.图 5 中使 M1 和 M2 其中一只管子截止所需的最小差模信号为

$$V_{in,off} = \sqrt{\frac{2I_{ss}}{\mu_n C_{ox} W/L}} \quad (7)$$

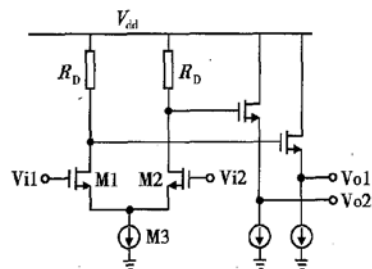


图 5 缓冲放大器电路图  
Fig. 5 Buffer schematic

最后,利用仿真工具 Smart Spice,采用 TSMC 0.25μm CMOS 混合信号模型,我们得到了满意的仿真结果.输入数据信号为 200mV,时钟信号为 150mV,电路的相位裕度大于 100°,峰到峰相位抖动为 10ps.

### 3 测试结果

该芯片采用台湾 TSMC 的  $0.25\mu\text{m}$  CMOS 标准工艺制造. 图 6 是芯片的照片, 芯片面积为  $1.07\text{mm} \times 0.99\text{mm}$ , 电源电压为  $3.3\text{V}$ , 功耗为  $600\text{mW}$ .

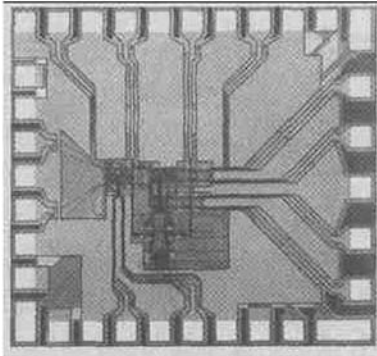


图 6 芯片照片

Fig. 6 Chip microphotograph

经过测试, 电路在  $12\text{Gb/s}$  速率上工作正常. 图 7 是分频器工作在  $12\text{GHz}$  时的输入、输出信号瞬态波形. 测试得到的分频器灵敏度曲线如图 8 所示. 从图 8 可以看出, 当输入信号幅度小于  $300\text{mV}$  时, 分频器的工作范围为  $7\sim 12\text{GHz}$ . 输入  $12\text{GHz}$  信号时, 分频输出信号的相位噪声为  $-112\text{dBc}/\text{Hz}@10\text{kHz}$ .

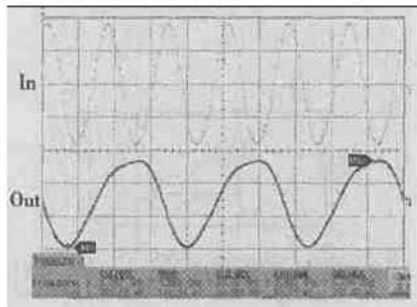


图 7 1:2 分频器输入输出信号波形

Fig. 7 Input/output waveforms of 1:2 frequency divider,  $85\text{mV}/\text{div}$ ,  $50\text{ps}/\text{div}$

图 9 是整个数据判决和分接电路的瞬态输入、输出波形和一路输出数据的眼图. 为了得到输出数据眼图, 输入信号是长度为  $2^{31}-1$  的随机序列 (PRBS). 在  $12\text{Gb/s}$  的速率上, 输入数据为  $250\text{mV}$  时, 相位裕度大于  $100^\circ$ , 峰到峰相位抖动为  $15\text{ps}$ . 值得一提的是该电路是宽带系统, 除了  $12\text{Gb/s}$ , 还可工作在  $10, 2.5, 1.25\text{Gb/s}$  和  $622, 155\text{Mb/s}$  等几个

标准速率上.

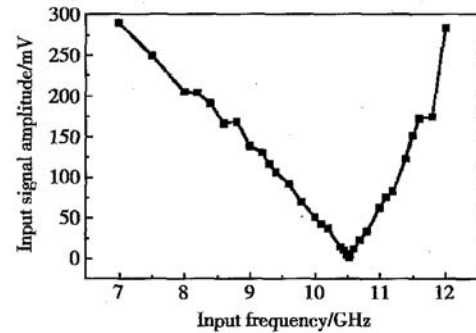


图 8 测试得到的分频器灵敏度曲线

Fig. 8 Measured divider sensitivity versus input signal amplitude

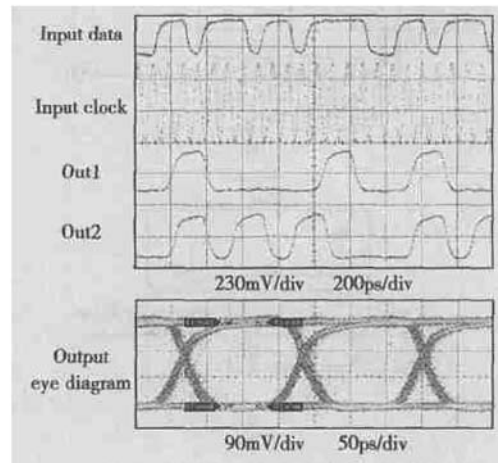


图 9 输入输出瞬态信号波形和输出数据眼图

Fig. 9 Input/output transient waveforms and output eye diagram

### 4 总结

采用  $0.25\mu\text{m}$  CMOS 标准工艺成功实现了  $12\text{Gb/s}$  数据判决和  $1:2$  数据分接电路. 电源电压为  $3.3\text{V}$ , 功耗为  $600\text{mW}$ . 在  $12\text{Gb/s}$  速率上, 电路灵敏度小于  $250\text{mV}$ , 相位裕度大于  $100^\circ$ , 输出数据峰到峰最大相位抖动为  $15\text{ps}$ . 该电路适用于  $10\text{Gb/s}$  光纤传输系统.

### 参考文献

- [1] Ou Haiyan, Lei Hongbing, Yang Qinqing, et al. Optimization of a  $1 \times 8$  arrayed-waveguide grating multi/demultiplexer. Chinese Journal of Semiconductors, 2000, 21(1): 12
- [2] Zhan Yan, Xia Guanqun, Wang Yongsheng, et al. A  $2.5\text{Gb/s}$

- GaAs MESFET clock recovery and decision circuit. Chinese Journal of Semiconductors, 2001, 22(7): 944
- [ 3 ] Akira Tanabe, Massato Umotani, Ikuo Fujiwara, et al. A 10Gb/s demultiplexer IC in 0.18 $\mu$ m CMOS using current mode logic with tolerance to the threshold voltage fluctuation. IEEE International Solid-State Circuits Conference, 2000: 62
- [ 4 ] Tian Lei, Wang Zhigong, Chen Haitao, et al. 10Gb/s 1:4 demultiplexer in 0.25 $\mu$ m CMOS. SPIE, 2001, 4063: 121
- [ 5 ] Murata K, Otsuji T, Sano E, et al. A novel high-speed latching operation flip-flop(HLO-FF) circuit and its application to a 19-Gb/s decision circuit using a 0.2- $\mu$ m GaAs MESFET. IEEE J Solid-State Circuits, 1995, 30(10): 1101
- [ 6 ] Lu Jianhua, Tian Lei, Wang Huan, et al. A 5GHz 1:4 static frequency divider in 0.35 $\mu$ m CMOS technology. SPIE, 2001, 4604: 252

## 12Gb/s Data Decision and 1:2 Demultiplexer in 0.25 $\mu$ m CMOS\*

Wang Huan, Wang Zhigong, Feng Jun, Zhu En, Lu Jianhua, Chen Haitao, Xie Tingting,  
Xiong Mingzhen and Zhang Li

(Institute of RF-&OE-ICs, Southeast University, Nanjing 210096, China)

**Abstract:** A 12Gb/s data decision and 1:2 demultiplexer IC for optic-fiber transmission system has been realized in a standard 0.25 $\mu$ m CMOS technology. The test results show that the whole IC, including 3 channels' output buffers, consumes 600mW for a 3.3V supply. The operating bit-rate is higher than 12Gb/s with 250mV input signal and the phase margin is greater than 100°. The chip area is 1.07mm $\times$ 0.99mm.

**Key words:** data decision; demultiplexer; CMOS; optic-fiber transmission system; latch; DFF

**EEACC:** 2560

**Article ID:** 0253-4177(2004)11-1521-05

\* Project supported by National Natural Science Foundation of China(No. 69825101) and National High Technology Research and Development Program of China(No. 2001AA312060)

Wang Huan male, was born in 1976, master candidate. He is working in the field of high-speed/high-frequency ICs.

Received 16 October 2003, revised manuscript received 31 May 2004

©2004 The Chinese Institute of Electronics