

超深亚微米下快速电源网格节点电压求解器*

杨垠丹 严晓浪 史 峥 葛海通

(浙江大学超大规模集成电路设计研究所, 杭州 310027)

摘要: 提出了利用预处理器来提供强大的压缩节点功能, 大大提高了电源网格节点电压求解器的求解能力和求解速度. 实验证明, 该求解器能处理大规模电路设计, 速度快, 精度高.

关键词: 超深亚微米; VLSI; 电源网格节点电压求解器

EEACC: 1130B; 1210

中图分类号: TN47

文献标识码: A

文章编号: 0253-4177(2004)11-1532-05

1 引言

当器件和门信号跳变时, 要从电源网络上吸收电流, 而电源网络是有电阻的, 就会产生电压降. 随着集成电路特征尺寸的缩小, 通常 5% 的电压降就会引起 15% 的门延迟^[1]. 很多设计虽然通过了 DRC (design rule check) 和 LVS (layout versus schematic), 但流片出来以后却不能正常工作, 在很大程度上都是由于电源网络上过大的 IR Drop 所致.

目前芯片电源布线网络通常会达到百万到上亿个节点, 常规的线性方程组求解方法无论是在速度上还是在存储空间上都无法处理如此大规模的网络. 实际设计中电源网格拓扑模式中网状结构占的比例越来越大, 以往那些仅针对树形结构的树吸收压缩算法^[2]已经不能达到压缩目的, 采用等效电模型压缩也只能消去连接度为 2 的节点^[3].

以往的压缩器往往仅针对引脚节点(带电流源节点)进行压缩, 如文献[2]的树吸收压缩、文献[3]的串并联压缩和文献[4]的 Y- Δ 变换. 在一般标准寄生参数文件(SPF)中, 内部节点(不带电流源节点)是引脚节点的 10 倍甚至更多. 而这些节点在上述方法中都被忽略, 从而大大降低了压缩节点的能

力. 该网格求解器的特点在于它充分考虑了网状特性以及内部节点可观数目的特性, 在求解方程前进行了两重压缩, 大大减少了节点数目. 节点数目平均减少 70%. 第一重压缩专门针对无电流源的节点进行网络压缩, 由于没有电流源, 处理复杂度大大降低, 压缩时间减短; 第二重压缩在此基础上压缩引脚节点, 压缩更为有效. 实验结果表明, 两重压缩使运行时间平均缩短 92%.

2 预处理节点压缩器

改进求解器的主要步骤: (1) 编译 SPF, 对字符串节点名进行编号; (2) 对内部节点(没有连在单元引脚上的节点)除了进行树吸收 (tree-absorption)^[2]、串并联压缩^[3]外, 还进行了星网变换; (3) 对引脚节点进行串并联压缩; (4) 建立节点电压方程, 用预优共轭梯度法进行求解.

2.1 节点编号法

在 SPF 中, 电源网络上节点名都是以字符串形式给出的, 建立节点电压矩阵方程要求必须先对其进行编号. 为提高编号效率, 本文采用一种哈希节点编号法. 对于电源网格上的每一个节点, 在其节点名

* 国家高技术研究发展计划资助项目(批准号: 2002AA1Z1460)

杨垠丹 女, 1979 年出生, 研究生, 从事集成电路 CAD 技术的研究.

严晓浪 男, 1947 年出生, 教授, 博士生导师, 从事集成电路 CAD 技术的研究和教学工作.

史 峥 男, 1967 年出生, 副教授, 从事集成电路 CAD 领域的研究工作.

2003-10-13 收到, 2003-12-31 定稿

和存储位置之间建立一个确定的对应关系 h , 使每一个节点名和结构中一个惟一的存储位置相对应. 在查找时, 只要根据这个对应关系 h 算出给定节点的存储位置 $h(\text{node_name})$, 如果 $h(\text{node_name})$ 中有记录, 则从 $h(\text{node_name})$ 中得到对应的节点编号; 若无, 则赋予新的节点编号.

2.2 预处理节点压缩器

目前工业界采用的版图参数提取工具一般也自带压缩内部节点功能, 但往往是针对时序分析的要求进行压缩的, 对电压降分析则不大适用. 针对于此, 本文的预处理压缩器能处理未经压缩的 SPF, 压缩能力强, 速度快. 该预处理器只对内部节点进行压缩, 这里的内部节点是指不和单元引脚相连的点, 由于内部节点均不带电流源, 处理起来比较简单, 压缩速度非常快. 它分为三步对电源网格进行压缩: 先进行常规的树形压缩变换, 再进行串并联压缩, 然后进行星网变换.

2.2.1 树形压缩变换

首先检查电路网络中所有节点, 如果某个节点的连接度为 1, 则该节点是叶子节点, 将其父节点的连接度减 1, 同时标记该叶子节点序号为 -1, 表示被删除, 这个过程一直持续到电路中没有连接度为 1 的节点, 称为树吸收^[2].

2.2.2 串并联压缩

检查连接度为 2 的节点, 判断串并联关系, 进行简单的电路化简.

$$G_{ij} = \begin{cases} G_i + G_j & \text{并联} \\ \frac{G_i G_j}{G_i + G_j} & \text{串联} \end{cases} \quad (1)$$

其中 G 是电导; G_{ij} 代表压缩后节点 i 和节点 j 之间的电导. 经过串并联压缩后, 电路中不存在连接度为 2 的节点, 如图 1 所示.

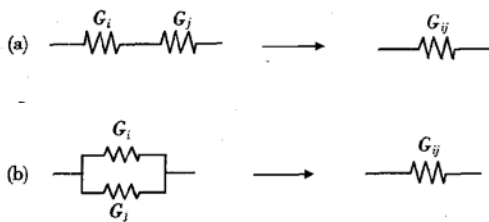


图 1 串并联压缩示意图 (a) 串联压缩; (b) 并联压缩

Fig. 1 Sketch map of (a) series and (b) parallel reduction

2.2.3 星网变换

星网变换是本处理器的突出特点之一, 理论上, 它能消除全部连接度大于等于 3 的内部节点. N 端星形电路变换成网形电路的计算公式是

$$G_{kj} = \frac{G_k G_j}{\sum G}, \quad k \neq j \quad (2)$$

在消去节点的同时我们也引入填充元, 这可能破坏矩阵的稀疏度. 对于 N 端的星形电路若有 N 个电导, 则变换后, 网形电路有 $N(N-1)/2$ 个电导, 即增加

$$\text{entry} = N(N-1)/2 - N = (N^2 - 3N)/2 \quad (3)$$

(1) 当 $N = 3$ 时(即三端星网变换, 通常也称为 $Y-\Delta$ 变换), $\text{entry} = 0$. 不仅消去节点, 而且不会增加填充元个数.

$$G_{12} = \frac{G_1 G_2}{G_1 + G_2 + G_3}$$

$$G_{23} = \frac{G_3 G_2}{G_1 + G_2 + G_3} \quad (4)$$

$$G_{13} = \frac{G_1 G_3}{G_1 + G_2 + G_3}$$

本预压缩器交替使用星网变换和串并联压缩, 从而带来更高的效率. 实际电路中, 很多原 3 次节点会在 $Y-\Delta$ 变换过程中降阶为 2 次节点, 通过不断复用串并联压缩技术消去它们, 进一步减少节点数和填充元个数. 例电路 1(图 2) 显示了最简单的 4 节点的化简过程: 对节点 2 进行星网变换后, 节点 3 的连接度变为 2, 通过利用串并联压缩也将其删除.

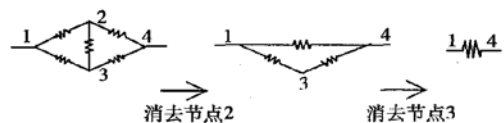


图 2 星网变换化简过程图

Fig. 2 Sketch map of the star transform

(2) 当 $N > 3$ 时, $\text{entry} \neq 0$. 特别当 N 很大, 即消去高次节点会引入大量的填充元, 从而会增加方程的求解难度, 所以必须权衡方程除数降低和矩阵稀疏度减小这两者之间的关系. 一般可以指定一个稀疏度阈值 D_0 (D_0 大于等于原矩阵的稀疏度), 来控制压缩过程, 使得压缩后的矩阵稀疏度不大于 D_0 .

设一电路有 n 个节点, 经串并联压缩和 $Y-\Delta$ 变换后, 连接度 > 3 , 其中 k_i 个连接度为 m_i 的节点 ($3 < m_1 \leq m_2 \leq \dots \leq m_n, k_1 + k_2 + \dots + k_j = n$), 可得该

电路稀疏度 $D = \frac{\sum_{i=1}^{j_0} k_i \times m_i(m_i - 1)/2}{n \times n}$, 则 $m_i \leq m_j$ 的节点值得进行星网变换. 其中, j_0 是使不等式 $D \leq D_0$ 成立的最大值.

3 节点压缩器和节点电压求解器

3.1 数据结构

对一个上百万门级的设计, 必须用稀疏矩阵存储技术. 本文采用文献[5]介绍的方法, 用指针数组 FirstInRow 存放稀疏矩阵每一行的第一个元素, 用指针数组 FirstInCol 存放稀疏矩阵每一列的第一个元素. 矩阵中每一个元素是个结构体, 包含元素的值(即电导)、对应的序列号以及指向下一个元素的指针. 这样的结构大大节省了存储空间, 提高了对矩阵元素的访问速度.

3.2 节点压缩器

一般电源网络节点分为三类: PAD 节点(供电焊盘对应的节点); 交叉节点(连接度大于等于 3 的节点), 中间节点(连接度小于等于 2 的节点)^[6]. 该节点压缩器的基本思想是将两个交叉节点之间的中间节点压缩掉, 从而使电路变成仅由两个交叉节点构成的等效电路结构^[3]. 其转换公式是

$$R_s = \sum_{i=1}^{n-1} R_i, \quad I_{e1} = \sum_{i=1}^{n-1} \frac{\sum_{j=i}^{n-1} R_j}{R_s} I_i, \quad (5)$$

$$I_{en} = \sum_{i=1}^n \frac{\sum_{j=i-1}^n R_j}{R_s} I_i$$

图 3 显示了压缩过程: 串联电阻链包含 n 个引脚节点 $N_1 - N_n$, 如图 3(a) 所示, 经公式(5)变换等效为图 3(b) 所示电路图.

3.3 节点电压求解器

一般矩阵求解技术可分为两大类, 即直接法和迭代法. 直接法(本文采用 Cholesky 因式分解^[7,8])不论方程右边矢量如何变化, 仅对矩阵进行一次因式分解, 因而非常适用于动态分析以及规模较小的网络静态分析. 迭代法处理矩阵的规模比直接法大, 特别适合稀疏矩阵技术. 这两者在我们的工具中均

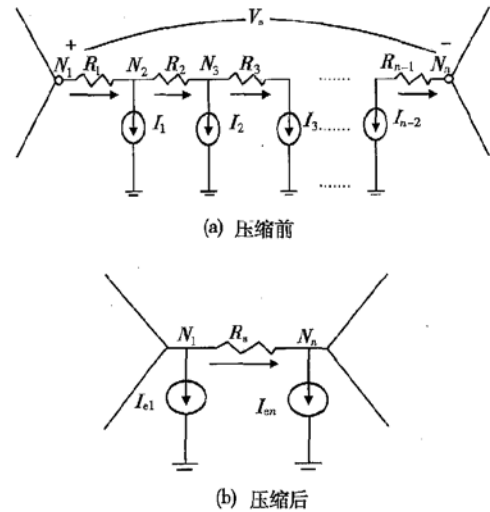


图 3 节点压缩器压缩示意图 (a) 压缩前; (b) 压缩后
Fig. 3 Sketch map of the reductor (a) Before reduction; (b) After reduction

已实现. 在静态电压降分析中, 采用预优共轭梯度法^[4]. 预优共轭梯度法的优点在于通过选择预优矩阵大大提高了收敛速度. 本求解器实现了三种预优器: Jacobi 预优器、SSOR 预优器和 ILU 预优器. 对于对称正定矩阵, ILU 迭代分解速度较快.

4 实验结果

本文所提出的电源网络节点电压求解器已经用 C++ 语言实现, 并对几个规模不等的电路实例进行了实验, 结果如表 1 所示. 可以看出, 该求解器能处理规模很大的电路, 而且速度相当快, 精度很高.

表 1 改进电源网络节点电压求解器实验结果
Table 1 Experiment results of power grid solver

	节点数	预处理后 节点数, 运行时间 /s	压缩后节 点数, 运行时间 /s	求解时间/s, 精度
C6000	6168	4928.2	1918.2	$1.7.1 \times 10^{-9}$
C35000	34603	34454.1	29596.2	$8.2.6 \times 10^{-9}$
C45000	44446	12116.20	7922.0.5	$21.9.79 \times 10^{-9}$
C240000	239598	77790.67	71665.9	$76.2.6 \times 10^{-9}$

由表 2 数据可以看出, 电路规模越大, 预压缩效果就越显著, 而压缩器的压缩效果则有所下降. 第四栏也给出传统的仅带压缩器的压缩比率, 可以看出当电路规模很大时, 其压缩能力极为有限(降到 2.5%). 第五栏给出两重压缩后总压缩率, 节点数目

平均减少 70%.

表 2 压缩器压缩效率

Table 2 Efficiency of reduction

	两重压缩器			无预处理的压缩比率/%
	预处理压缩器	压缩器	总压缩比率/%	
	压缩比率/%, 时间/s	压缩比率/%, 时间/s		
C6000	20.1, 2	61.1, 2	68.9	50.2
C45000	72.7, 20	34.6, 0.5	82.2	9.4
C240000	67.5, 67	7.8, 9	70.1	2.56

表 3 进一步给出压缩节点与不压缩节点的解矩阵效率比较表, 数据说明两重压缩使运行时间平均缩短 92%.

表 3 压缩器对求解矩阵的影响

Table 3 Influence to solver

	经两重压缩解矩阵时间/s	不压缩解矩阵时间/s	时间缩短百分比/%
C6000	1	60	98.3
C45000	21	100	79
C240000	16	4512	99.6

表 4 给出本工具和 HSPICE 的比较. 本工具在保证高准确度下(误差百分比远小于 1%)求解时间比 HSPICE 少 1~2 个数量级, 其优越性在电路规模很大时更为明显.

表 4 与 HSPICE 运行时间、误差比的比较

Table 4 Comparison to HSPICE in run-time and error ratio

	HSPICE 运行时间/s	求解器运行总时间/s	误差百分比/%
C6000	62	5	0.30
C35000	319	34	0.15
C45000	120.4	41.5	0.30
C240000	4633	142	0.03

5 结论

本文提供了一个高效的电源网格节点电压求解

器. 在实现过程中充分考虑到电源网的规模大、网状结构等特性, 提出了具有针对性的算法. 首先通过预处理器对内部节点进行压缩, 然后对引脚节点进行串并联压缩, 最后采用预优共轭梯度法对节点电压进行快速求解. 实验结果表明, 该求解器压缩能力强, 求解速度快, 精度高.

参考文献

- [1] Steele G, Overhauser D, Rochel S, et al. Full-chip verification methods for DSM power distribution system. 35th Design Automation Conference, 1998
- [2] Wu Xiaohai, Yin Li, Hong Xianlong. Power/ground network solver based on incomplete cholesky decomposition conjugate gradient. Chinese Journal of Semiconductors, 2000, 21(3): 298(in Chinese)[武晓海, 殷莉, 洪先龙. 基于不完全分解预优共轭梯度法的电源和地线网格求解器. 半导体学报, 2000, 21(3): 298]
- [3] Tan X D S, Shi C J R. Fast power/ground network optimization based on equivalent circuit modeling. DAC, 2001: 550
- [4] Qin Zhanhai, Cheng ChungKuan. Realizable parasitic reduction using generalized $Y-\Delta$ transformation. DAC, 2003: 220
- [5] Liu Changxue. Compute method for very large scale matrix. Shanghai: Shanghai Scientific & Technical Publishers, 1991: 1(in Chinese)[刘长学. 超大规模稀疏矩阵计算方法. 上海: 上海科学技术出版社, 1991: 1]
- [6] Fu Jingjing, Wu Xiaohai, Yin Li, et al. An integrated tool for power/ground network design, optimization, and verification for cell based VLSIs. Chinese Journal of Semiconductors, 2003, 24(3): 266
- [7] Zhu Hongwei, Yan Xiaolang, Ma Qi. A fast analysis algorithm for large scale network in integrated circuit. Journal of Circuits and Systems, 2001, 6(4): 7(in Chinese)[竺红卫, 严晓浪, 马琪, 等. 存储芯片层次化分割 P/G 网等效电阻求解算法. 电路与系统学报, 2001, 6(4): 7]
- [8] Zhao Min, Panda R V, Sapatnekar S S. Hierarchical analysis of power distribution networks. DAC, 2000: 150

Fast Solver for Power Grid Node Voltage in UDSM*

Yang Yindan, Yan Xiaolang, Shi Zheng and Ge Haitong

(*Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China*)

Abstract: Pre-reductor is first proposed to reduce nodes dramatically, therefore the solving ability is enhanced and the speed of the solver is improved. In this way, the solver can deal with a design of the order of millions with high speed and precision.

Key words: UDSM; VLSI; power grid

EEACC: 1130B; 1210

Article ID: 0253-4177(2004)11-1532-05

* Project supported by National High Technology Research and Development Program of China(No. 2002AA 1Z1460)

Yang Yindan female, was born in 1979. She is engaged in the research on IC-CAD.

Yan Xiaolang male, was born in 1947, professor, . He is engaged in the research on IC-CAD.

Shi Zheng male, was born in 1967, associate professor. He is engaged in the research on IC-CAD.

Received 13 October 2003, revised manuscript received 31 December 2003

©2004 The Chinese Institute of Electronics