

热氧化方法改善硅干法刻蚀波导的表面粗糙度*

陈媛媛 夏金松 樊中朝 余金中

(中国科学院半导体研究所 集成光电子国家重点实验室, 北京 100083)

摘要: 提出了一种热氧化的方法来改善干法刻蚀硅波导的表面质量. 通过 Suprem 二维工艺模拟程序对氧化过程的物理模型进行了分析. 用实验证实了该方法的可行性并与模拟结果进行了比较. 实验中将硅波导的表面粗糙度由 65.4nm 降低到了 8.8nm. 另外讨论了分次氧化方法的利弊.

关键词: 热氧化; 光波导; 表面粗糙度

EEACC: 2550E; 2550X; 4130

中图分类号: O472⁺.1

文献标识码: A

文章编号: 0253-4177(2004)11-1544-05

1 前言

由于硅是一种廉价且工艺成熟的半导体材料, 继它在微电子领域的成功之后, 人们又把眼光投向了它在光学领域方面的应用. 硅光波导作为硅基光电子集成和光子集成的基础, 其研究和应用十分重要^[1]. 硅光波导的制作, 主要有干法刻蚀、湿法刻蚀和扩散法等几种方法. 其中, 利用 RIE, ICP-RIE 等干法刻蚀技术, 可以刻蚀任意方向的波导, 刻蚀质量好, 刻蚀出的脊型波导侧壁垂直度好^[2]. 而湿法刻蚀技术虽然设备简单, 但刻蚀受晶向限制, 截面形状复杂, 无法实现某些设计的波导结构. 但湿法刻蚀波导底面和侧壁的光滑度都要明显优于干法刻蚀波导. 而表面粗糙度在很大程度上决定了波导损耗的大小^[3], 表面的不平整往往会造成散射损耗和基模能量转化到高阶模的模式转化损耗. 特别是对于硅基的 SOI 光波导, 其波导层和限制层的折射率差 Δn 很大. 散射损耗与 $(\Delta n)^3$ 成比例, 成为影响传输损耗最主要的因素. 因而, 干法刻蚀波导往往损耗较大. 在我们以往的实验中也发现, 湿法刻蚀 SOI 光波导 (表面粗糙度在 nm 量级) 的传输损耗比干法刻蚀 SOI 波导 (表面粗糙度在 10nm 量级) 小 1~2dB/

cm. 为了获得损耗小的波导, 需要设法减小波导表面粗糙度^[4].

本文提出了在硅表面用热氧化的方法生长一层厚的 SiO₂ 层, 当去掉 SiO₂ 后, 硅表面的粗糙度能够获得明显的改善, 表面粗糙度降低了 80% 以上.

2 物理模型

当硅表面热氧化生长 SiO₂ 时, 每生长 1 体积的 SiO₂ 需要消耗掉 0.45 体积的硅. 若硅的表面不平整, 存在一些峰状突起结构, 随着氧化过程不断吃进一部分硅, 这些峰状突起会逐渐被拉平. 此时再去掉 SiO₂ 覆盖层, 重新获得的硅表面粗糙度将会下降.

热氧化过程可分为三步^[5]: (1) 氧化剂分子从气相中靠扩散运动到达气相-SiO₂ 相交界面; (2) 氧化剂分子靠扩散通过厚度为 X_0 的氧化层向 SiO₂-硅界面运动; (3) 在 SiO₂-硅界面处, 氧化剂与硅反应生成 SiO₂. 当氧化时间较短时, 氧化速度主要由第三步的反应速度决定. 生长的氧化层厚度与氧化时间呈线形关系: $X = At$. 随着氧化过程的进行, SiO₂ 层越来越厚, 氧化剂通过氧化层越来越困难, 氧化速度由第二步决定, 且逐渐变慢. 氧化层厚度与氧化时间呈抛物线关系: $X^2 = Bt$.

* 国家自然科学基金(批准号: 69896260, 60336010), 国家重点基础研究发展规划(批准号: G20000366), 国家高技术研究发展计划(批准号: 2002AA312060) 资助项目

陈媛媛 女, 1979 年出生, 博士研究生, 主要从事硅基硅波导器件研究.

2003-10-28 收到, 2004-01-09 定稿

为了观察氧化过程中硅表面形貌的变化, 采用美国斯坦福大学开发的 SUPREM IV 二维工艺模拟程序, 模拟梯形截面突起随氧化过程发生的变化^[6]. 氧化环境设为水汽氧化, 温度为 919℃, 氧化时间分别取 0.2, 1, 2, 3, 4, 5h, 对应平面生成 SiO₂ 的厚度为 56.5, 193, 336.2, 456.3, 561.6, 656.6nm. 从图 1 中可以明显看到, 在氧化初期, Si-SiO₂ 界面的表面反应速度对氧化速度起主要作用, 界面上各点的反应速度基本相同, 硅直接向内部吃进, 梯形变小, 但形状保持不变. 随着氧化过程的进行, 氧化剂扩散速度起主要作用. 由于外部气相中各点的氧化剂分子经过 SiO₂ 层到达 Si-SiO₂ 界面各点所需的扩散距离不同, 扩散距离越短, 则扩散越容易, 故 Si-SiO₂ 界面上各点的氧化速度出现差异, 扩散距离短的点可能获得较快的氧化速度. 图 1 中, 中间实线为原始硅界面, 对于氧化 1h 后 Si-SiO₂ 界面上的 A, B 两点, A 点到达外界的最短扩散距离只存在于垂直方向 (图中箭头所指方向 a), 也就是说只有垂直方向附近的氧剂分子比较容易扩散到达 A 点发生反应. 而

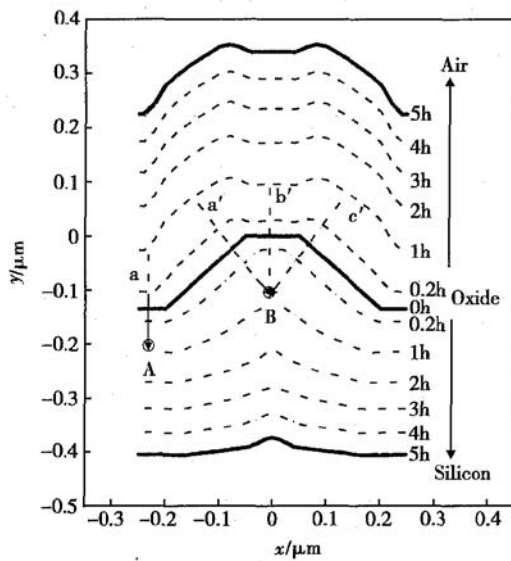


图 1 Suprem 模拟梯形突起氧化结果

Fig. 1 Oxidation of trapezoidal surface simulated by Suprem

其他方向的氧化剂分子由于扩散距离长, 单位时间内到达 A 点的几率相应较小. 而对于顶部的 B 点, 存在 a', b', c' 三个方向扩散到外界的最短距离. 在这三个方向附近的外界的氧化剂分子都能很快到达 B 点, 从而单位时间内 B 点获得氧化剂分子的几率大大高于 A 点. 在表面反应速度相同的情况下, B

点发生氧化反应的速度将明显大于 A 点. 从上面的简单分析得出, 界面处各点获得氧化剂分子的可能途径不同, 造成各点的氧化速度开始出现差异. 顶点处由于可以获得从更多方向扩散而来的氧化剂分子, 其氧化速度较快. 而平面处受氧化剂分子扩散的限制, 氧化速度明显低于顶点处. 这样就造成氧化速度呈梯形台阶状下降, 同时形状也发生改变. 由图 1 中 1~ 5h 氧化界面位置的变化可以看出氧化速度不断减慢. 比较氧化前后台阶的高度, 由开始的 134.3nm 下降到了 30.9nm.

3 实验、结果及讨论

采用中国科学院微电子中心生产的 ICP-RIE 刻蚀机刻蚀清洁的硅表面. 刻蚀条件如下: 刻蚀气体为 SF₆ 和 C₄F₈, 比例为 1 : 4; 氧气流量为 4sccm; 工作气压为 1.5Pa; 耦合功率为 600W, 射频功率为 200W; 时间为 3min, 刻蚀深度约为 1.8μm. 用原子力显微镜 (AFM) 观察表面. 刻蚀后硅表面形貌如图 2 所示, 表面存在一些起伏不平的峰, 峰高为 200~300nm, 峰顶圆滑平坦. 采用高度均方根值 (RMS) 来表征表面粗糙度. 即在表面取等距离的 N 个点, 由显微镜探针位置确定这 N 个点的高度. 高度平均值 (raw mean) 为

$$r = \frac{\sum_{n=1}^N Z_n}{N}$$

高度均方根值为

$$R = \sqrt{\frac{1}{N} \sum_{n=1}^N (Z_n - r)^2}$$

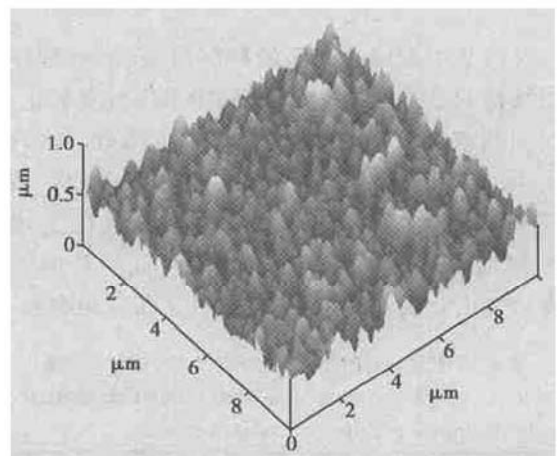


图 2 ICP 刻蚀后硅表面形貌

Fig. 2 Silicon surface after ICP-RIE etching

根据上述定义, 测量得到刻蚀后的硅表面粗糙度为 65.4nm. 而清洁硅表面的粗糙度经测量仅为 0.3nm. 说明经过干法刻蚀后, 硅表面不平整度大大增加. 之后采用湿法热氧化生长 SiO_2 , 温度为 1050°C , 氧化时间为 5h, 平面生长的 SiO_2 厚度为 655.2nm. 用 HF 酸溶液去掉 SiO_2 层, 再用 AFM 观察, 热氧化处理后的硅表面形貌如图 3 所示. 可以看到表面仍有一些峰状突起, 但峰值下降很多, 主要在 40~50nm 之间, 且峰顶变得十分尖锐, 凹陷处形状如一个个的小圆坑, 表面粗糙度也下降为 8.8nm. 氧化过程中除了前面谈到的氧化时峰顶氧化速度快造成的“削峰”作用外, 侧壁由于可以较容易地获得外表面各点处扩散来的氧化剂分子, 氧化速度也要大于底面的氧化速度. 从而氧化界面呈圆弧状向内凹陷. 层层推进, 逐渐出现峰值尖锐、凹陷如圆坑的表面形貌.

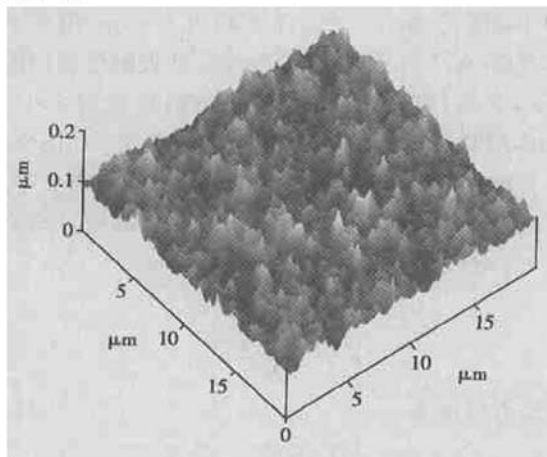


图 3 热氧化处理后硅表面形貌

Fig. 3 Silicon surface after thermal oxidation

对图 2 中刻蚀后表面的局部用 Suprem 程序做类似结构的二维模拟. 由于实验中采用湿氧化, 氧化时加热水温未知, 不能确定湿氧中等效的水汽压强大小. 为了获得与实验条件接近的模拟条件, 我们用椭偏仪测定了不同氧化时间下热氧化生成的 SiO_2 厚度, 如表 1 所示(厚度均为平面生长的 SiO_2 厚度), 并由此确定模拟条件. 当氧化条件为湿氧, 水

表 1 不同氧化时间对应氧化厚度的实验值和模拟值

Table 1 Both experimental and simulated results of oxide thickness at different oxidative time

氧化时间/h	2.5	5	7.5	10	12.5	
氧化厚度/nm	实验值	439.3	655.2	759.1	977.6	1062.5
	模拟值	435.5	656.0	826.0	969.9	1096.8

汽压强为 $2.6 \times 10^4 \text{Pa}$, 温度为 1050°C 时, 生成的 SiO_2 厚度与实验结果基本符合.

SUPREM 模拟的结果如图 4 所示, 氧化前的硅表面为中间实线所示, 峰高为 280nm, 峰顶较平坦, 粗糙度仍采用 RMS 定义为 65.6nm. 热氧化生长 SiO_2 , 氧化时间为 5h, 平面生长厚度为 656nm. 氧化后去掉 SiO_2 , 硅表面粗糙度下降为 35.4nm. 模拟氧化后硅表面峰值形状变化的趋势与实验结果相同, 可以看到峰值明显降低, 峰顶变得尖锐, 出现圆坑状凹陷. 说明模拟能很好地预测表面氧化后的形貌变化. 但实验结果显示了比模拟结果对界面的改善更好, 主要原因可能是由于 ICP-RIE 刻蚀后表面有一些聚合物的沉积, 表面的粗糙不完全是由硅的不平整造成. 而氧化后去掉 SiO_2 同时也去除了表面的聚合物杂质, 所以实验获得了比模拟更好的结果. 同时由于模拟只取了一个小区域范围, 小区域会带来一定的误差. 另外边界条件不同也会影响模拟结果. 如图 4 中对称结构两边界处所连接的区域形状不同, 氧化后的形状也稍有区别.

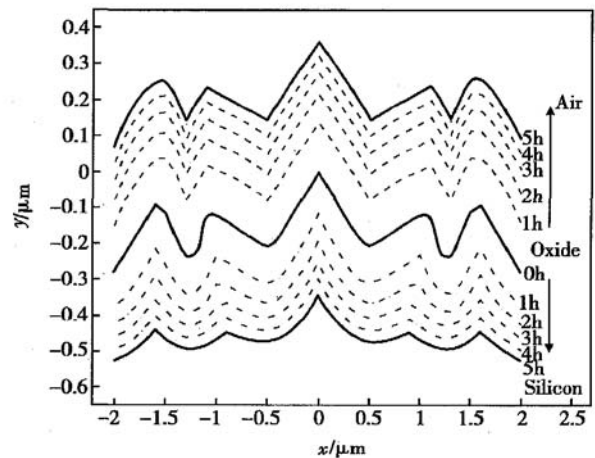


图 4 Suprem 模拟刻蚀后表面氧化情况, 氧化时间为 5h

Fig. 4 Oxidative processes of silicon surface simulated by Suprem The oxidative time is five hours.

此外我们还采用分次氧化的方法处理硅片, 即在热氧化生长一段时间后去掉 SiO_2 层, 再重复热氧化去 SiO_2 的步骤. 因为 SiO_2 层越厚时, 氧化速度越慢. 去掉 SiO_2 后重新生长, 能大大提高氧化速度. 希望通过增加一步工艺来减少氧化所需的时间. 实验中对同一批干法刻蚀后的硅片在湿氧条件下生长 2.5h, 去掉 SiO_2 后又重新生长 2.5h. 总计平面生长 SiO_2 厚度为 878.6nm, 比单次热氧化 5h 平面生长的 SiO_2 厚度增加了 223.4nm. 去掉 SiO_2 层后用

AFM 观测表面形貌, 如图 5 所示. 与图 3 相比, 表面形貌相似, 都存在一些尖锐的峰和圆坑状凹陷, 但图 5 中表面的峰宽度更大, 一些细小的峰消失了. 但表面粗糙度反而上升, 为 16.8nm. 说明分次氧化虽然生成的 SiO_2 更厚, 但并不能更有效地达到降低表面粗糙度的目的. 这是因为, 当生成的 SiO_2 厚度小时, 界面各点氧化速度相同, 不能起到削峰的作用, 仅仅只是使得峰的宽度变窄, 而高度保持不变. 对于已经氧化处理过的界面, 峰都比较尖锐, 氧化对它的形状没有太大变化, 也就无法有效减小粗糙度. 只有当氧化硅层很厚, 各点氧化速度差异明显时, 氧化才能改变界面形貌. 用 SUPREM 模拟单次热氧化 5h 后的表面粗糙度为 35.4nm, 分次氧化时每次氧化 2.5h 氧化两次后的粗糙度为 32.9nm. 虽然比单次热氧化后的粗糙度小, 但改善不大. 而且如果采用分次氧化每次氧化 1h, 氧化 5 次后会发现表面粗糙度增加到了 40.2nm. 说明如果分次氧化每次氧化时间较长时, 还有可能获得比单次氧化时稍好的效果. 但如果分次氧化每次氧化时间太短, 虽然生长了更厚的 SiO_2 , 却也难以达到降低粗糙度的目的. 所以想通过分次氧化的方法来缩短实验时间比较困难.

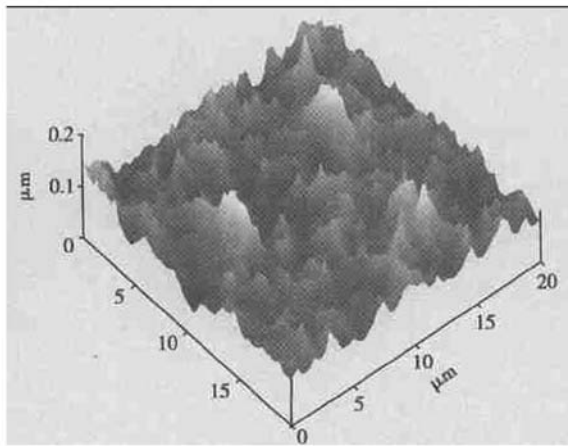


图 5 分次热氧化后的硅表面形貌

Fig. 5 Silicon surface after several-times oxidation

最后我们用 AFM 测量得到湿法刻蚀硅波导的表面粗糙度为 1.490nm. 我们所获得的热氧化方法改善后的干法刻蚀硅波导的表面粗糙度与湿法刻蚀波导相比仍有差距. 但如果再延长氧化时间, 理论上还能进一步减小其粗糙度. 当然, 无限制地延长氧化时间也是不可行的, 因为氧化要消耗一定的硅层, 因此除了硅波导必须预留一定厚度之外, 波导顶角的形状也会有小变化. 氧化时间过长会造成硅波导变

形, 使波导器件的结果偏离设计值. 因此有必要继续摸索以提高我们的干法刻蚀技术, 干法刻蚀各项条件如果控制得好, 完全可以获得粗糙度在 10nm 量级的表面^[7]. 在此基础上再进行热氧化处理将会容易得多. 另外我们实验中采用 Cr 作为干法刻蚀的掩模, 刻蚀波导垂直度较好. 如果采用 SiO_2 做掩模, 往往由于钻蚀会造成顶部两侧出现尖角. 这时进行热氧化处理不仅能平滑表面, 而且会消除尖角, 获得垂直度更好的侧壁, 从而有效实现设计的波导结构.

4 总结

根据热氧化过程中硅- SiO_2 界面各点氧化速度不同的特点, 利用热氧化方法改善干法刻蚀硅波导的表面粗糙度. 具体分析了热氧化过程中几个阶段对整体氧化速度的影响及其造成硅- SiO_2 界面形貌变化的规律. 并用 SUPREM 二维工艺模拟程序模拟了热氧化中干法刻蚀硅波导界面形貌的变化情况. 发现在氧化的初始阶段, 界面形状不变, 只是层层向内推进; 随着氧化的深入, 顶点和侧壁处氧化速度下降程度稍缓, 造成一种“削峰”作用, 表面呈圆坑状向内凹陷, 界面形状变化, 粗糙度明显下降. 实验中通过湿氧条件下氧化 5h, 将硅波导表面粗糙度由 65.4nm 降低到了 8.8nm, 充分说明了通过热氧化来改善硅波导表面刻蚀质量是一种行之有效的方法. 另外还由实验结果讨论分析了分次氧化方法的可行性, 发现虽然分次氧化增加了生成 SiO_2 的厚度, 但并不一定能更好地改善表面粗糙度, 特别是分次氧化每次氧化时间短时, 效果更差.

通过热氧化方法降低硅表面粗糙度将大大减小干法刻蚀硅波导的散射损耗, 能够获得截面形状好、损耗又足够低的硅波导, 这将为硅基光电子集成的发展开辟新路.

参考文献

- [1] Yu Jinzhong, Yan Qingfeng, Xia Jinsong, et al. SOI (silicon on insulator) based integrated optoelectronics. *Journal of Function Materials and Devices*, 2003, 9(1): 1 (in Chinese) [余金中, 严清峰, 夏金松, 等. SOI 光电子集成. 功能材料与器件学报, 2003, 9(1): 1]
- [2] Su Yi, Tan Songsheng, Wang Weiyuan. Roughness of reactive ion etched silicon surface by CF_4 , SF_6 and NF_6 . *Chinese Journal of Semiconductors*, 1993, 14(6): 375 (in Chinese) [苏毅,

- 谭焘生, 王渭源. CF_4 , SF_6 和 NF_6 反应离子刻蚀硅表面粗糙度的研究. 半导体学报, 1993, 14(6): 375]
- [3] Jin G H, Harari J, Joannes L, et al. Numerical analysis of the radiation losses due to surface roughness in integrated optics devices. IEEE Photonics Technol Lett, 1996, 8(9): 1202
- [4] Choi D Y, Lee J H, Yoo S W, et al. Optimization of sidewall roughness in silica waveguides to reduce the propagation losses. CLEO Technical Digest, 2001: 175
- [5] Deal B E, Grove A S. General relationship for the thermal oxidation of silicon. J Appl Phys, 1965, 12: 3770
- [6] Hansen S E, Deal M D. SUPREM-IV users manual. Stanford University, 1993
- [7] Lee K K, Lim D R, Kimerling L C. Fabrication of ultralow-loss Si/SiO₂ waveguides by roughness reduction. Opt Lett, 2001, 12: 1888

Method of Thermal Oxidation for Minimizing Surface Roughness of Dry Etched Silicon Waveguide*

Chen Yuanyuan, Xia Jinsong, Fan Zhongchao and Yu Jinzhong

(State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: Presented is a method of thermal oxidation for minimizing surface roughness of silicon waveguide by dry etching processes. The model of oxidation is analyzed by SUPREM two-dimensional simulation. Experimental result is compared with simulation result and the method is validated. Surface roughness of silicon waveguide is reduced from 65.4nm to 8.8nm in the experiment. Oxidation by several times is discussed.

Key words: thermal oxidation; optical waveguide; surface roughness

EEACC: 2550E; 2550X; 4130

Article ID: 0253-4177(2004)11-1544-05

* Project supported by National Natural Science Foundation of China(No. 69896260, 60336010), State Key Development Program for Basic Research of China(No. G20000366), and National High Technology R&D Program of China(No. 2002AA312060)

Chen Yuanyuan female, was born in 1979, PhD candidate. She is engaged in the research on silicon based optical waveguide devices.

Received 28 October 2003, revised manuscript received 9 January 2004

©2004 The Chinese Institute of Electronics