

用于 SiGe HBT 器件的 UHV/CVD n^- 型硅外延研究*

黄文韬 陈长春 李希有 沈冠豪 张 伟 刘志弘 陈培毅 钱佩信

(清华大学微电子学研究所, 北京 100084)

摘要: 利用超高真空化学气相淀积(UHV/CVD)设备,在掺 As n^+ 型 Si 衬底上生长了掺 P n^- 型 Si 外延层.用扩展电阻法分析了在不同的生长温度和 PH_3 气体流量下生长的 Si 外延层的过渡区厚度.结果表明,生长温度对 n^+ -Si 衬底的 As 外扩有明显影响,在 700°C 下生长的 Si 外延层的过渡区厚度为 $0.16\mu\text{m}$,而在 500°C 下仅为 $0.06\mu\text{m}$,且杂质分布非常陡峭.X 射线双晶衍射分析表明在 700°C 下生长的 Si 外延层的质量很高.制作的锗硅异质结晶体管(SiGe HBT)的击穿特性很硬,击穿电压为 14.5V,在 $V_{\text{CB}}=14.0\text{V}$ 下的漏电流仅为 $0.3\mu\text{A}$;输出特性很好,在 $V_{\text{CE}}=5\text{V}$, $I_{\text{C}}=3\text{mA}$ 时的放大倍数为 60.

关键词: UHV/CVD; 硅外延; 杂质分布; SiGe; HBT

PACC: 6150J; 7360F; 8115H

中图分类号: TN304.054

文献标识码: A

文章编号: 0253-4177(2004)12-1666-06

1 引言

低温硅外延是当前超大规模集成电路和一些高压特殊器件急需发展的新技术,在发展其他新型器件如异质结晶体管、高速器件以及光电子器件中,也具有重大的实际意义^[1,2].利用低温外延技术可以生长出晶体结构完整、界面过渡区杂质分布陡峭的外延层.对常压硅外延工艺,由于采用高温外延,容易产生界面互扩散和气相自掺杂,通常难以获得陡峭的界面杂质分布,过渡区厚度相对较大.这会增大晶体管的集电结空间电荷区渡越时间,从而不利于晶体管特征频率 f_T 的提高.UHV/CVD 成本相对较低,使用方便,而且易于工业化生产,是目前国际上低温外延所采用的主要手段之一;在硅基薄膜新材料的制备方面具有良好的应用前景.

采用 UHV/CVD 硅外延技术具有许多优点.降低生长温度可以有效地抑制固态扩散,同时减少了

气相自掺杂.低压环境改变了生长室中气体流动,使源气体分子占主导地位,复杂的气流环境变得简单;低压下气体扩散系数增大,气氛中杂质可迅速被主气流带走,减少了对外延层的影响.另外,由于低压下氢气分压低,硅原子在表面迁移时受到的阻碍小,很容易结合到晶格中,使表面生长为二维生长,减少了外延层中的层错和位错,更有利于形成平整光亮的外延层^[3].目前,人们对高温常压 Si 外延进行了大量的研究^[4,5],但对 UHV/CVD 硅外延的研究还不够深入.对于 Si 外延层的过渡区厚度(衬底中 As 的外扩程度)与生长温度和气体流量的关系研究不够系统^[1-3,6],而且没有与晶体管器件的制作联系起来说明 UHV/CVD 硅外延的益处.

本文在 n^+ 型 Si 衬底片上用 UHV/CVD 设备在 $500\sim 700^\circ\text{C}$ 生长了 n^- 型 Si 外延层,研究了过渡区厚度与生长温度和气体流量的关系,并表征了 Si 外延层的质量;制作了 Si/SiGe/Si 异质结晶体管(HBT)器件,并测试了其直流特性特别是击穿特性.

* 国家高技术研究发展计划资助项目(批准号:2002AA3Z1230)

黄文韬 男,1977 年出生,博士研究生,主要从事 SiGe 材料、器件以及相关电路的研究. Email: huangwentao@tsinghua.org.cn

2004-01-24 收到,2004-06-04 定稿

©2004 中国电子学会

2 实验

样品的制备是在一台自主开发的适于大尺寸晶圆生长的 UHV/CVD 设备^[7]上进行的. 该设备的气体源为纯 SiH₄ 气体以及氢气稀释的 50ppm 的 PH₃ 气体. 实验所用硅片为 n⁺ 型掺 As(100) 硅衬底片, 电阻率为 0.001~0.005Ω·cm. 硅片先放入 H₂SO₄:H₂O₂=4:1(体积比)的溶液中煮沸 15min, 然后分别用热、冷去离子水各冲洗 5min. 生长前用稀释 10% 的 HF 溶液(体积比)漂洗 35s, 然后将硅片经过系统装片室送入反应室内腔生长 Si 外延层.

Si 外延的温度范围为 500~700℃(UHV/CVD 中石墨的温度), SiH₄ 气体流量为 9.0sccm, PH₃ 气体流量为 0.0~2.5sccm. 外延生长时, 内腔的压力约为 3×10⁻²Pa. 样品的掺杂分布用扩展电阻法(SRP)得出. 外延层的质量(Si 和 SiGe)用 X 射线双晶衍射(DCXR)来表征, 并测量了其倒空间格矢的

mapping 图(RSM). 所制作的 SiGe HBT(异质结晶体管)器件的直流特性用 Keithley 4200 半导体参数测试仪测量.

3 结果分析与讨论

3.1 过渡区厚度分析

表 1 比较了在不同 PH₃ 气体流量下的 Si 外延层的过渡区厚度, 生长温度固定为 700℃. 由表 1 可以看出, 随着气体流量的增加, 过渡区厚度基本不变, 受 PH₃ 气体流量的影响较小. 这说明 Si 外延时反应气体对于 Si 衬底的 As 外扩影响很小, 因而过渡区厚度基本不变. 由表 1 还可以看出随着 PH₃ 气体流量的增加, 生长速率逐渐减慢. 这是由于 PH₃ 气体阻碍了 SiH₄ 气体在硅片表面的吸附, 因而使生长速率减慢.

表 1 PH₃ 气体流量与 Si 外延层的过渡区厚度的关系

Table 1 Transition-region thicknesses of Si epitaxial layers grown by UHV/CVD using increasing PH₃ flux

样品编号	生长温度 /℃	生长时间 /min	生长参数 /sccm	外延层厚度 /μm	过渡区厚度 /μm	生长速率 /(nm·min ⁻¹)
A	700	45	9.0/0.5	0.72	0.11	16.0
B	700	45	9.0/1.5	0.69	0.16	15.3
C	700	45	9.0/2.5	0.57	0.14	12.7

表 2 反映了 Si 外延层的生长温度与过渡区厚度的关系. SiH₄/PH₃ 气体的流量比固定为 9.0/1.5, 生长温度依次为 500, 550 和 700℃. 由于在低温下(特别是在 500℃下)的生长速率太小, 所以适当增加了 500℃和 550℃下的生长时间. 由表 2 可以看出, 生长温度对生长速率和过渡区厚度的影响都

非常明显(与表 1 中的数据相比). 在 500℃下的生长速率仅为 1.3nm/min, 而过渡区厚度也从 700℃时的 0.16μm 下降为 500℃下的 0.06μm. 生长温度越低, Si 衬底中的 As 外扩程度越小, 而且在 500℃下生长的 Si 外延层的过渡区厚度已经降到了 0.1μm 以下.

表 2 Si 外延层的生长温度与过渡区厚度的关系

Table 1 Transition-region thicknesses of Si epitaxial layers grown under different temperatures by UHV/CVD

样品编号	生长温度 /℃	生长时间 /min	生长参数 /sccm	外延层厚度 /μm	过渡区厚度 /μm	生长速率 /(nm·min ⁻¹)
B	700	45	9.0/1.5	0.69	0.16	15.3
D	550	60	9.0/1.5	0.19	0.09	6.3
E	500	120	9.0/1.5	0.16	0.06	1.3

图 1 是在 500℃和 700℃下生长的 Si 外延层的扩展电阻分布图. 由图 1 可以看出 Si 外延层过渡区处的杂质分布都比较陡峭(As 外扩程度很轻), 且

500℃下生长的 Si 外延层的杂质分布更陡. 另外, Si 外延层本身掺杂比较稳定, 掺杂浓度基本不变.

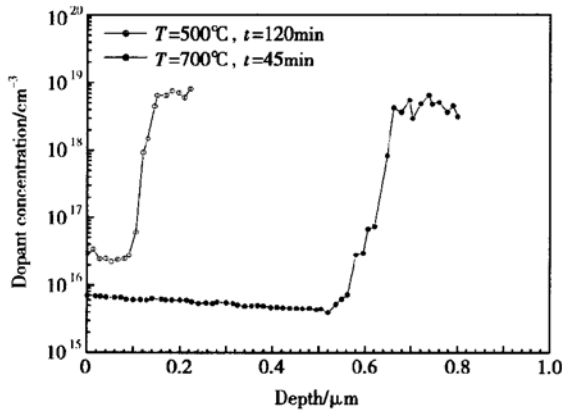


图 1 不同温度下生长的 Si 外延层的扩展电阻分布图

Fig. 1 Spread resistance profiles of Si epitaxial layers at different temperatures

3.2 Si 外延层的质量分析

用 UHV/CVD 生长了两片 Si 外延片, 一片用于分析 Si 外延层的质量以及掺杂分布(样品 F), 另一片用于制作 SiGe HBT 器件(样品 G). 两硅片的生长参数完全相同, 生长温度均为 700°C, 生长时间均为 30min, SiH₄/PH₃ 气体的流量均为 9.0/0.4sccm. 图 2 是样品 F 的扩展电阻分布图, Si 外延层厚度为 0.42μm, 过渡区厚度为 0.15μm, 掺杂浓度为 $8.2 \times 10^{15} \text{ cm}^{-3}$.

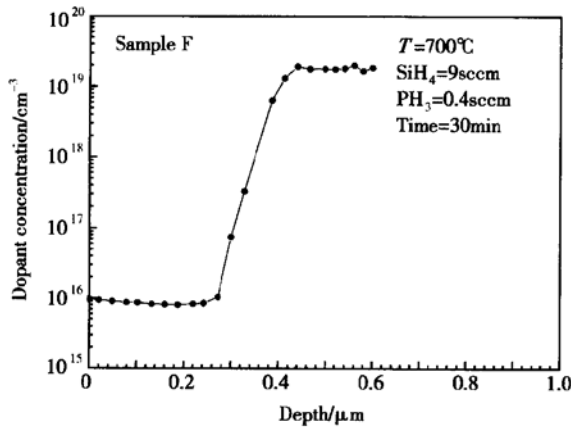


图 2 样品 F 的扩展电阻分布图

Fig. 2 Spread resistance profile of sample F

图 3(a) 是原始硅衬底片的 DCXRD 倒空间 mapping 图(RSM), 图 3(b) 是 Si 外延材料的 mapping 图. 测试方法为固定一个 2θ 值, 然后变化 θ 角测其联动摇摆曲线. θ 的变化范围为 $33.9^\circ \sim 35.1^\circ$, 步长为 0.005° . 此后变化 2θ 值, 重复变化 θ 角测联

动摇摆曲线. 2θ 变化范围为 $68.0^\circ \sim 69.4^\circ$, 步长为 0.05° . 最后得到横坐标为 θ , 纵坐标为 2θ 的 RSM 图, 衍射强度用图中的等高线表示. 与图 3(a) 相比, Si 外延层的 RSM 图与原始硅衬底片的 RSM 图(图 3(a)) 十分相似, 左右也非常对称. 原始硅衬底片 RSM 图左右展宽了 $\Delta\theta = 0.03^\circ$, 而 Si 外延材料的 RSM 图展宽为 $\Delta\theta = 0.08^\circ$, 展宽量相当小, 表明 Si 外延层具有很高的晶体质量. Si 外延层的 RSM 图比硅衬底片的 RSM 图有所展宽, 这可能与二者的质量差异有关(Si 外延层中的缺陷仍比 Si 衬底中的缺陷多).

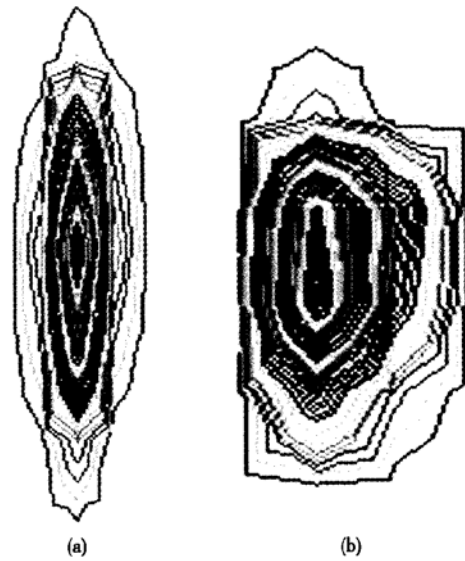


图 3 X 射线倒空间 mapping 分析图 (a) 原始硅衬底; (b) UHV/CVD 生长 Si 外延层

Fig. 3 Reverse space mapping of Si substrate (a) and Si epitaxial layer by UHV/CVD (b)

在样品 G 上利用 UHV/CVD 生长了 Si/SiGe 薄膜, 生长方法见文献[8] (标记为样品 H). SiGe 薄膜的生长温度为 550°C, 所用 SiH₄, GeH₄ 和 B₂H₆ 气体的流量依次为 10, 2.5 和 5.0sccm, 生长时间为 8min. 用 DCXRD 表征了 Si 外延层以及在其上外延的 SiGe 薄膜的质量(图 4). DCXRD 测试的衍射峰的半宽度表明了样品晶格排列是否有序. 对于同样厚度的样品, 晶体质量越好, 半峰宽越窄. 由图 4 可看出, Si 峰的谱线平滑, Si 峰尖且半峰宽很窄 ($\Delta(2\theta) = 0.030^\circ$), 这表明 Si 外延材料的晶格完整性很好; 同时 SiGe 峰的强度很大, 半峰宽也相当窄, $\Delta(2\theta)$ 仅为 0.162° . 在图 4 中可见到清晰的 Pendellosung 干涉条纹, 说明 SiGe 薄膜与 Si 衬底之间的

界面平齐、陡峭. 这都表明 SiGe 薄膜具有很高的质量, 从另一方面说明所外延生长的 Si 材料质量很好. 由 Si 峰与 SiGe 峰间距可求出 SiGe 薄膜中 Ge 的组分为 0.189, 由干涉条纹的间距可求出 SiGe 薄膜的厚度为 61nm.

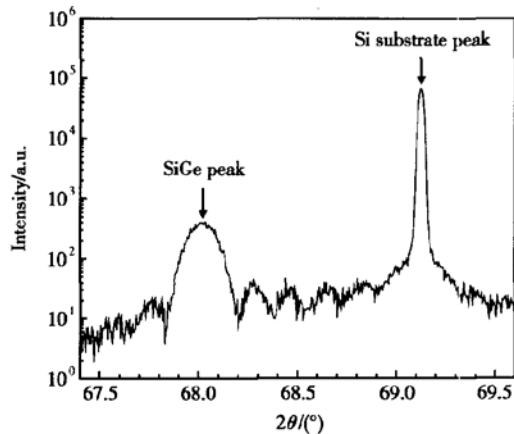


图 4 在 Si 外延层上生长的 SiGe 薄膜的 DCXRD 图

Fig. 4 DCXRD image of SiGe film grown on the Si epitaxial layer

3.3 SiGe HBT 器件的电学性能分析

用样品 H(即生长了 Si/SiGe 薄膜的样品 G) 制作了 SiGe HBT 器件. SiGe HBT 的制作工艺为双台面工艺^[9,10], 与文献[10]中的 SiGe HBT 制作工艺基本相同(器件结构也相同), 仅作了两处改进. 改进之一是先形成基极台面, 而后再形成发射极台面. 在 LPCVD 淀积多晶硅(200nm), 注入磷($70\text{keV}/1 \times 10^{16}\text{cm}^{-2}$) 以及发射极台面上的 400nm LPCVD SiO₂ 形成之后, 先干法刻蚀(RIE)有源区的隔离槽, 形成基极台面, 然后再用干法刻蚀形成发射极台面. 这样可以减少外基区在空气中的暴露时间, 有利于减少 EB 结的表面复合电流. 改进之二是在发射极台面周围的侧墙形成后大面积注入 B⁺ 和 BF₂⁺ 离子之前, 增加一步光刻工艺, 用光刻胶限制离子的注入范围, 使其仅注入在外基区上, 从而减少 CB 结漏电的可能性.

由于 Ge 组分为 0.189 的 SiGe 薄膜的临界厚度为 200nm 左右, 所以在 UHV/CVD 外延时 61nm 厚的 SiGe 薄膜是共格生长的, 不会弛豫. 在 SiGe HBT 器件的制作过程中, 快速热退火的处理温度最高为 880°C/20s, 另有 700°C 左右累计 4h 左右热开销(LPCVD SiO₂ 过程), 温度也比较高. 这些热开销不会使 Si/SiGe 薄膜弛豫^[11], SiGe HBT 器件的击

穿特性也证明了这一点.

图 5 是 HBT 器件的 CB 结击穿特性图. 由图 5 可知器件的 CB 结击穿电压 BV_{CB0} 为 14.5V, 击穿特性很硬; 漏电流很小, 在 V_{CB} = 14.0V 时的漏电流值仅为 0.3μA. 这同样说明 Si 外延层和 Si/SiGe 薄膜都具有很高的质量. 图 6 是所研制 SiGe HBT 器件的输出特性图, 其特性很好, 在 V_{CE} = 5V, I_C = 3mA 时的放大倍数为 60.

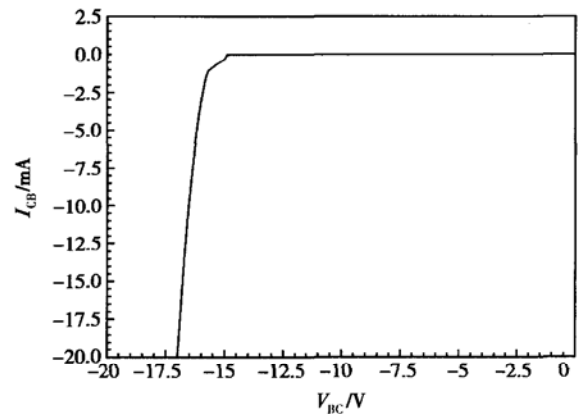


图 5 SiGe HBT 器件的 CB 结击穿特性

Fig. 5 Breakdown characteristic of UHV/CVD grown Si layer

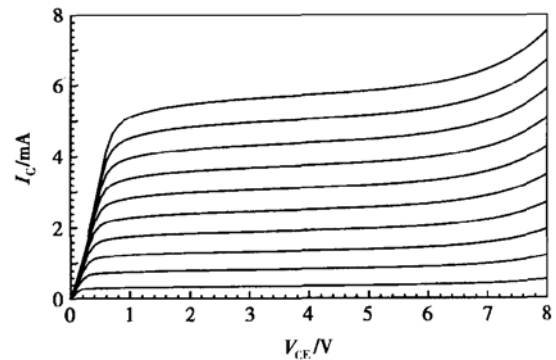


图 6 SiGe HBT 器件的输出特性

Fig. 6 Output characteristic of SiGe HBT device

根据单边突变结雪崩击穿电压的基本公式^[12], 当掺杂浓度为 $8.2 \times 10^{15}\text{cm}^{-3}$ 时, 其雪崩击穿电压为 71.3V (公式(1)), 击穿时空间电荷区宽度 $W_m = 3.22\mu\text{m}$ (公式(2)). 当外延层厚度 $W_n = 0.27\mu\text{m} < W_m$ 时发生势垒穿透, 此时用公式(3)求出的击穿电压 V_{BSPT} 为 11.5V, 这与实验结果 BV_{CB0} = 14.5V 比较接近. 结果的偏差可能是由于样品 F 的掺杂浓度不均匀($8.2 \times 10^{15} \sim 1.0 \times 10^{16}\text{cm}^{-3}$) 以及 Si 外延层

有过渡区引起的,也可能是样品 G 与样品 F 的掺杂分布略有不同引起的(尽管生长参数相同).

$$V_{BS} = 60 \times \left(\frac{E_g}{1.1}\right)^{\frac{3}{2}} \times \left(\frac{N_B}{10^{16}}\right)^{-\frac{3}{4}} \quad (1)$$

$$V_{BS} = \frac{qN_B}{2\epsilon_s} \times x_{mB}^2 = \frac{qN_B}{2\epsilon_s} \times W_m^2 \quad (2)$$

$$V_{BSPT} = V_{BS} \times \frac{W_n}{W_m} \times \left(2 - \frac{W_n}{W_m}\right) \quad (3)$$

4 结论

与 PH_3 气体的流量相比,生长温度对于 Si 外延层的过渡区厚度有明显影响,扩展电阻分析表明: 700°C 下生长的 Si 外延层的过渡区厚度为 $0.16\mu\text{m}$,而在 500°C 下的过渡区厚度仅为 $0.06\mu\text{m}$,且杂质分布非常陡峭. DCXRD 分析表明 700°C 下生长的 Si 外延层的质量很高. 所制作的击穿电压 BV_{CBO} 为 14.5V 的 SiGe HBT 器件的击穿特性很硬,在 $V_{CB}=14.0\text{V}$ 时漏电流仅为 $0.3\mu\text{A}$,而且输出特性很好.

致谢 感谢中国科学院半导体研究所的杨丽卿老师在扩展电阻测试方面所做的大量工作,感谢清华大学材料系的苗伟老师在 X 射线双晶衍射方面的大力协助.

参考文献

- [1] Nagai I, Takahagi T, Ishitani A, et al. Epitaxial growth of silicon at low temperature by ultrahigh vacuum electron cyclotron resonance plasma chemical vapor deposition. *J Appl Phys*, 1988, 64(10): 5183
- [2] Meyerson B S, Himpel F J, Uram K J. Bistable conditions for low-temperature silicon epitaxy. *Appl Phys Lett*, 1990, 57(10): 1034
- [3] Ye Zhizhen, Cao Qing, Zhang Kan, et al. Characterization of silicon epitaxial layers growth at low temperature by UHV/CVD. *Chinese Journal of Semiconductors*, 1998, 19(8): 565 (in Chinese) [叶志镇, 曹青, 张侃, 等. UHV/CVD 低温生长硅外延层的性能研究. *半导体学报*, 1998, 19(8): 565]
- [4] Wang Xiangwu, Lu Chunyi, Zhao Zhongyong. Improved two-step way for growing double-layer hetero-type Si epitaxial structure. *Research & Progress of Solid-State Electronics*, 1994, 14(1): 75 (in Chinese) [王向武, 陆春一, 赵仲铺. 改进的二步法生长双层, 异型硅外延材料. *固体电子学研究与进展*, 1994, 14(1): 75]
- [5] Xie Xiayun. A use of the double-decker extension silicon in high power device. *Chinese Journal of Semiconductor Technology*, 1998, 23(4): 40 (in Chinese) [谢夏云. 双层硅外延片在大功率器件中的应用. *半导体技术*, 1998, 23(4): 40]
- [6] Xie Zili, Chen Guizhang, Luo Hong, et al. Silicon epitaxy by very low pressure chemical vapor deposition. *Microelectronics*, 2001, 31(5): 357 (in Chinese) [谢自力, 陈桂章, 洛红, 等. VLP/CVD 低温硅外延. *微电子学*, 2001, 31(5): 357]
- [7] Luo Guangli, Chen Peiyi, Lin Huiwang, et al. Development of ultra-high vacuum system for SiGe film growth by chemical vapor deposition. *Vacuum Science and Technology (China)*, 2000, 20(5): 355 (in Chinese) [罗广礼, 陈培毅, 林惠旺, 等. 一种新型的 SiGe 超高真空化学气相沉积系统. *真空科学与技术*, 2000, 20(5): 355]
- [8] Liu Zhinong, Jia Hongyong, Luo Guangli, et al. Low temperature silicon and silicon germanium doping epitaxy by HV/CVD. *Chinese Journal of Semiconductors*, 2001, 22(3): 317 (in Chinese) [刘志农, 贾宏勇, 罗广礼, 等. HV/CD 系统 Si、SiGe 低温掺杂外延. *半导体学报*, 2001, 22(3): 317]
- [9] Jia Hongyong, Zhu Wenbin, Liu Zhinong, et al. Development of microwave SiGe HBT. *Chinese Journal of Semiconductors*, 2000, 21(10): 970
- [10] Liu Zhinong, Xiong Xiaoyi, Huang Wentao, et al. Polysilicon emitter double mesa microwave power SiGe HBT. *Chinese Journal of Semiconductors*, 2003, 24(9): 897
- [11] Liu Zhihong, Chen Changchun, Huang Wentao, et al. A study on the strain stability of Si/SiGe layer structure in a heterojunction bipolar transistor during thermal processing. *Metals and Materials International*, in press.
- [12] Cao Peidong. Principle of microelectronic technology. First edition. Beijing: Publishing House of Electronics Industry, 2001: 47 (in Chinese) [曹培栋. *微电子技术基础*. 第 1 版. 北京: 电子工业出版社, 2001: 47]

UHV/CVD n^- -Type Silicon Epitaxy Used for SiGe HBT Device*

Huang Wentao, Chen Changchun, Li Xiyou, Shen Guan hao, Zhang Wei, Liu Zhihong,
Chen Peiyi and Tsien Pei-Hsin

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: n^- -type silicon epitaxial layers were grown on arsenic-doped n^+ -type silicon substrate by ultra-high vacuum chemical vapor deposition (UHV/CVD). The transition region thicknesses of the Si layers grown under different PH_3 flux and different growth temperatures were investigated by spread-resistance probe. Results show that the growth temperature has remarkable influence on the arsenic diffusion from the Si substrate. The thickness of the transition region was $0.16\mu\text{m}$ grown at 700°C and $0.06\mu\text{m}$ at 500°C , respectively. Moreover, the dopant profiles were very abrupt. X-ray diffraction investigation of the Si layer grown at 700°C shows the quality of Si layer is very high. Silicon-germanium hetero-junction bipolar transistor (SiGe HBT) was fabricated by a revised double-mesa polysilicon-emitter process. Tests show that the CB-junction breakdown characteristic of the SiGe HBT is very hard, and the leakage current is only $0.3\mu\text{A}$ at $V_{\text{CB}} = 14.0\text{V}$. The SiGe HBT device also had good output performance with current gain $\beta = 60$ at $V_{\text{CE}} = 5\text{V}$ and $I_{\text{C}} = 3\text{mA}$.

Key words: UHV/CVD; Si epitaxy; dopant profile; SiGe; HBT

PACC: 6150J; 7360F; 8115H

Article ID: 0253-4177(2004)12-1666-06

* Project supported by National High Technology Research and Development Program of China (No. 2002AA 3Z1230)

Huang Wentao male, was born in 1977, PhD candidate. His research interests include SiGe material, SiGe HBT devices and circuits. Email: huangwentao@tsinghua.org.cn

Received 24 January 2004, revised manuscript received 4 June 2004

© 2004 The Chinese Institute of Electronics