

高可靠性 P-LDMOS 研究

孙智林 孙伟锋 易扬波 陆生礼

(东南大学国家专用集成电路系统工程研究中心, 南京 210096)

摘要: 分析了沟道高电场分布产生原因及各个参数对高电场的影响, 提出了两条沟道设计的原则——拉长沟道同时降低沟道浓度. 模拟结果显示, 两条原则能够有效地降低沟道两端的两个峰值电场, 从而缓解沟道热载流子效应, 提高 P-LDMOS 的可靠性.

关键词: LDMOS; 沟道; 峰值电场; 热载流子效应

EEACC: 2570D; 2560B

中图分类号: TN710

文献标识码: A

文章编号: 0253-4177(2004)12-1690-05

1 引言

在中等耐压 MOS 功率器件中, LDMOS(lateral double-diffused, MOS) 由于其较高的击穿电压(几百伏)、较短的开关时间(纳秒级)而被广泛应用于打印机、电动机、平板显示器等高电压、低电流领域的驱动芯片中. 目前人们对 LDMOS 研究的焦点主要集中在其漂移区及场极板上, 通过 RESURF^[1-5]、SUPERJUNCTION^[6,7]、线性浓度漂移区^[8,9]、电阻场极板^[10]等技术来实现击穿电压与导通电阻的折中, 但是很少有文章提到沟道的设计及其注意问题.

目前广泛应用的高低电压集成芯片中, 对于 N-LDMOS, 栅接标准低压, 沟道峰值电场较小, 因此由沟道电场引起的热载流子效应较弱; 对于 P-LDMOS, 高低电压兼容的 BCD 工艺及 RESURF 技术要求漂移区由离子注入形成, 为防串通, 沟道由 n 阱注入形成^[11]. 复杂的工艺不仅使沟道浓度变化较大, 鸟嘴附近存在高阻区, 更重要的是由于开启态栅与漏接同电位, 与衬底形成巨大压差, 使得沟道下电场强度的峰值很容易接近临界电场. 此电场将加剧热载流子对栅氧化层的轰击, 从而增大栅的漏电流, 降低器件可靠性, 甚至导致栅击穿. 文献[12]从微观的角度分析了热载流子对栅的影响, 但最后并没有指出导致栅击穿的最终原因; 文献[13]从宏观角度进

行了分析, 最后也没有提出解决问题的方案. 文献[14]从工艺流程角度提出了一种沟道设计方法. 很显然, 降低沟道电场将缓解沟道热载流子效应, 因此对 RESURF P-LDMOS 沟道的浓度分布、沟道长度等参数的设计显得至关重要.

本文首先对 RESURF P-LDMOS 的沟道电场进行了详尽的分析, 指出各个峰值产生的原因及影响因素, 然后提出了沟道设计的两条原则. 专业软件 Medici 模拟结果显示, 满足此两原则设计的器件, 沟道电场强度明显降低, 从而有效降低了热载流子效应, 提高了器件的稳定性与可靠性.

2 沟道下电场分析

高低电压兼容 RESURF P-LDMOS 的纵向剖视图如图 1 所示, 器件各部分尺寸见图中坐标. 器件做在浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 n 型衬底上, 硼注入形成 p-区漂移区, 注入剂量 $1 \times 10^{12} \sim 5 \times 10^{12} \text{cm}^{-2}$. 注入剂量及推进时间需要经过反复模拟优化, 使漂移区结深及浓度满足 RESURF 技术, 即临界击穿时, 漂移区左右两端的电场强度同时达到临界电场. 磷注入剂量为 $1 \times 10^{14} \text{cm}^{-2}$ 形成的 n 阱使沟道浓度远大于漂移区浓度, 从而有效防止了串通. 两次注入推阱及杂质的分凝效应使沟道杂质浓度分布异常复杂. 正常工作时, 栅与沟道两边结的共同作用有可能使

* 国家高技术研究发展计划资助项目(批准号: 2002AA1Z1550, 2003AA1Z1400)

2003-11-31 收到, 2003-12-08 定稿

栅下的电场强度的峰值接近临界电场. 下面借助专业软件 Tsuprem4 和 Medici 对沟道电场进行分析.

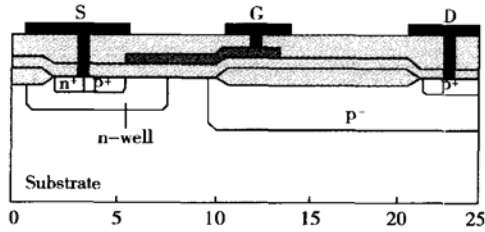


图 1 P-LDMOS 的纵向剖视图
Fig. 1 Cross section of P-LDMOS

2.1 关闭态

图 2 所示是关闭态沿 Si-SiO₂ 界面电场分布图. 可以看出图中存在两个峰值, 第一个峰值在沟道左端, 沟道与漂移区形成的 p-n 结处; 第二个峰值在漂移区的场板端点正下方. 关闭态栅接零电势, 漏端接高压, 在漂移区浓度理想的情况下, 电压均匀分布在漂移区, 场板端点与其下面的漂移区必然存在较大压差, 因而电场强度比较大. 可以看出沟道下的电场峰值远小于漂移区峰值. 因此, 沟道不会先于漂移区击穿. 防止关闭态的漂移区击穿要对漂移区浓度、结深、场板长度进行调整, 以降低场板尖端的峰值电场. 本文主要内容是沟道设计, 对此不做过多讨论.

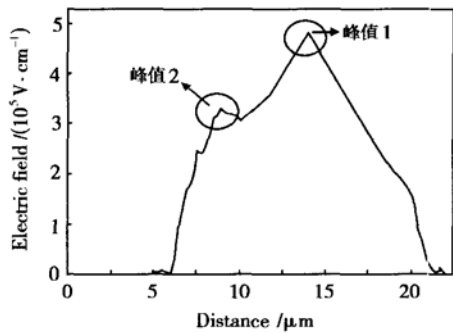


图 2 关闭态 Si-SiO₂ 界面电场分布
Fig. 2 Electric field profile along Si-SiO₂ interface at the off-state

2.2 开启态

开启态 Si-SiO₂ 界面电场分布如图 3 所示. 可以看出整个表面电场由两个 U 形曲线连接而成, 第一个 U 形曲线在沟道区, 第二个 U 形曲线在漂移区. 第二个 U 形曲线是由漂移区两边的两个结形成, 该 U 形曲线两个峰值的大小由漂移区浓度决定, 最佳

的漂移区浓度使两峰值的大小相同.

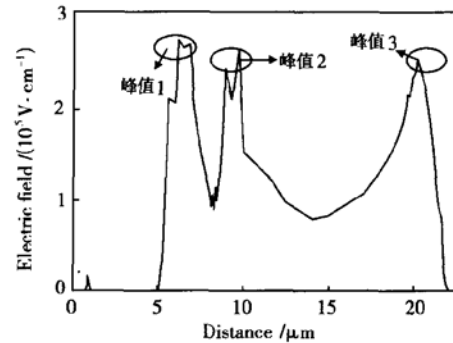


图 3 开启态 Si-SiO₂ 界面电场分布图
Fig. 3 Electric field profile along Si-SiO₂ interface at the on-state

沟道为 n 型, 它与左边漂移区的 p⁻, 右边源区的 p⁺ 形成 p⁺np⁻ 结构. 开启态时, 沟道表面一定范围内为空间电荷区, 此空间电荷区可以看成 p⁺n 结与 np⁻ 结的耗尽电荷交汇形成. pn 结由耗尽形成的空间电荷区, 结处的场强最高, 向两边逐渐变小. 因此, 沟道两侧 p⁺n, p⁻n 的结处形成两个峰值电场, 然后向中间逐渐变小, 从而形成如图 3 所示的第一个 U 型电场线.

3 开启态沟道下峰值的影响因素及改进方法

LDMOS 的漂移区与沟道交界处, 即图 3 中第二个峰值位置, 由于两次扩散的杂质高度补偿形成性能非常差的高阻区, 再加上此处电场强度较高, 很容易产生热载流子, 对栅进行轰击, 增大栅的漏电流, 从而影响器件稳定性与可靠性. 研究发现, 产生热载流子效应的很大一部分原因是沟道靠近源端的热载流子注入引起. 因此降低热载流子效应, 提高器件可靠性, 必须降低图 3 中第一个 U 型曲线的两个峰值.

图 4 所示是第一个 U 型曲线的两个峰值随沟道长度变化的情况. 由图可以看出, 随着沟道长度的变大, 第一个峰值大小几乎没有变化, 而第二个峰值逐渐变小. 由于沟道变长, 一方面, 相同的电压加在较长的长度上, 得到的必然是较小的电场强度; 另一方面, 防串通 n 阱与漂移区的 p 阱两次注入的窗口之间的距离增加, 使得 np⁻ 结补偿杂质浓度降低, 从

而减小此区域的电阻. 以上两个原因使第二个峰值电场变小. 而对于第一个峰值电场, 由于改变沟道长度对 p^+n 结浓度没有影响, 因此第一个峰值几乎没有变化.

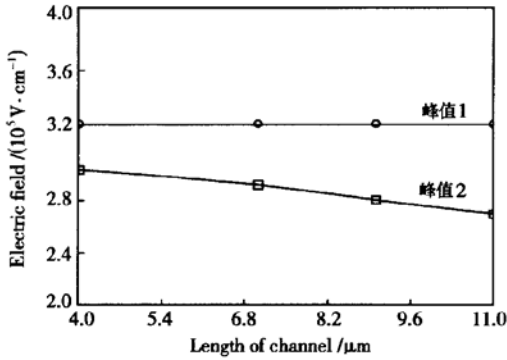


图 4 沟道下峰值电场随沟道长度变化曲线

Fig. 4 Peak electric field versus the length of the channel

图 5 所示为沟道长度较长时两个峰值电场随防串通 n 阱浓度的变化曲线. 由图可以看出, 随着 n 阱浓度的变大, 第一个峰值电场逐渐变大, 而第二个峰值电场变化不是很明显. 原因在于, p^+n 结的 n 侧浓度降低, 结处的峰值电场必然降低; 沟道较长时, np^- 结左侧磷的浓度已经降到了一个比较小的值, 此时再降低沟道浓度, 峰值电场几乎不会变化, 因此第二个峰值电场变化不明显.

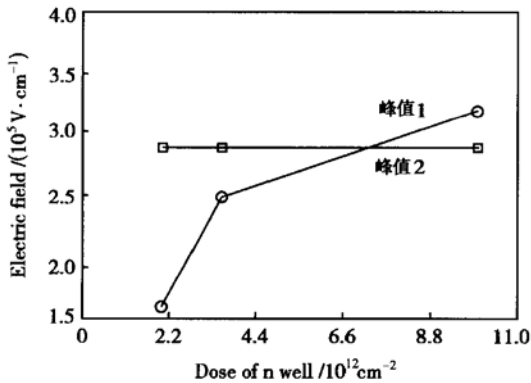


图 5 沟道峰值电场随 n 阱注入剂量变化曲线

Fig. 5 Peak electric field of the channel versus doses of the n well

图 6 所示为两个峰值电场随场板变化曲线. 由图可以看出, 随着场板的变短, 第一个峰值大小几乎没有变化, 第二个峰值则有变化. 场板较长时, 第二个峰值几乎不随场板变化; 场板较短时, 第二个峰值

随场板的减短急剧减小. 开态时, 场板具有缓解其下方电场强度的作用, 越靠近场板端点处, 缓解能力越强. 场板较长时, 场板端点离第二个峰值电场较远, 随场板长度的变化, 峰值电场变化不明显; 场板较短时, 场板端点在第二个峰值电场的正上方, 此处的电场得到较大的缓解, 从而使场强减小.

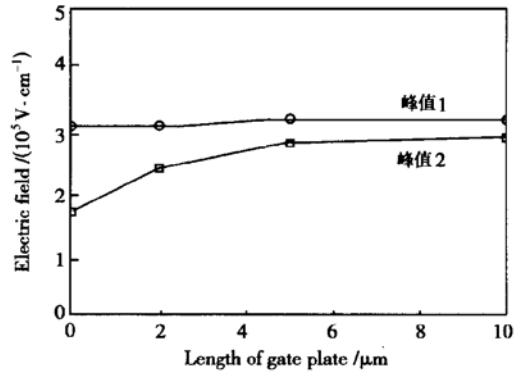


图 6 沟道下两峰之大小随栅场板搭到漂移区长度的变化曲线

Fig. 6 Peak electric field of the channel versus the length of gate plate

另外, 第二个峰值还跟漂移区浓度有很大关系. 第二个峰值电场与第三个峰值电场形成的第二个 U 型曲线的形状由漂移区浓度决定. 当漂移区浓度较大时, 由于漂移区不能完全耗尽, 第二个峰值大小远大于第三个峰值; 当漂移区浓度较小时, 漂移区完全耗尽, 高浓度的漏区也耗尽一部分, 此时第三个峰值电场的大小远大于第二个; 当漂移区浓度适中即满足 RESURF 技术时, 第二、三个峰值大小相等, 理论上, 此时漂移区具有最优耐压.

利用场板变短来降低沟道峰值电场, 往往会使器件关闭态的耐压降低, 开态导通电阻增加, 因而不可取. 为了使漂移区具有最优的耐压, 漂移区浓度应该满足 RESURF 技术, 即此时第二个 U 型曲线的两个峰值电场基本相等. 在这些已有原则的基础上, 我们提出降低 RESURF LDMOS 沟道电场、缓解热载流子效应的设计原则: (1) 保证器件面积的前提下拉长沟道长度, 使 n 阱与 p 阱两次扩散窗口的距离加大. 长的沟道长度使电压分布在较长的范围, 从而降低第二个峰值电场. n 阱与 p 阱两次扩散窗口的距离加大, 降低了 np^- 结处的杂质浓度, 使此处的迁移率变大, 电阻变小. (2) 沟道不穿通前提下 n 阱浓度尽量小. 降低 n 阱浓度, 有利于降低第一个峰值电

场,从而提高器件可靠性.

4 结论

源与沟道、沟道与漂移区的 pn 结形成两个峰值电场分布于沟道的两侧,使器件的热载流子效应加剧,降低了器件的稳定性与可靠性. 拉长沟道长度降低了 np^- 结处的杂质浓度,提高了载流子的迁移率,使第二个峰值电场降低; 保证不穿通的前提下降低 n 阱浓度, p^+n 结变成 p^+n^- 结,降低了第一个峰值电场. 专业软件 Medici 的模拟结果显示,满足此两原则设计的器件沟道热载流子效应明显减弱,因而器件可靠性明显提高.

参考文献

- [1] Kim J, Kim S G, Roh T M, et al. A novel P-channel SOI LDMOS transistor with tapered field oxides. Proceedings of 1998 International Symposium on Power Semiconductor Devices & ICs, Kyoto, 1998: 375
- [2] Kim J, Toh T M, Kim S G, et al. High voltage power integrated circuit technology using soi for driving plasma display panels. IEEE Trans Electron Devices, 2001, 48(6): 1256
- [3] Merchant S, Arnold E, Baumgart H, et al. Realization of high breakdown voltage in thin SOI devices. IEEE, 1991: 31
- [4] He Jin, Zhang Xing. Analytical model of surface field distribution and breakdown voltage for RESURF LDMOS transistor. Chinese Journal of Semiconductors, 2001, 22(9): 1102
- [5] Luo Luyang, Fang Jian, Luo Ping, et al. Breakdown characteristics of novel SOI-LDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors, 2003, 24(2): 194(in Chinese)[罗卢杨, 方健, 罗萍, 等. 具有降
- 场电极 U 形漂移区 SOI-LDMOS 的耐压特性. 半导体学报, 2003, 24(2): 194]
- [6] Fu Liwen, Yan Lida. Application of RESURF principle to SOI LDMOS transistors. Chinese Journal of Semiconductors, 1996, 17(4): 283(in Chinese)[富力文, 阎力大. RESURF 原理应用于 SOI LDMOS 晶体管. 半导体学报, 1996, 17(4): 283]
- [7] Amberetu M A, Andre C, Salama T, et al. 150V class super-junction power LDMOS transistor switch on SOI. IEEE, 2002: 101
- [8] Xu Shuming, Gan K P, Samudra G S, et al. 120V interdigitated-drain LDMOS on SOI substrate breaking power LDMOS limit. IEEE Trans Electron Devices, 2000, 47(10): 1980
- [9] Kim H W, Choi Y I, Chung S K. Linearly -graded surface doped SOI LDMOSFET with recessed source. Microelectron Eng, 2000, 51/52: 547
- [10] He Jin, Zhang Xing, Wang Yangyuan. Linearly varying surface implanted n-layer used for improving trade off between breakdown voltage and on resistance of RESURF LDMOS transistor. Microelectron J, 2001, 32: 969
- [11] Sun Weifeng, Yi Yangbo, Shi Longxing. High voltage device structure applying in panel display. Chinese patent of practical new pattern, Patent number: ZL02219093. 7[孙伟锋, 易扬波, 时龙兴. 平板显示的驱动芯片用高压器件结构. 实用新型专利, 专利号: ZL02219093. 7]
- [12] Blochl P E, Stathis J H. Aspect of defects in silica related to dielectric breakdown of gate oxide in MOSFETs. Physica B, 1999, 273/274: 1022
- [13] Manzini S, Gllerano A. Avalanche injection of hot holes in the gate oxide of LDMOS transistors, Solid-State Electron, 2000, 44: 1325
- [14] Sun W F, Shi L X. High reliability HV-CMOS transistors in standard CMOS technology. IPFA, 2003: 25
- [15] Tolomeo V. Avalanche injection of hot holes in the gate oxide of LDMOS transistors. Solid-State Electron, 2000, 44: 1325

Study of High Reliability P-LDMOS*

Sun Zhilin, Sun Weifeng, Yi Yangbo and Lu Shengli

(*National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China*)

Abstract: The distribution of the high electric field and each parameter influencing the electric field are analyzed, two principles of designing the channel are proposed——lengthening the channel while lowering its impurity concentration. Numerical simulation results indicate that the principles can lower the two peak electric fields in the channel. Thus the hot electron effects are alleviated and the reliability of the devices will consequently be enhanced.

Key words: LDMOS; channel; peak electric field; hot carrier effects

EEACC: 2570D; 2560B

Article ID: 0253-4177(2004)12-1690-05

* Project supported by National High Technology Research and Development Program of China(Nos. 2002AA1Z1550, 2003AA1Z1400)

Received 31 November 2003, revised manuscript received 8 December 2003

© 2004 The Chinese Institute of Electronics