

开关信号理论与绝热 CMOS 电路设计*

杭国强

(浙江大学信息与电子工程学系, 杭州 310027)

摘要: 重新定义了钟控信号的表示方法, 发展了适用于绝热电路的开关级设计理论. 设计了实现全部钟控信号的基本单元电路, 这些电路包括单轨和双轨结构, 并给出了它们的多种级联方式. 所提出电路的功耗与其他绝热电路相当, 并工作于二相正弦功率时钟, 因此可降低时钟电路的设计难度. 这些电路可分别应用于需要基 0 信号和基 1 信号的绝热电路设计中. 与以往大部分绝热电路不同的是, 应用所提出的电路结构可以实现在同一时钟相位有多级电路同时参加运算. 这一特性可以有效减少实现复杂逻辑电路时的等待时间以及实现流水结构时所需插入的缓冲器数目. 通过对基 0 信号 2:1 数据选择器和基 1 信号全加器的设计及 SPICE 模拟, 验证了所提出设计技术的有效性以及电路的低功耗特性.

关键词: 开关理论; 低功耗设计技术; CMOS 绝热开关; 能量恢复

EEACC: 1100; 1265A; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)12-1711-06

1 引言

绝热计算(或能量恢复)是设计 VLSI 电路并使其具有极低能耗的一种有前途的方法^[1]. 近年来已提出了多种不同结构的绝热(或能量恢复型)逻辑电路^[2-10]. 所有这些电路较之传统 CMOS 电路, 在能耗上的节省是十分显著的. 由于绝热电路的输出只在特定的时钟相位上才有效, 因此电路在级联时往往需要采用多相功率时钟. 多相功率时钟相位的要求不仅会增加时钟网络的功耗及设计难度, 而且也不利于实现复杂的逻辑功能. Kramer 等人^[2]提出的 2N-2P 和 2N-2N2P 电路级联时需采用四相功率时钟. Oklobdzija 等人^[3]提出的 PAL(pass-transistor adiabatic logic)电路采用二相功率时钟, 而且消除了接地端, 因此它较文献[2]中的设计具有更低的能耗, 但该电路在低电平输出时处于悬空状态, 这影响了电路的性能. Liu 等人^[4]通过加入两个接至地端的小尺寸 nMOS 管来消除 PAL 电路输出端的悬空状态(称为 PAL-2N 电路), 从而使电路的低电平输

出较为平坦, 但该电路需采用四相功率时钟. Hang 等人^[5]通过增加两个接至功率时钟的 nMOS 管来消除 PAL 电路输出端的悬空状态, 但仍采用二相功率时钟. Li 等人^[6]提出的设计采用二相无交叠功率时钟并通过自举效应使输出获得完整的逻辑摆幅, 但该电路因引入了两个二极管而导致较大的非绝热能耗, 且低电平输出时为悬空态. Dai 等人^[7]提出的电路采用二相功率时钟, 但还需提供一个额外的二相脉冲时钟信号用于控制传输门. 上述这些绝热电路的一个共同特点是电路的输入信号与输出信号不在同一时钟相位, 使组合电路也带有时序特征. 这样, 在实现复杂逻辑功能时, 随着级联数目的增加, 电路的等待时间也随之增加. Ng 等人^[8]、Wu 等人^[9]和 Hang 等人^[10]提出的电路实现了输入-输出在同一时钟相位. 这样在同一时钟相位就可以有多级电路同时参加运算, 从而减少复杂电路的等待时间以及在实现流水操作时所需插入的缓冲器数目.

由于在绝热电路中输入、输出信号不再是像传统静态 CMOS 电路中以电平的形式出现, 它们均为受时钟控制的信号(称为钟控信号). 而目前在绝热

* 国家自然科学基金资助项目(批准号: 60273093)

杭国强 男, 1968 年出生, 博士, 副教授, 目前主要从事低功耗数字集成电路及多值逻辑电路的设计研究.

2003-11-07 收到, 2004-05-24 定稿

电路设计中尚缺乏对信号、功率时钟与 MOS 开关状态之间关系的数学描述. 为此, 本文在文献[9, 11]的基础上重新定义了钟控信号的表示方法, 并建立了能量恢复型电路中信号、时钟与电路开关状态之间相互关系的数学描述. 在此基础上, 设计了实现全部钟控信号的基本单元电路, 这些电路包括单轨和双轨结构, 并给出了它们的多种级联方式. 所提出电路的功耗与其他绝热电路相当, 并工作于二相正弦功率时钟, 因此可以降低时钟电路的设计难度. 这些电路实现了输入-输出在同一时钟相位, 可分别应用于需要基 0 信号和基 1 信号的绝热电路设计中. 本文以基 0 信号 2:1 数据选择器及基 1 信号全加器的设计及模拟为例来演示所提出方案的有效性以及电路的低功耗特性.

2 钟控信号的表示及开关级设计理论

在动态 CMOS 电路中时钟仅起到控制开关的作用, 信号的能量仍来自于直流电源. 而在绝热电路中, 时钟承担着双重责任, 一方面控制着电路的工作节奏, 同时给信号提供能量, 因而称之为功率时钟^[1]. 这样, 为表示输出信号与时钟的关系, 有必要重新定义信号的表示形式^[9, 11]. 如同动态 CMOS 电路, 在绝热电路中也存在一个已知的状态——基态. 假设 $\text{clk} = 0$ 时电路处于置基状态, 且基态为 0, 则称该电路为基 0 电路, 相应的输出信号为基 0 信号. 反之, 若基为 1, 则称该电路为基 1 电路, 相应的输出信号为基 1 信号. 这样, 可以定义四种钟控信号, $x^{\wedge \text{clk}}, x^{\vee \text{clk}}, x^{\vee \overline{\text{clk}}}$ 和 $x^{\wedge \overline{\text{clk}}}$, 其中 \wedge, \vee , 一分别相当于取大、取小及求补运算, 它们构成绝热电路中信号变量的基本运算. 同时 \wedge, \vee 也分别表示功率时钟在上升和下降时进入赋值期, 此时的输出代表真正的逻辑值. 即 $x^{\wedge \text{clk}}$ 表示当 $\text{clk} = 0$ 时为置基 0, 当 clk 由 0 开始上升时电路进入赋值期; $x^{\vee \text{clk}}$ 则表示当 $\text{clk} = 0$ (即 $\overline{\text{clk}} = 1$) 时置基 1, 当 $\overline{\text{clk}}$ 下降时进入赋值期. 从上述四种钟控信号可以看出: $x^{\wedge \text{clk}}$ 与 $x^{\wedge \overline{\text{clk}}}$ 同属基 0 信号, 但它们的逻辑值相反; $x^{\vee \text{clk}}$ 与 $x^{\vee \overline{\text{clk}}}$ 同为基 1 信号, 逻辑值相反; $x^{\wedge \text{clk}}$ 与 $x^{\vee \text{clk}}, x^{\wedge \overline{\text{clk}}}$ 与 $x^{\vee \overline{\text{clk}}}$ 基反相, 逻辑值相同; $x^{\wedge \text{clk}}$ 与 $x^{\vee \overline{\text{clk}}}, x^{\wedge \overline{\text{clk}}}$ 与 $x^{\vee \text{clk}}$ 则基与逻辑值均反相, 即完全互补.

除了上述四种钟控信号之外还有两种信号, 即 clk 及 $\overline{\text{clk}}$, 它们实际代表了两相功率时钟. 由于 $\text{clk} = 1^{\wedge \text{clk}}, \overline{\text{clk}} = 0^{\vee \text{clk}}$, 它们的物理意义是当电路在 clk

$= 0$ 为置基时, 在基 0 电路中 clk 可替代电源和地, 而 $\overline{\text{clk}}$ 在基 1 电路中可替代电源和地. 这样, 在电路中除了 MOS 管的衬底外, 就不需要再有电源端和地端, 因此对输出信号的箝位要求也即箝位于 clk 的高电平或低电平.

以上讨论了能量恢复型电路中信号变量的表示形式及其它们的取值特点. 根据开关信号理论^[12], 电路中还应引入另一类变量, 即开关变量 α, β, \dots . 它们的取值 T、F 分别表示电路中 MOS 管的导通和截止二种状态. 与开关变量有关的基本运算为与 (\cdot)、或 ($+$)、非 (\sim), 分别记为 $\alpha \cdot \beta, \alpha + \beta, \bar{\alpha}$, 物理上分别表示 MOS 开关的串联、并联和开关状态相反三种情况.

为描写开关与信号之间的相互作用, 在绝热电路中可定义如下三种基本运算:

高阈比较运算

$$m^{0.5} \triangleq \begin{cases} T, & m > 0.5 \\ F, & m < 0.5 \end{cases} \quad (1)$$

低阈比较运算

$$m^{0.5} \triangleq \begin{cases} T, & m < 0.5 \\ F, & m > 0.5 \end{cases} \quad (2)$$

其中 0.5 代表开关的阈值, $m \in \{x^{\wedge \text{clk}}, x^{\wedge \overline{\text{clk}}}, x^{\vee \text{clk}}, x^{\vee \overline{\text{clk}}}, \text{clk}, \overline{\text{clk}}\}$. 上述两式分别表示 nMOS 与 pMOS 管的开关状态.

传输运算

$$n \triangleright \alpha = \begin{cases} n, & \alpha = T \\ \phi, & \alpha = F \end{cases} \quad (3)$$

其中 $n \in \{\text{clk}, \overline{\text{clk}}\}$, 即功率时钟源; ϕ 为高阻态(输出悬空态). 上式的物理意义为, 当 MOS 开关导通时, 接通功率时钟源实现向电路注入能量或恢复能量. 有了上述对信号变量、开关变量及它们之间相互作用的基本运算的定义, 就可以指导对能量恢复型基本单元电路的开关级设计.

3 单轨结构绝热电路设计

首先讨论四种基本钟控信号的电路实现. 若电路在 $\text{clk} = 0$ 时置基 0(即传输 clk), 则有:

$$\begin{aligned} x^{\wedge \text{clk}} &= \text{clk} \triangleright [0.5 \overline{\text{clk}} + (x^{\wedge \overline{\text{clk}}})^{0.5}] \\ &= \text{clk} \triangleright [0.5 \overline{\text{clk}} + (x^{\vee \text{clk}})^{0.5}] \end{aligned} \quad (4)$$

$$\begin{aligned} \overline{x^{\wedge \text{clk}}} &= \text{clk} \triangleright [0.5 \text{clk} + (x^{\wedge \text{clk}})^{0.5}] \\ &= \text{clk} \triangleright [0.5 \text{clk} + (x^{\vee \overline{\text{clk}}})^{0.5}] \end{aligned} \quad (5)$$

对应于上述二式的电路如图 1(a) 所示. 从图 1(a) 可

以看出,在基 0 电路中,clk 承担了电源和地的作用. 电路中用clk 控制 nMOS 确保了 $clk = 0$ 时,电路实现置基 0. 当 clk 由 0 上升进入赋值期时,逻辑值的传输通过 pMOS 完成.

若电路在 $clk = 0$ 时置基 1(即传输 \bar{clk}),则有:

$$\begin{aligned} x^{\vee clk} &= \overline{clk} \triangleright [clk^{0.5} + 0.5(x^{\wedge clk})] \\ &= \overline{clk} \triangleright [clk^{0.5} + 0.5(x^{\vee \overline{clk}})] \end{aligned} \quad (6)$$

$$\begin{aligned} \bar{x}^{\vee \overline{clk}} &= \overline{clk} \triangleright [clk^{0.5} + 0.5(x^{\wedge clk})] \\ &= \overline{clk} \triangleright [clk^{0.5} + 0.5(x^{\vee \overline{clk}})] \end{aligned} \quad (7)$$

和上述二式相对应的电路如图 1(b) 所示. 而在基 1 电路中,clk 承担了电源和地的作用. 电路中用 clk 控制 pMOS, 这样保证了当 $clk = 0$ 时电路实现置基 1. 当 clk 由高电平下降时,逻辑值的传输由 nMOS 完成.

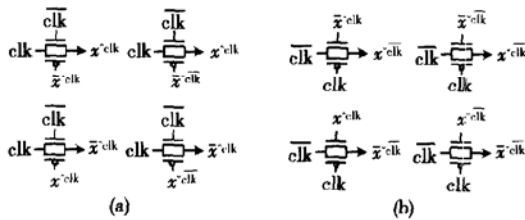


图 1 基本单元 (a) 实现基 0 钟控信号; (b) 实现基 1 钟控信号

Fig. 1 Basic cells (a) Yielding base-0 clocked signals; (b) Yielding base-1 clocked signals

将图 1 电路级联就可以实现全部基 0、基 1 信号以及基 0 与基 1 信号之间的互相转换,如图 2 所示. 注意到,图 2(a) 的输入全部为基 0 信号,而输出实现了全部的基 0、基 1 信号以及基反相信号. 在图 2(b) 中,输入全部为基 1 信号,而输出实现了全部的基 0、基 1 信号以及基反相信号. 这些电路的级联可构成绝热型多米诺(Domino)电路. 通过对信号输入 MOS 网络的扩展就可以实现任意的组合逻辑函数.

4 双轨结构绝热电路设计

上节提出的基本单元电路设计实现了钟控信号的单轨输入、单轨输出. 传输开关的其中一个控制信号由功率时钟提供,因此控制传输开关的控制信号并不完全互补,这会增加传输门的导通电阻. 为实现互补控制,传输门的控制信号应是逻辑值反相,基也反相. 这样控制信号就不能直接取自于功率时钟.

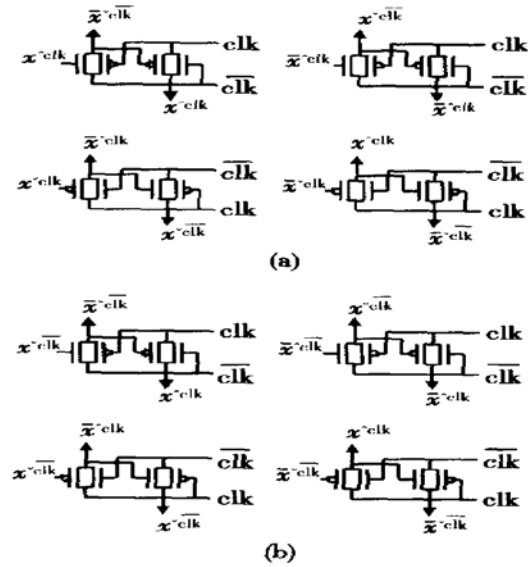


图 2 电路级联形式 (a) 基 0 信号输入; (b) 基 1 信号输入
Fig. 2 Cascode circuit (a) With base-0 input signal; (b) With base-1 input signal

四种钟控信号可以由以下四式给出:

$$x^{\wedge clk} = \overline{clk} \triangleright [0.5(x^{\vee \overline{clk}}) + (\bar{x}^{\wedge \overline{clk}})^{0.5}] \quad (8)$$

$$\bar{x}^{\wedge \overline{clk}} = \overline{clk} \triangleright [0.5(x^{\vee \overline{clk}}) + (x^{\wedge \overline{clk}})^{0.5}] \quad (9)$$

$$x^{\vee \overline{clk}} = \overline{clk} \triangleright [0.5(x^{\vee \overline{clk}}) + (x^{\wedge \overline{clk}})^{0.5}] \quad (10)$$

$$\bar{x}^{\vee \overline{clk}} = \overline{clk} \triangleright [0.5(x^{\vee \overline{clk}}) + (\bar{x}^{\wedge \overline{clk}})^{0.5}] \quad (11)$$

由上述四式可以看出,无论在置基阶段还是在赋值期均实现了互补控制. 和上述四式相对应的电路实现如图 3 所示,其中图 3(a) 产生基 0 信号,图 3(b) 产生基 1 信号. 组合图 3(a) 和 (b) 便可得到如图 4 (a) 和 (b) 所示的具有双轨输入、双轨输出的电路结构. 将图 4(a) 和 (b) 级联就可以实现输入、输出同相位的能量恢复型反相/缓冲器电路,如图 4(c) 和 (d) 所示. 图 4(c) 实现了基 0 信号的反相/缓冲运算,图 4(d) 则实现了基 1 信号的反相/缓冲运算.

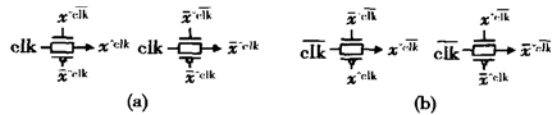


图 3 互补控制基本单元 (a) 输出基 0 钟控信号; (b) 输出基 1 钟控信号

Fig. 3 Basic cells driven with complementary inputs (a) Yielding base-0 clocked signal; (b) Yielding base-1 clocked signal

在图 4(c) 的基础上通过扩展输入 pMOS 网络就可实现基于基 0 信号的复杂逻辑功能. 图 5(a) 给

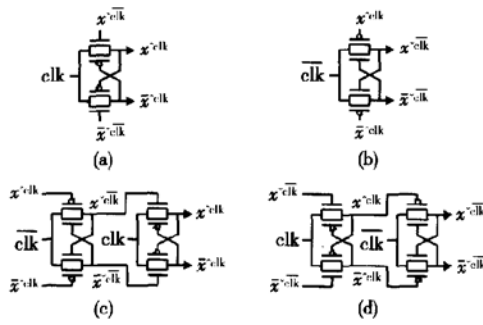


图 4 (a) N 型基转换电路; (b) P 型基转换电路; (c) 基 0 信号反相/缓冲器; (d) 基 1 信号反相/缓冲器

Fig. 4 (a) N-logic base-converting circuit; (b) P-logic base-converting circuit; (c) Inverter/buffer with base-0 input/output signals; (d) Inverter/buffer with base-1 input/output signals

出了基 0 信号 2 : 1 数据选择器, 其中 pMOS 管的并联实现“与”运算, pMOS 管的串联实现“或”运算 (为简单计, 图中简化了输入、输出基 0 信号的表示). 在采用 200MHz 正弦功率时钟时, 图 5(a) 的 SPICE 模拟输出波形如图 5(b) 所示, 图中输入为电平信号, 但输出已为基 0 钟控信号. 从图中可以看出, 该电路具有正确的逻辑功能, 并且由于加入了两个与功率时钟 clk 相接的 nMOS 管, 使得它的低电平输出较 PAL 电路得到了明显的改善. 对其他一些电路结构 (PAL-2N, PAL, 2N-2N2P) 的 2 : 1 数据选择器进行了设计并作了 SPICE 模拟. 表 1 给出了这些电路与所提出的电路在不同时钟频率下的功耗比较结果 (功率时钟的峰-峰值为 5V). 模拟时采用 1.2 μ m CMOS 标准工艺参数, 不同结构中 nMOS 管的 L/W 为 1.2 μ m/1.8 μ m, pMOS 管的 L/W 为 1.2 μ m/5.4 μ m, 对于 PAL-2N 及 2N-2N2P 电路中的下拉 nMOS 管取 L/W 为 1.2 μ m/1.2 μ m. 每个输出节点的负载电容为 20fF. 所提出的电路对应于时钟频率从 40MHz 至 300MHz 所消耗的功率为 5.3 ~ 99.4 μ W (图 5 中 clk 和 $\overline{\text{clk}}$ 两级电路消耗的功耗). 因此, 电路功耗与 PAL-2N 电路相当.

表 1 不同频率下数据选择器之间功耗比较 μ W

Table 1 Power dissipation for various MUXs at different clock frequencies μ W

频率/MHz	40	80	100	200	300
Fig. 5(a)	5.3	15.2	19.9	54.6	99.4
PAL-2N	4.9	13.1	17.0	50.2	100.7
PAL	4.2	8.9	11.9	39.5	77.3
2N-2N2P	10.7	16.0	19.6	54.8	88.2

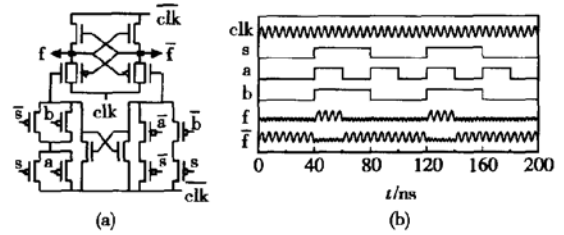


图 5 (a) 基 0 信号 2 : 1 数据选择器; (b) 采用 200MHz 时钟频率的计算机模拟结果

Fig. 5 (a) 2 : 1 multiplexer with base-0 input/output signals; (b) Waveforms of multiplexer at 200MHz clock frequency

在图 4(d) 的基础上, 通过扩展输入端的 nMOS 网络, 可以得到实现基 1 信号相加的全加器设计. 如图 6(a) 所示, 图中 s 为求和输出, c_+ 为进位输出 (为简单计, 图中简化了输入、输出基 1 信号的表示). 在相同工艺参数及激励信号条件下, 对所提出的绝热全加器与采用直流电源的 DCVS 结构全加器^[3]在不同工作频率下的功耗作了测试, 测试结果如图 6(b) 所示. 工作频率为 20MHz 时, 绝热全加器较采用直流电源的 DCVS 结构全加器节省了约 87% 的功耗, 工作频率为 200MHz 时节省了约 51%, 在工作频率为 300MHz 时节省了约 31%.

图 6(a) 所示的全加器的一个重要特点是实现了输入-输出在同一时钟相位, 这意味着在同一时钟相位可以有多个电路同时参加运算, 这可以减少实现复杂电路时的等待时间以及减少流水结构所需插入的缓冲器数目. 下面以图 7(a) 所示的串行进位全加器结构为例来演示这一特性, 图中全加器 (FA) 电路如图 6(a) 所示. 采用 100MHz 正弦功率时钟, 对图 7(a) 结构的 2 位全加器进行 SPICE 模拟. 模拟结果如图 7(b) 所示, 其中 s_1 和 s_2 为全加器的求和输出, c_{1+} 和 c_{2+} 为进位输出. 模拟时第一个全加器的输入信号采用格雷码编码, 其中 a_1 的频率为时钟频率的 1/4, b_1 和 c_1 的频率为时钟频率的 1/8. 注意到, 第二个全加器的进位输入 c_{1+} 已为钟控信号. 模拟结果验证了该电路在一个时钟相位上就可以完成 2 位全加器输入信号相加, 而其他大部分绝热全加器需要采用两个时钟相位来完成 2 位全加器输入信号相加. 随着级联数的增加这一特点带来的优越性更加明显. 注意该电路在 $\text{clk} = 0$ 时, 输出为基态 1, $\text{clk} = 1$ 时输出为真正的逻辑值, 输出信号可以在时钟信号的峰值区被取样.

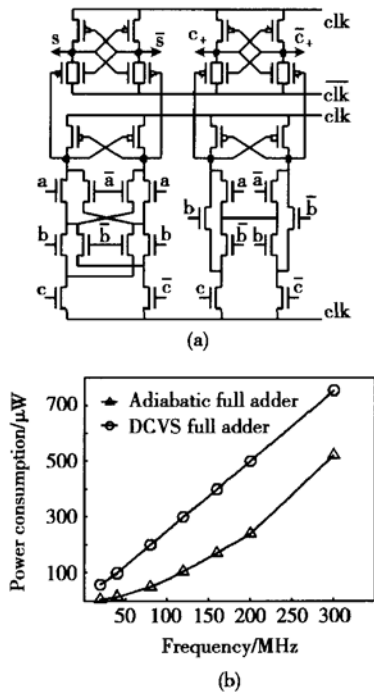


图 6 (a) 基 1 信号绝热全加器; (b) 不同频率下的功耗比较
Fig. 6 (a) Adiabatic full adder with base-1 input/output signals; (b) Power dissipation at different operating frequencies

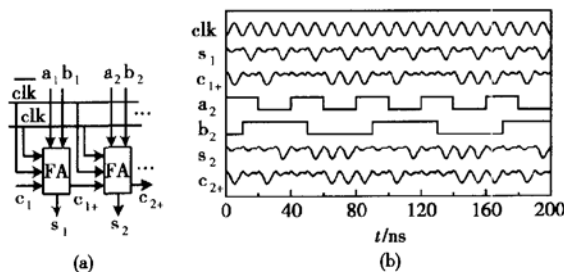


图 7 (a) 绝热串行进位全加器结构; (b) 采用 100MHz 时钟频率的模拟结果
Fig. 7 (a) Ripple-carry adder structure; (b) Simulated output waveforms of 2-bit RCA at 100MHz clock frequency

5 结论

绝热电路(能量恢复型电路)的提出为实现低功耗 VLSI 电路设计提供了一种崭新的途径. 在绝热电路中, 输入、输出信号均受功率时钟的控制, 而且信号的能量也来自于功率时钟, 因此为明确表示信号的逻辑与时序特性需要对这种信号进行重新定义. 为此, 本文讨论了钟控信号表示形式, 并发展

了适用于能量恢复型电路的开关级设计理论. 该理论成功指导了对产生各种钟控信号的单轨及双轨结构的基本电路的设计, 通过这些基本电路的级联以及扩展, MOS 管网络就可以实现具有复杂逻辑功能的组合电路. 本文提出的电路可分别应用于需要基 0 信号和基 1 信号的绝热电路设计中. 所提出电路的功耗与其他绝热电路相当, 并且由于它们可工作于二相正弦功率时钟, 因此可以有效降低时钟电路的设计难度. 为消除输出端悬空状态对电路性能的影响, 在所提出的绝热电路中采用了文献[5]提出的方法, 从而使电路的逻辑输出始终箝位于功率时钟的高、低电平. 与以往大部分绝热电路不同的是, 应用本文所提出的电路结构设计的绝热电路, 在当前时钟相位接收的输入信号可以在该时钟相位产生输出, 即实现了输入-输出在同一时钟相位. 应用这一特性可以在同一时钟相位有多级电路同时参加运算, 从而减少系统的输入-输出等待时间以及实现流水结构时所需插入的缓冲器数目. SPICE 模拟验证了所提出设计技术的有效性以及电路的低功耗特性. 因此, 本文所提出的绝热电路可应用于低功耗系统的设计中.

参考文献

- [1] Denker J S. A review of adiabatic computing. Proceedings of the Symposium on Low Power Electronics, San Diego, 1994: 94
- [2] Kramer A, Denker J S, Flower B, et al. 2ND order adiabatic computation with 2N-2P and 2N-2N2P logic circuits. Proceedings of the International Symposium on Low Power Design, Dana Point, 1995: 191
- [3] Oklobdzija V G, Maksimovic D, Lin F. Pass-transistor adiabatic logic using single-clock supply. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 1997, 44(10): 842
- [4] Liu F, Lau K T. Pass-transistor adiabatic logic with NMOS pull-down configuration. Electron Lett, 1998, 34(8): 739
- [5] Hang Guoqiang, Wu Xunwei. Adiabatic CMOS switching circuits adopting two-phase power-clock supply and avoiding floating output. Chinese Journal of Semiconductors, 2001, 22(3): 366(in Chinese) [杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路. 半导体学报, 2001, 22(3): 366]
- [6] Li Xiaomin, Qiu Yulin, Chen Chaoshu. A type of bootstrapped charge-recovery logic circuit. Chinese Journal of Semiconductors, 2000, 21(9): 887(in Chinese) [李晓民, 仇玉林, 陈潮枢. 一种利用自举效应的 Charge-Recovery 逻辑电路. 半导体学

- 报, 2000, 21(9): 887]
- [7] Dai Hongyu, Zhou Runde. Clocked quasi-static energy recovery logic. Chinese Journal of Semiconductors, 2003, 24(4): 421(in Chinese) [戴宏宇, 周润德. 钟控准静态能量回收逻辑电路. 半导体学报, 2003, 24(4): 421]
- [8] Ng K W, Lau K T. Improved PAL-2N logic with complementary pass-transistor logic evaluation tree. Microelectronics Journal, 2000, 31(1): 55
- [9] Wu Xunwei, Hang Guoqiang, Pedram M. Low power DCVSL circuits employing AC supply. Science in China (Series F), 2002, 45(3): 232
- [10] Hang G, Wu X. Improved structure for adiabatic CMOS circuits design. Microelectronics Journal, 2002, 33(5/6): 403
- [11] Hang Guoqiang . Research on the design of adiabatic CMOS circuits. PhD Dissertation of Zhejiang University, 2000[杭国强. 绝热 CMOS 电路设计研究. 浙江大学, 博士学位论文, 2000]
- [12] Wu X, Prosser F. Design theory of digital circuits at switch level. Science in China (Series E), 1996, 39(4): 424
- [13] Heller L G, Griffin W R, Davis J W, et al. Cascode voltage switch logic: a differential CMOS logic family. Proceedings of the International Conference on Solid-State Circuits, San Francisco, 1984: 16

Switch-Signal Theory and Adiabatic CMOS Switching Circuits^{*}

Hang Guoqiang

(Department of Information & Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: The expressions of clocked signals are re-defined and the switch level design theory suitable for energy recovery circuits is established. Some basic circuits with single and dual rail structure used to realize all clocked signals are designed, whose cascode types are also presented. The power consumption of the proposed circuits is comparable to that of some reported circuits. The proposed circuits have two-phase sinusoidal power clock, which can relatively simplify power clock generator, and they can be applied to the adiabatic circuits design when base-0 signals and base-1 signals are required, respectively. In particular, using the proposed architecture more than one stage of gates can be computed simultaneously within a single clock phase, compared to only one stage is computed in every phase by most other adiabatic logic families. With this feature, the latency of the complex logic circuit is greatly improved and the number of buffers required for a pipelining circuit is also reduced. A 2 : 1 multiplexer with base-0 signals and full adder with base-1 signals are illustrated and simulated. From the SPICE simulation results, the effectiveness of the proposed approach and the low power characteristic of the designed circuits are validated.

Key words: switch-signal theory; low power design technique; CMOS adiabatic switching; energy recovery

EEACC: 1100; 1265A; 2570D

Article ID: 0253-4177(2004)12-1711-06

* Project supported by National Natural Science Foundation of China(No. 60273093)

Hang Guoqiang male, was born in 1968, PhD, associate professor. He is now engaged in the research on low power VLSI design and multiple-valued logic circuits design.

Received 7 November 2003, revised manuscript received 24 May 2004

©2004 The Chinese Institute of Electronics