

# 恒压应力下超薄 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 叠层栅介质 与 $\text{SiO}_2$ 栅介质寿命比较\*

林 钢 徐秋霞

(中国科学院微电子研究所, 北京 100029)

**摘要:** 以等效氧化层厚度(EOT)同为 2.1nm 的纯  $\text{SiO}_2$  栅介质和  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质为例, 给出了恒定电压应力下超薄栅介质寿命预测的一般方法, 并在此基础上比较了纯  $\text{SiO}_2$  栅介质和  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质在恒压应力下的寿命. 结果表明,  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质比同样 EOT 的纯  $\text{SiO}_2$  栅介质有更长的寿命, 这说明  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质有更高的可靠性.

**关键词:** 恒压应力; 超薄  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质; 超薄  $\text{SiO}_2$  栅介质; 栅介质寿命预测

**PACC:** 8160      **EEACC:** 2550E; 2560R

**中图分类号:** TN406      **文献标识码:** A      **文章编号:** 0253-4177(2004)12-1717-05

## 1 引言

作为 CMOS 器件核心的栅介质, 其缺陷产生机制一直都是 CMOS 工艺中研究的焦点<sup>[1]</sup>. 这项研究已经有三十多年历史, 至今仍然没有得出统一的结论. 目前主要存在的缺陷产生模型包括界面氢释放模型、热化学模型、阳极空穴注入模型、电压驱动模型等. 现在一般认为电压驱动模型更适合于解释超薄栅介质(厚度小于 4nm 的栅介质)的缺陷产生机制<sup>[2,3]</sup>.

栅介质可靠性研究中一个重要课题就是栅介质的寿命预测. 在当前工业应用中, 一般要求 CMOS 器件能够连续正常工作 10 年. 通过做 10 年测试来检验栅介质寿命既不经济也不现实, 因此需要合适的测试方法来进行栅介质寿命预测<sup>[4,5]</sup>. 通常采用的方法包括电压/电流应力测试和温度应力测试, 即施加比实际应用条件更苛刻的电压/电流/温度等应力在较短时间内加速栅介质老化, 然后采用一定的栅介质缺陷产生模型, 将测试数据“外推”到实际工作情况中对应的数据, 从而预测出栅介质的寿命. 本文

采用恒压应力测试方法以及电压驱动模型, 对比研究了等效氧化层厚度(EOT)同为 2.1nm 的纯  $\text{SiO}_2$  栅介质和  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质的寿命, 结果表明  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质有更高的可靠性.

## 2 实验

### 2.1 样品准备

在 n(100) 衬底上制备了 EOT 为 2.1nm 的纯  $\text{SiO}_2$  栅介质 PMOS 电容和  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质 PMOS 电容样品(为简单起见, 以下我们用 N/O stack 来代表  $\text{Si}_3\text{N}_4/\text{SiO}_2$  叠层栅介质). 衬底电阻率  $2\sim 4\Omega\cdot\text{cm}$ , 电容面积  $3.14\times 10^4\mu\text{m}^2$ . 采用标准 CMOS 工艺, 主要流程如下:

LOCOS 隔离; 栅介质制备: pure oxide, N/O stack; 制作多晶硅电极; Ti-Salicide; 背面金属化; 恒压应力测试.

在上面的工艺流程中, 采用热生长方法制备纯  $\text{SiO}_2$  栅氧; N/O 叠层栅介质中的氧化膜采用氮注入硅衬底再氧化的方法制备;  $\text{Si}_3\text{N}_4$  层采用 LPCVD 方

\* 国家重点基础研究发展规划资助项目(批准号: G200036504)

林 钢 男, 1977 年出生, 硕士研究生, 现从事 CMOS 器件超薄栅介质的研究.

徐秋霞 女, 1942 年出生, 教授, 现从事亚 50nm CMOS 器件和技术研究.

2003-12-03 收到, 2004-04-09 定稿

法制备;采用 Ti 硅化物来减小掺杂多晶硅栅的串联电阻;采用背面金属化来减小测量时的接触电阻。

为了确定电容样品栅介质的 EOT, 我们首先测量了电容样品的高频  $C-V$  曲线, 然后采用加州大学伯克利分校开发的量子机械电容-电压模拟器<sup>[6]</sup>对  $C-V$  测量的结果进行拟合, 得到了样品的等效氧化层厚度。

图 1 给出了积累状态下纯  $\text{SiO}_2$  栅介质和 N/O stack 栅介质 PMOS 电容典型的高频  $C-V$  曲线。从图中可以看到, 纯  $\text{SiO}_2$  栅介质电容较 N/O stack 栅介质电容有显著的平带电压正向漂移。图 2 给出了两种介质栅漏电流的比较, 可以看到 N/O stack 栅介质电容的栅漏电流远小于  $\text{SiO}_2$  电容的栅漏电流。在电压较低时, 漏电流差达到 2~3 个数量级。随着扫描电压不断升高, 漏电流的差逐渐缩小, 但也保持在一个数量级水平。

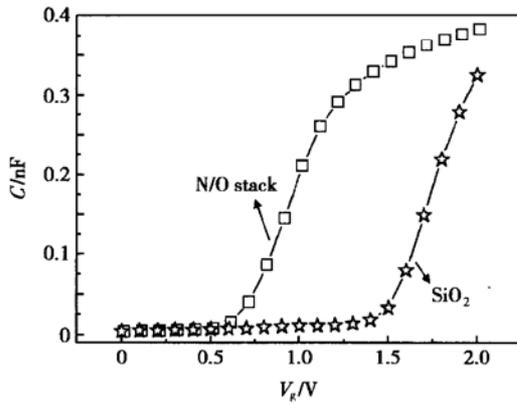


图 1 N/O 结构与  $\text{SiO}_2$  PMOS 电容的高频  $C-V$  特性比较  
Fig. 1 HF  $C-V$  characteristics comparison between N/O stack and  $\text{SiO}_2$  PMOS capacitor

N/O stack 结构隧穿漏电流小的原因可以归结为, 在具有同样 EOT 的条件下, N/O stack 结构有更大的物理厚度; 另一方面, N/O stack 的缓冲氧化层是采用氮注入硅衬底再氧化方法制备的氮化氧化硅薄膜, 它与衬底 Si 之间有更好的界面特性<sup>[7]</sup>。

## 2.2 恒压应力测试方法

对栅氧可靠性研究, 需要用合适的测试方法。在早期厚栅氧可靠性研究中, 一般采用恒流应力方法。而最近的研究结果表明, 对于厚栅氧(栅氧厚度 > 7nm), 恒流应力的方法是合适的, 但对于超薄栅氧, 由于直接隧穿电流的严重影响, 不宜采用恒流应力方法, 而应该采用恒压应力方法<sup>[4]</sup>。

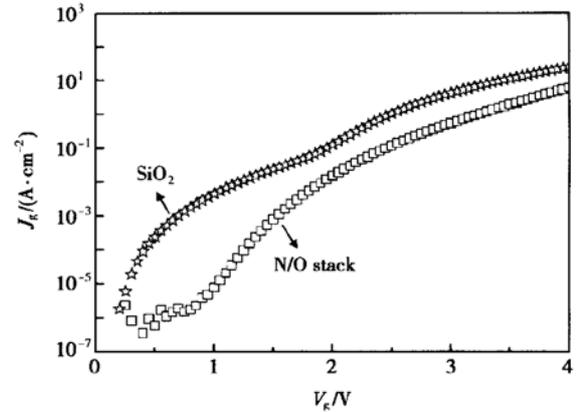


图 2 N/O 结构与  $\text{SiO}_2$  电容的  $I_g-V_g$  特性比较

Fig. 2  $I_g-V_g$  characteristics comparison between N/O stack and  $\text{SiO}_2$  capacitor

图 3 给出了恒压应力和恒流应力下,  $T_{\text{bd}}$  和  $Q_{\text{bd}}$  对栅氧厚度的依赖关系。由图可见, 对于恒压应力方法, 随栅氧厚度变薄,  $T_{\text{bd}}$  和  $Q_{\text{bd}}$  的值都随之减小; 而对于恒流应力方法, 随栅氧厚度变薄,  $T_{\text{bd}}$  和  $Q_{\text{bd}}$  的值

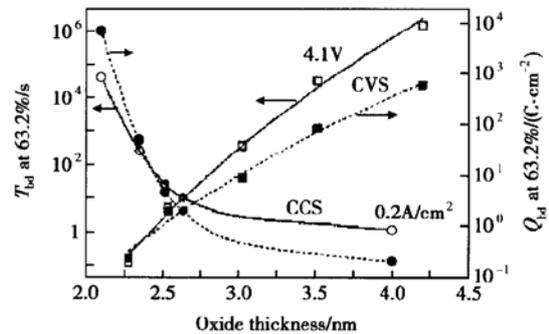


图 3 恒压应力和恒流应力下  $T_{\text{bd}}/Q_{\text{bd}}$  随  $\text{SiO}_2$  厚度的变化<sup>[4]</sup>

Fig. 3  $T_{\text{bd}}/Q_{\text{bd}}$  versus oxide thickness for CVS and CCS<sup>[4]</sup>

都随之增大, 也就是说, 更薄的栅氧有更好的可靠性, 这显然是不合理的。对于恒流应力测试中出现的这种“反常”现象的解释是: 随着栅氧变薄, 隧穿电流会指数增长。也就是说在同样电流密度下, 相应的栅介质上电压会大大降低。引用文献[4]中的报道, 如果给定电流密度  $0.2\text{A}/\text{cm}^2$ ,  $4.2\text{nm}$  厚的栅氧对应的应力电压为  $5.8\text{V}$ , 而  $2\text{nm}$  的栅氧对应的应力电压仅为  $2\text{V}$  左右, 电压降低了  $3.8\text{V}$ 。由于电压的大大降低, 导致了栅氧缺陷产生速率 ( $P_g$ ) 的急剧降低 (降低的程度可达 8~9 个数量级, 原因是缺陷产生

速率受电压的强控制). 与缺陷产生速率相比, 临界缺陷密度( $N_{bd}$ ) 降低的速度则很慢(降低了 4 个数量级左右). 根据公式:

$$Q_{bd} = N_{bd}/P_g$$

$$T_{bd} = Q_{bd}/J = N_{bd}/(P_g J)$$

其中  $J$  为电流密度.

不难看出, 对于恒流应力方法, 上面两式中分母减小的速率远大于分子减小的速率, 相除的结果是随着栅氧变薄,  $Q_{bd}$  和  $T_{bd}$  的值都增大. 而恒压应力下  $Q_{bd}$  随着栅氧厚度的减小而减小的结果则直接反应了临界缺陷密度的减小.

根据上面的分析, 我们选择恒压应力对电容样品进行测试, 测试设备为 HP4145 半导体参数分析仪. 在测试过程中, 选定电流的第一次突变作为击穿点, 得到击穿对应的  $T_{bd}$  值. 在每个固定电压下, 测试样品数目为 60 个左右.

### 3 结果和讨论

#### 3.1 Weibull 统计分布

对实验样品进行恒压应力测试, 将得到的  $T_{bd}$  值进行 Weibull 统计分布(对于 Weibull 统计分布的介绍可以参考文献[8]), 结果如图 4 所示(图中  $F$  为累积失效率, 下同).

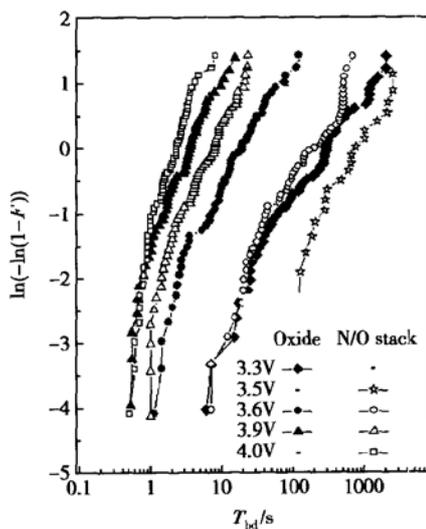


图 4 N/O 结构与 SiO<sub>2</sub> 栅介质的 TDDB 特性比较

Fig. 4 TDDB characteristics comparison between N/O stack and SiO<sub>2</sub> capacitor

从图 4 中可以看到:

(1) N/O stack 结构和 SiO<sub>2</sub> 栅介质的  $T_{bd}$  分布都比较集中, 说明两种栅介质膜都有好的均匀性;

(2) 在相同的电压下(如 3.6V 和 3.9V), 可以看到, N/O stack 结构的  $T_{bd}$  远大于 SiO<sub>2</sub> 栅介质的  $T_{bd}$  值, 说明 N/O stack 结构有更好的可靠性.

对 Weibull 分布结果进行数学拟合, 可以得到某一失效率对应的  $T_{bd}$  值. 最大似然拟合可以很精确地得到 Weibull 分布对应的形状因子  $\gamma^{[5]}$ . 由于缺乏合适的数学软件, 我们简单的采用线性拟合方法. 图 5 给出了在 3.6V 和 3.9V 栅压下 N/O stack 和纯 SiO<sub>2</sub> 栅介质 Weibull 分布的线性拟合结果以及累积失效率  $F$  为 63.2% 时对应的  $T_{bd}$  值(图中水平虚线与拟合直线的交点对应的  $T_{bd}$  值).

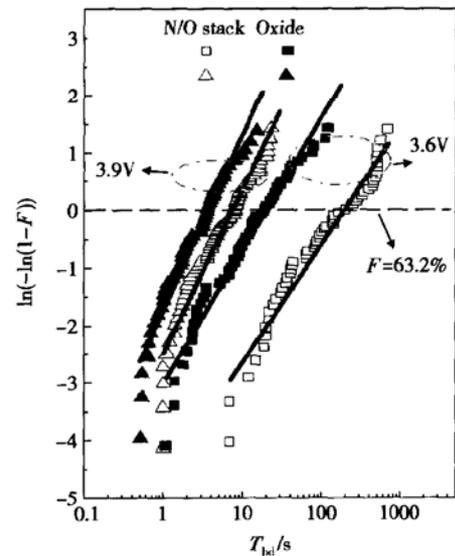


图 5 N/O 结构与 SiO<sub>2</sub> PMOS 电容的  $T_{bd}$ @ 63.2% 比较

Fig. 5 Comparison of  $T_{bd}$ @ 63.2% between N/O stack and SiO<sub>2</sub> PMOS capacitor

#### 3.2 超薄栅介质的寿命预测

对于某一厚度的栅介质, 得到其在不同电压下的  $T_{bd}$ @ 63.2%, 就可以根据这些在较高电压下的测量数据预测栅介质在通常工作电压下的寿命.

对于超薄栅介质的寿命预测, 目前公认为电压驱动模型较合适<sup>[2-5]</sup>. 下面是文献[9]给出的  $T_{bd}$  与电压  $V$  的关系:

$$T_{bd} \propto V^{-n}$$

式中  $V$  为电压;  $n$  近似为常数.

采用这一关系, 预测结果如图 6 所示.

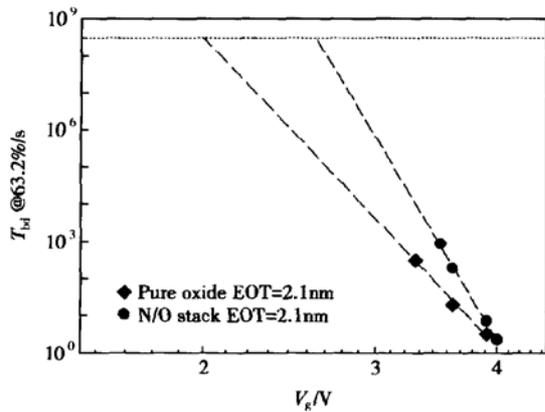


图6 N/O结构与SiO<sub>2</sub>栅介质寿命预测

Fig. 6 Lifetime projection of N/O stack and SiO<sub>2</sub> gate dielectrics

从图6的预测结果可以看出, EOT为2.1nm的N/O stack栅介质安全工作10年对应的工作电压为2.6V左右, 而同样EOT的纯SiO<sub>2</sub>栅介质对应的10年工作电压为1.9V左右, 前者远大于后者. 换句话说, 在相同的工作条件下, N/O stack栅介质有更长的工作寿命.

寿命预测结果反映出在同样EOT下, N/O stack栅介质有更好的可靠性. 对此可以做如下的解释: 同样EOT下, N/O stack栅介质有更大的物理厚度, 因此栅隧穿漏电流远小于纯SiO<sub>2</sub>栅介质的漏电流(参看图2). 因此由于栅隧穿漏电流造成的栅介质损伤(如栅介质中的陷阱)也远远小于纯Oxide栅介质, 因此N/O stack栅介质有更好的可靠性.

## 4 结束语

本文以EOT为2.1nm的纯SiO<sub>2</sub>栅介质和N/O叠层栅介质为例, 给出了恒压应力下栅介质寿命预测的一般过程, 包括恒压应力与恒流应力方法的选择; 对测试数据的统计分布、拟合以及提取某一失效率下的 $T_{bd}$ 值; 选择电压驱动模型进行寿命预测

等. 需要指出的是, 在实际的工程可靠性分析中, 精确的栅氧寿命预测非常困难, 因为要在尽可能宽的电压窗口范围内, 统计大量的实验数据, 在电压比较低的情况下, 测试的时间会很长.

采用恒压应力方法以及电压驱动模型, 我们的预测结果显示, 同样EOT下N/O叠层栅介质的寿命远高于纯SiO<sub>2</sub>栅介质的寿命, 说明N/O叠层栅介质有更好的可靠性.

## 参考文献

- [1] Suehle J S. Ultrathin gate oxide reliability: physical models, statistics, and characterization. IEEE Trans Electron Devices, 2002, 49(6): 958
- [2] Nicollan P E, Hunter W R, Hu J C. Experimental evidence for voltage drive breakdown models in ultrathin gate oxides. IEEE IRPS, 2000: 7
- [3] Takayangi M, Takagi S I, Toyoshima Y. Experimental study of gate voltage scaling for TDDB under direct tunneling regime. IEEE IRPS, 2001: 380
- [4] Wu E Y, Abadeer W W, Han K L, et al. Challenges for accurate reliability projections in the ultra-thin oxide regime. IEEE IRPS, 1999: 57
- [5] Weir B E, Alam M A, Silverman P J, et al. Ultra-thin gate oxide reliability projections. Solid-State Electron, 2002, 46: 321
- [6] <http://www-device.eecs.berkeley.edu/research/qm-cv/qm-cv.html>
- [7] Xu Qiuxia, Qian He, Han Zhengsheng, et al. Characterization of 1.9- and 1.4-nm ultrathin gate oxynitride by oxidation of nitrogen-implanted silicon substrate. IEEE Trans Electron Devices, 2004, 51(1): 113
- [8] Mu Fuchen, Xu Mingzhen, Tan Changhua, et al. Statistical failure characteristics of n-MOSFET's with ultrathin gate oxides under FN stress and lifetime prediction. Chinese Journal of Semiconductors, 2001, 22(12): 1577(in Chinese) [穆甫臣, 许铭真, 谭长华, 等. FN应力下超薄栅n-MOSFET失效的统计特征及寿命预测. 半导体学报, 2001, 22(12): 1577]
- [9] Wu E Y, Aitken J, Nowak E, et al. Voltage-dependent voltage-acceleration of oxide breakdown for ultrathin oxides. IEEE IEDM, 2000: 541

## Lifetime Comparison Between Ultra-Thin N/O Stack and $\text{SiO}_2$ Gate Dielectrics Under Constant Voltage Stress\*

Lin Gang and Xu Qiuxia

(*Institute of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China*)

**Abstract:** Ultra-thin N/O stack gate dielectrics and pure oxide gate dielectrics with the same EOT (2.1nm) are used as the samples. A common way for the ultra-thin gate dielectrics lifetime projection with the CVS method is given. Based on this, the lifetime is compared between the ultra-thin N/O stack gate dielectrics and pure oxide gate dielectrics. The result shows that N/O stack gate dielectrics have much longer lifetime than pure oxide gate dielectrics of the same EOT, which also indicates that N/O stack gate dielectrics have better reliability than the pure oxide gate dielectrics do.

**Key words:** constant voltage stress(CVS); ultra-thin N/O stack gate dielectrics; ultra-thin  $\text{SiO}_2$  gate dielectrics; gate dielectrics lifetime projection

**PACC:** 8160      **EEACC:** 2550E; 2560R

**Article ID:** 0253-4177(2004)12-1717-05

---

\* Project supported by State Key Development Program for Basic Research of China (No. G20036504)

Lin Gang male, was born in 1977, master candidate. His researches focus on the ultra-thin gate dielectrics for CMOS devices.

Xu Qiuxia female, was born in 1942, professor. Her research includes sub-50nm CMOS devices and technologies.

Received 3 December 2003, revised manuscript received 9 April 2004

©2004 The Chinese Institute of Electronics