

电荷泵法研究 FLASH 擦工作时带带隧穿引起的界面损伤*

苏 显 朱 钧 陈宇川 潘立阳 刘志弘

(清华大学微电子所, 北京 100084)

摘要: FLASH 在擦操作的过程中, 带带隧穿产生的空穴注入将会在 $\text{SiO}_2/\text{SiO}_2$ 界面和氧化层中产生带电中心(包括界面态和陷阱), 影响电路的可靠性。利用电荷泵方法, 通过应力前后电荷泵电流的改变确定出界面态和陷阱电荷的空间分布, 为 FLASH 单元设计与改进可靠性, 提供了理论和实验基础。

关键词: 带带隧穿; 电荷泵; 倍增因子

EEACC: 1265D

中图分类号: O485

文献标识码: A

文章编号: 0253-4177(2001)01-0069-05

1 引言

FLASH 存贮器^[1]以其优越的性能成为半导体存贮器市场中发展最为迅速的一支, 广泛应用于硬盘驱动控制器、数字蜂窝电话、汽车和微控制器等许多领域。由于 FLASH 在编程时要承受较大编程脉冲的电场应力, 其可靠性一直是 FLASH 器件性能的一个主要研究方向。一般认为 FLASH 的可靠性问题主要是由编程过程中产生的电荷陷阱及界面态所引起, 因而对应力后陷阱及界面态的横向分布及其对器件性能的影响的研究对改善 FLASH 存贮器的可靠性具有至关重要的意义。尤其是在用源端 FN 电流进行擦除操作时, Band-to-Band 效应^[2]会导致热空穴注入, 并在氧化层中引入界面态和电荷陷阱。目前主要采用电荷泵方法^[3,4]来研究氧化层中陷阱和界面态的横向分布^[5]。本文采用电荷泵方法对 FLASH 可靠性的研究表明源擦除中带带隧穿引起的界面态和电荷陷阱主要在源结附近, 而 FN 电流造成的损伤相对较小。另外, 由于氧化层中固定电荷的影响造成 I_{cp} 的参考值具有一定的不确定性, 我们在擦操作后进行反向中和消除了陷阱电荷对电荷

泵电流的影响, 并通过应力前后及中和后电荷泵电流的改变确定出界面态和陷阱电荷的空间分布。

2 FLASH 擦工作时的带带隧穿效应

闪速存贮器 FLASH 擦过程中, 为了使浮栅上的电子能够通过 FN 效应离开浮栅, 需要氧化层中有很高的电场。其工作条件要求控制栅接地时, 源电极加高电压, 这将会引起带带隧穿效应。这是可编程存储器的重要的蜕化机理。如图 1(a) 所示^[6], 发生带间隧道效应的原因主要是由于能带的弯曲程度超过了 Si 半导体禁带的宽度 E_g , 这样根据量子理论, 电子将能够从价带隧穿过禁带而进入导带。当一个电子离开价带时, 同时将会有一个空穴在价带产生, 正如图 1(a) 所示意的情况。描述带间隧道效应的电流密度 J_{bb} 的经验公式如下:

$$J_{bb} = \alpha_{bb} E_{Si}^2 \exp[-\beta_{bb}/E_{Si}] \quad (1)$$

式中 α_{bb} 和 β_{bb} 是常数; E_{Si} 是硅衬底区域的场强。对于带间隧道效应, 有两个参数必须考虑: 第一个是在带间隧道效应发生处的能带弯曲的值, 它必须大于禁带宽度 1.12eV; 另外一个是硅区域内的电场强度 E_{Si} , 它将影响电子空穴对的产生。对于 MOSFET 结

* 国家九五科技攻关项目。

苏 显 男, 1974 年出生, 硕士研究生, 专业: 半导体器件与微电子学。

1999-07-01 收到, 2000-01-06 定稿

©2001 中国电子学会

构,包括我们所讨论的FLASH,最容易发生隧穿的点在PN结接近Si/SiO₂界面处,如图1(b)所示,这主要是由于该点是栅电压和结偏置的相互作用最强的地方.

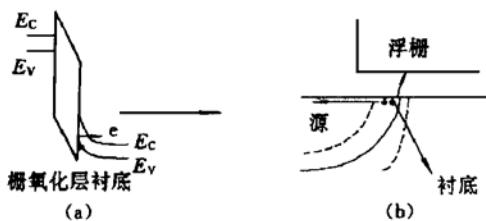


图1 浮棚和源交叠区的带带隧穿效应

FIG. 1 Band-to-Band T Tunneling Between Gate and Source

由于FLASH的擦除过程一般采用在源或漏加高压以产生FN效应进行擦除,在源或漏结上存在反向高压,不可避免地导致带间隧道效应,产生的空穴流向衬底形成衬底电流,如图1(b)所示.但也有小部分经电场加速注入浮棚氧化层,引起擦除阈值电压变化,并能导致存储单元电荷保持性能下降.

3 电荷泵法的基本原理^[7]

电荷泵方法的基本实验装置见图2.在MOSFET的源漏极通过电流表接地,栅电极加一个脉冲电压.如果脉冲的高电平大于MOSFET的阈值电压,而低电平小于平带电压,则栅电压位于脉冲高电

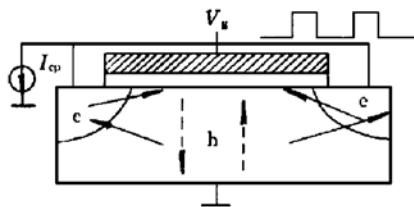


图2 电荷泵测量的基本装置

FIG. 2 Equipment of Charge Pump

平时,MOSFET表面反型,电子从源漏结流入沟道,其中一部分被界面态俘获.当栅电平由脉冲高电平向脉冲低电平过渡时,因为下降时间很短,在这一过程中,反型层的可动电子将流回源漏.而被界面态俘获的电子,尤其是被深能级界面态俘获的电子,由于发射时间的限制,来不及发射到导带去.当沟道变成积累层时,电子将同衬底来的空穴复合.当栅电平从低电平向高电平瞬变时,将有一部分来不及向价带

发射的空穴和从源漏来的电子复合.这样,在一个周期内,由于界面态所起的复合中心的作用,相当于有电荷从衬底“运输”到源漏电极.

$$I_{cp} = 2qfA kTD_{it}\ln(1/(V_{th}n_i \sqrt{\sigma_n\sigma_p} \sqrt{t_{em,e}t_{em,h}})) \quad (2)$$

式中 A 为对电荷泵电流起贡献的有效面积; D_{it} 为沟道单位能量间距界面态密度; f 为栅脉冲频率; V_{th} 为热载流子速度; $\sqrt{\sigma_n\sigma_p}$ 为电子和空穴俘获截面的几何平均值; $t_{em,e}$ 和 $t_{em,h}$ 分别为由阈值电压到平带电压之间所加脉冲信号的上升时间和下降时间.

4 应力损伤造成界面态的分布

由先前的分析知道,FLASH擦过程中带带隧穿效应产生的空穴可以注入氧化层中.注入空穴不仅产生了陷阱空穴,而且会产生界面态.

在某些情况下,如果陷阱电荷能够被相反电性的电荷中和,就可以用电荷泵法分别描述界面态和陷阱电荷的分布.比如说,在NMOSFET经过空穴注入之后,再进行沟道的热电子注入,电子将主要注入到靠近源附近的氧化层中,被陷阱俘获的空穴也在这个区域.由于空穴填充的陷阱的电子俘获截面很大^[8],注入的电子能够充分和空穴复合.

直接测量FLASH的电荷泵电流,由于经过一定的擦写次数后浮棚电荷量有所变化,将会影响沟道电荷泵阈值电压,不容易获得准确结果.用栅氧化层厚度为10nm的NMOSFET测量,能够等效反映隧道氧化层厚度为10nm的FLASH的界面态产生情况.考虑到FLASH擦时源和控制栅之间的电压为15V,擦时的电容耦合率大约为0.7—0.8.对初始NMOSFET样品施加的应力条件为: $V_g = -6V$, $V_d = 6V$, $t = 400s$.

强电场下的电离碰撞产生了MOSFET的衬底电流,倍增因子 M (定义为器件在发生热电子效应时的 I_{sub}/I_s)直接反映了沟道横向电场峰值的大小.这个电场峰值受局域的界面电荷的影响:界面电荷为正时,电场峰值下降;界面电荷为负时,电场峰值上升.由图3可以看出经过应力后, $M-V_g$ 的曲线会向左移动,在同样 V_g 下 M 减小,表明了漏上方的氧化层有了被陷阱俘获的空穴.同时对照图4,发现电荷泵电流由初始的最大值 $5.5 \times 10^{-10} A$ 增加到应力后的 $10^{-9} A$,表明在这个应力过程中,产生了新的界面态.

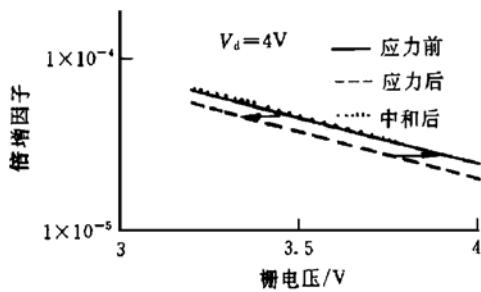


图 3 应力前后的倍增因子变化

FIG. 3 Change of Multiple Factor to Gate Voltage Before and After Applying Stress

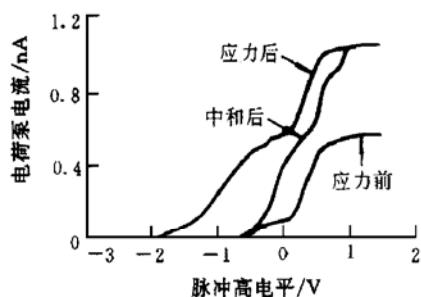


图 4 应力前后的电荷泵电流变化

FIG. 4 Change of Current in Charge Pump to Pulse Voltage Before and After Applying Stress

由于陷入陷阱空穴的产生, 将会降低电荷泵阈值电压。如果将产生的陷入陷阱空穴的影响消除掉, 就可以根据阈值电压随沟道位置变化的曲线^[9]来确定局域界面态的增加。但是在这个过程中希望既能够中和陷阱空穴, 又能够不产生新的界面态。热电子注入, 由于被空穴填充的陷阱有很高的电子俘获截面, 空穴可以和电子复合, 并且电子注入一般不易形成界面态。所以可以通过应力后利用热电子注入来满足中和的条件。中和施加过应力的器件的条件是: $V_{sd} = 8V$, $V_{gs} = 8V$, $t = 20s$ 。

在热电子注入时, 源端的氧化层电场应该是较低的, 因为此时 $V_g = V_s$, 不可能发生空穴的去俘获, 氧化层中的正电荷消除正是注入电子和陷阱空穴中和的结果。

由图 3 可以看出, 经过中和后的倍增因子曲线右移, 和初始样品曲线相似, 表明漏结上方的陷阱空穴被注入的热电子完全复合掉, 并且没有产生新的电子陷阱, 否则, 电子陷阱将会增大横向电场, 使曲线继续右移。同时, 对照中和前后的电荷泵电流曲

线, 最大电流值没有发生变化, 表明在中和过程中没有引入新的界面态。达到最大值前, 只是在同样的脉冲高电平下, 中和前的电荷泵电流比中和后的大。这是因为中和前由于有空穴的存在, 降低了局域的电荷泵阈值电压, 对应同样的高电平, 能够发生反型的 Si 表面区域更多, 电荷泵电流越大。

电荷泵法测量所用的频率上限是脉冲的高低电平维持时间必须足够长, 使得界面态的复合过程能够完成。考虑到上述因素, 测量电荷泵效应所用的栅脉冲频率一般在 100kHz—1MHz 之间, 脉冲的上升和下降时间一般在 100—200ns。

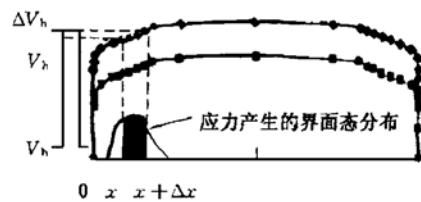


图 5 脉冲高低电平与对电荷泵电流起贡献的界面态

FIG. 5 Interface State of Pulse High and Low Voltage to Current in Charge Pump

电荷泵电流的量级在实验中不大于 $10^{-9} A$, 需要保证测试系统可靠屏蔽接地, 我们将测试台放入一个大的屏蔽罩中同时保证多个测试仪器使用共同的接地端。P 型衬底接地, 源接 HP4140BPA 表, 漏浮空, 栅接 HP8115A 脉冲发生器。脉冲周期为 $8\mu s$, 上升/下降时间为 100ns。为了保证不会发生 FN 隧穿效应, 不影响电荷泵电流的精度, 要求加在厚度为 10nm 的栅氧上的脉冲的高低电平都不超过 7V。

固定脉冲低电平, 使得它的绝对值总小于 V_{fb} , 保证在这时 Si 表面处于积累状态。脉冲高电平逐渐增加, 使得越来越多的沟道区 Si 表面可以处于反型状态。当脉冲高电平大于最大沟道阈值电压时, 此时由于所有栅下方的沟道区在一个脉冲周期内可以反型和积累, 所有的界面态都对电荷泵电流起贡献, 电流值最大。同样脉冲高电平下的电荷泵电流的变化为未经过应力的器件测到的电荷泵电流与中和后测得电荷泵电流之差。

$$\Delta I_{cp} = qWfN_{it}(x)\Delta x \quad (3)$$

如果经过均匀应力, 界面态的分布也是均匀的。而 FLASH 的工作情况则不同, 经过带带隧穿应力后, 由于新增加的界面态都集中在源端, 所以脉冲高电平的变化引起的电荷泵电流的变化为:

$$\Delta I_{cp} = qfWN_{it}(x)\Delta x$$

$$N_{it}(x) = \frac{d(I_{cp}(V_h))/dV_h}{qfWdx(V_h)/dV_h} \quad (4)$$

式中 W 为栅的宽度; $dx(V_h)/dV_h$ 表示脉冲高电平的变化引起的 $V_h = V_t$ 区域的变化, 整个变化能够从 V_t-x 曲线^[4]中得到 V_h 变化引起的 x 的变化, 又可以从图 4 中 $I_{cp}(V_h)-V_h$ 的曲线中得到 V_h 变化引起的 $I_{cp}(V_h)$ 的变化. 又因为沟道的位置和 V_h 的对应关系, 在某一 V_h 变化下求得的界面态密度, 即是对应这个 V_h 的沟道位置上的界面态密度.

N_{it} 测试精度主要是由对 I_{cp} 有贡献的禁带中界面态深能级宽度 ΔE 决定, 而 ΔE 主要是受沟道掺杂浓度和脉冲条件的影响. 我们计算得出测量过程中以上两个因素对 ΔE 的影响是很小的, 最大为 0.06eV. 因此用电荷泵法得出的界面态的数量和空间分布是比较准确的.

应力过后的电荷泵电流曲线在经过中和氧化层陷阱电荷, 曲线向右移动. 通过计算对应同样大小电荷泵电流对应 V_h 的变化, 就能够确定出陷阱电荷的分布, 因为同一位置的界面态数目并没有发生变化, 只是由于陷阱空穴的存在影响了电荷泵阈值电压.

$$N_{ox} = \frac{\Delta V_h C_{ox}}{q} \quad (5)$$

产生的陷阱电荷和界面态的比率大致在 10—100 之间, 这个结果和文献[10]指出空穴注入产生一个界面态大致需要对应产生 40 个陷阱空穴的结论相近.

由图 6 和图 7 可以看出界面态分布的峰值位于源结附近. 对照 MEDICI 相应模拟的结果, 图 8 为模拟浮棚下横向扩散为 $0.2\mu m$ 的 MOS 管下源与栅电压差为 10V 时的电场分布. 其中 E_{Si-Y} 即硅表面的纵向电场, E_{Si-X} 为硅表面的横向电场, E_{ox} 为氧化层中的纵向电场. 从图 8 中可以看出, 氧化层中的纵

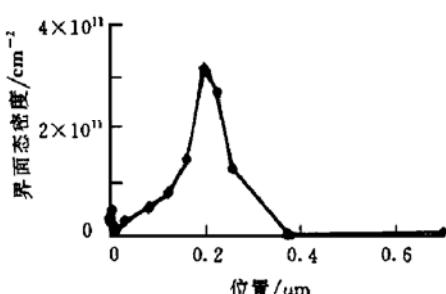


图 6 界面态密度的分布

FIG. 6 Distribution of Interface State Density

向电场远大于硅表面电场, 靠栅边缘越近, 电场值越大, FN 效应越显著. 由于在栅边缘下的源区掺杂浓度很高, 在这个区域几乎没有形成耗尽层, 硅上几乎没有电压降, 所以其横向和纵向电场强度很小. 随着浓度降低, 耗尽层的出现, 横向电场和纵向电场都开始增加, 直至峰值. 但是两者的峰值并不位于同一个位置, 横向电场的峰值出现在冶金结处, 而硅内纵向电场的峰值出现在结内部.

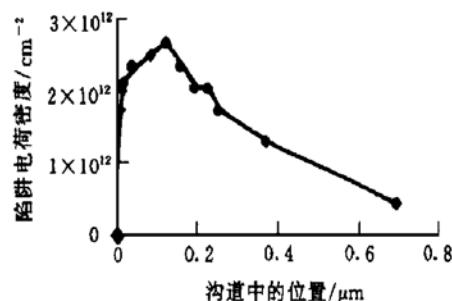


图 7 陷阱空穴的分布

FIG. 7 Distribution of Trapped Hole

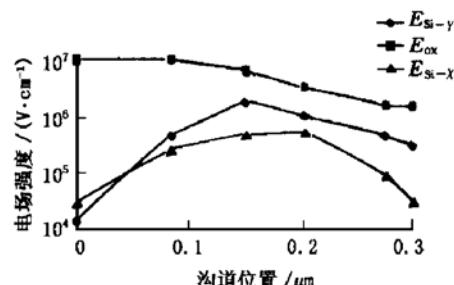


图 8 Si 体内电场的 X、Y 分量和 SiO_2 电场随位置的变化

FIG. 8 X、Y Branch of Electrical Field in Silicon and Electrical Field in SiO_2 Versus Location

5 结论

利用电荷泵方法研究了 FLASH 工作条件下带带隧穿产生空穴注入造成的氧化层陷阱电荷以及 Si/SiO_2 界面态. 利用带带隧穿在氧化层中形成陷阱空穴以及界面态, 再利用热电子中和陷阱空穴, 通过对比应力前后电荷泵电流, 得到了界面态的数量和空间分布. 陷阱电荷和界面态的峰值位于源结的附近, 和模拟结果中 Si 表面电场的峰值位于此相吻合.

参考文献

- [1] K. Sakui and F. Masouka, IEICE Trans. Electron., 1994, **E-77**(8): 1251—1259.
- [2] C. Chang and J. Lien, IEEE IEDM Tech. Dig., 1987, 714—717.
- [3] C. Chen and T. P. Ma, Technical Digest of VLSI Technology Symposium, 1996, 230.
- [4] ZHANG Guoqiang, WANG Guobin, YU Xuefeng, REN Diyuan, YAN Rongliang et al., Chinese Journal of Semiconductors, 1997, **18**(5): 344—349.

- [5] YANG Xiaodong, TIAN Lilin, CHEN Wensong et al., Chinese Journal of Semicoductors, 1998, **19**(11): 834—840.
- [6] K. Tamer San et al., IEEE Trans. Electron Devices, 1995, **ED-42**(1): 150—159.
- [7] G. Groeseneken et al., IEEE Trans. Electron Devices, 1984, **ED-31**: 42.
- [8] P. Heremans, Electron Device Lett., 1986, **EDL-7**: 428.
- [9] SU Yu, Study on Programming Characteristic and Reliability of FLASH Memory, Master's Degree Thesis of Tsinghua University, 1999.
- [10] P. Heremans et al., IEEE Trans. Electron Devices, 1988, **ED-35**: 2194.

Charge Pumping Measurement for Determining Band-to-Band-Tunneling Induced Interface Damage During Erasing Operation of FLASH^{*}

SU Yu, ZHU Jun, CHEN Yu-chuan, PAN Li-yang and LIU Zhi-hong

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: A charge pumping method is proposed for the measurement of hole-induced interface states and trapped charges due to band-to-band-tunneling the effects during the erasing operation of FLASH. These charges affect the long reliability of ICs. The spatial distribution of surface states and trapped charges are directly determined by the variation of the charge-pumping current before and after applying stress. Theoretical and experimental bases are provided for the cell design of FLASH and the improvement in reliability.

Key words: band-to-band-tunneling; charge pumping; multiple factor

EEACC: 1265D

Article ID: 0253-4177(2001)01-0069-05

* Project Supported by Chinese National Ninth-5-Year Plan.

SU Yu male, was born in 1974. His interests concentrate on semiconductor devices and microelectronics.

Received 1 July 1999, revised manuscript received 6 January 2000

©2001 The Chinese Institute of Electronics