

# Au/PZT/BIT/p-Si 结构铁电 存储二极管 $I-V$ 特性\*

于 军<sup>1</sup> 王 华<sup>1,2</sup> 董晓敏<sup>1</sup> 周文利<sup>1</sup> 王耘波<sup>1</sup> 郑远开<sup>1</sup> 赵建洪<sup>1</sup>

(1 华中理工大学电子科学与技术系, 武汉 430074)

(2 桂林电子工业学院电子信息分院, 桂林 541004)

**摘要:** 采用脉冲激光沉积方法(PLD)制备了 Au/PZT/BIT/p-Si 多层结构铁电存储二极管. 对铁电存储二极管的  $P-E$  电滞回线、 $I-V$  特性曲线分别进行了测试与分析, 并对其导电行为及基于  $I-V$  特性回滞现象的存储机理进行了讨论. 实验表明, 所制备的多层铁电薄膜具有较高的剩余极化 ( $27\mu\text{C}/\text{cm}^2$ ) 和较低的矫顽场 ( $48\text{ kV}/\text{cm}$ ), BIT 铁电层有助于缓解 PZT 与 Si 衬底之间的界面反应和互扩散, 减少界面态, 与 Au/PZT/p-Si 结构相比, 漏电流密度降低近两个数量级,  $I-V$  特性曲线回滞窗口明显增大.

**关键词:** 二极管;  $I-V$  特性; PLD

**EEACC:** 2810F; 2860F; 0520H

**中图分类号:** TN313<sup>+</sup>.7

**文献标识码:** A

**文章编号:** 0253-4177(2001)02-0203-05

## 1 引言

铁电存储器件由于其潜在的高速、高密度、低工作电压和低功耗而引起了人们的极大兴趣并得到了广泛的研究<sup>[1,2]</sup>. 以 MF(I)S (Metal-Ferroelectric-(Insulator)-Semiconductor) 结构为存储单元的铁电场效应晶体管(FFET)和铁电存储二极管(FMD)因其非破坏性读出(NDRO)的优良特性吸引了众多的研究者从事有关研究工作<sup>[3-8]</sup>. PZT 铁电薄膜具有良好的铁电性, 矫顽场  $E_c$  为  $55-60\text{ kV}/\text{cm}$ , 剩余极化  $P_r$  为  $15-30\mu\text{C}/\text{cm}^2$ , 介电常数  $\epsilon_r$  约为 360, 是比较成熟的铁电材料. 但由于 PZT 与半导体 Si 基片之间存在界面反应和互扩散, 高的漏电流和低的保持力是亟待解决的问题之一. 所以在 MF(I)S 结构器件中, 不宜直接采用 PZT/Si 结构. 一般采用非铁电电介质作为 PZT 与 Si 之间的过渡层, 如  $\text{CaF}_2$ ,  $\text{SiO}_2$ ,  $\text{CeO}_2$  等<sup>[5-7]</sup>. 但由于这些电介质的介电常数 ( $\epsilon_r$  约 20-30) 与 PZT 铁电薄膜的介电常数相差悬殊, 欲使 PZT 能在器件工作电压 ( $3-5\text{V}$ ) 下实现极

化反转, 这种薄膜材料必须淀积得相当薄, 但厚度过薄的过渡层会失去阻挡功能. 而  $c$  轴取向的 BIT 铁电薄膜虽然  $P_r$  较低, 但与单晶 Si(100) 具有很好的晶格匹配, 故在 PZT 和 Si 衬底之间加入 BIT 铁电层, 既可以发挥高介电阻挡层的作用, 又可以充分发挥铁电极化电场的作用.

本文采用准分子激光沉积工艺, 在 (100) p-Si 基片上分别淀积了 BIT、PZT 铁电薄膜, 制作了 Au/PZT/BIT/p-Si 及 Au/PZT/p-Si 结构的铁电存储二极管, 对  $P-E$  电滞回线、 $I-V$  特性曲线进行了测试与分析, 对其导电行为和存储机制进行了讨论.

## 2 实验

实验中, 采用 EMG201MSC 型准分子激光器, 其输出激光波长为  $308\text{ nm}$ , 脉冲宽度为  $28\text{ ns}$ , 单脉冲最大输出能量约  $300\text{ mJ}$ , 淀积时脉冲频率为  $8\text{ Hz}$ . 激光束通过光学扫描系统聚焦于陶瓷靶面, 激光能量密度为  $3\text{ J}/\text{cm}^2$ , 激光束与靶面成  $45^\circ$  角, 靶-基距离为  $40\text{ mm}$ . PZT 和 BIT 陶瓷靶材按名义成分配

\* 湖北省自然科学基金资助项目(98J036).

于 军 男, 1946 年出生, 教授, 博士生导师, 目前从事半导体器件及微电子技术的研究和教学工作.

1999-09-26 收到, 2000-01-08 定稿

料, PZT 中 PbO 过量 10%, 采用传统工艺压成厚 5mm、直径 25mm 的圆片进行烧结, 烧结温度为 1200°C. 基片选用电阻率为 6—9 $\Omega \cdot \text{cm}$  的 (100) p-Si 单晶片. 淀积前真空抽至  $1.33 \times 10^{-3} \text{Pa}$  以下, 淀积系统温度由铬镍-镍铝热电偶与 JWT-U 型可控硅测量和控制. 淀积 BIT 和 PZT 薄膜时, 通入高纯氧气, 使真空保持在 13.33—26.66Pa, 淀积温度分别为 650°C 和 530°C. 在 Au/PZT/BIT/p-Si 结构中, BIT 铁电层的引入, 主要利用其与 Si 衬底良好的晶格匹配关系而起过渡和阻挡作用, 厚度过大, 会削弱整个薄膜系统的铁电性能; 但也不能太薄, 否则又难以达到较好的过渡和阻挡效果, 我们取 BIT 厚度为 100nm. PZT 铁电层厚度应较大, 本实验中采用 300nm. 作为对比, 还制备了 PZT 铁电薄膜厚度为 400nm 的 Au/PZT/p-Si 结构. 实验中, 膜厚通过薄膜淀积时间来控制. 成膜后, 膜厚用 Rudolph Research/AutoIII 型自动椭偏仪进行测量. 用掩膜法制备 Au 上电极, 其厚度为 50nm, 直径为 0.2—0.5mm, 用 ZC36 型高阻计对所制得的薄膜系统的  $I-V$  特性曲线进行测试.

### 3 结果与讨论

电滞回线是铁电体的本质特征, 通常用 Sawyer-Tower 电路来进行测量. 图 1 为由 Sawyer-Tower 电路测得的 Au/PZT/BIT/p-Si 结构的铁电存储二极管的  $P-E$  回线. 由图可见, 所制备的多层铁电薄膜具有较高的剩余极化 ( $27\mu\text{C}/\text{cm}^2$ ) 和较低的矫顽场 ( $48\text{kV}/\text{cm}$ ). 这一结果表明, 该铁电薄膜系统具有良好的铁电性能.

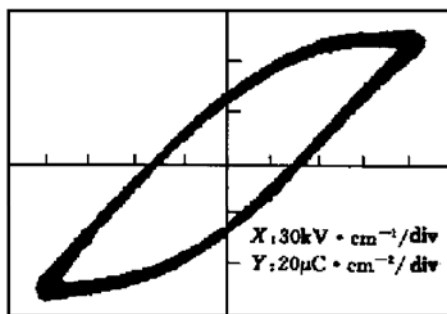


图 1 Au/PZT/BIT/p-Si 的  $P-E$  回线  
FIG. 1 Hysteresis Loop for Au/PZT/BIT/p-Si

PZT 与 BIT 有相似的晶体结构, 二者之间的界面是良好的, 而 Au/PZT 接触可看作是欧姆接触. 因此薄膜系统漏电流主要源于铁电层和铁电膜与硅衬底之间的界面.

为了探讨铁电薄膜系统的漏电流形成机制, 首先测量了 Au/PZT/BIT/p-Si 结构铁电存储二极管的非回线  $I-V$  特性曲线, 如图 2 所示. 由图可见, 该铁电存储二极管处于正向导通状态, 其漏电流密度在 +5V 电压下只有  $10^{-8} \text{A}/\text{cm}^2$  的数量级, 反向漏电流几乎为零. 这是因为实际的铁电薄膜并非理想绝缘体, 一般认为是 p 型宽带半导体<sup>[9]</sup>, 与 p-Si 衬底之间形成 p-p 异质结.

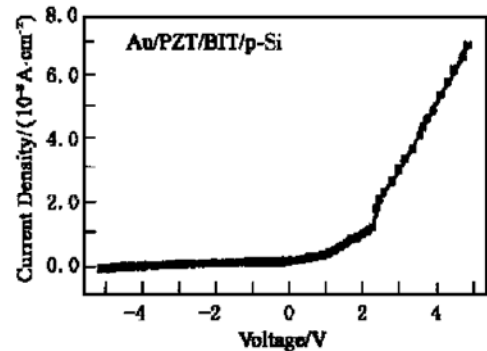


图 2 Au/PZT/BIT/p-Si 的  $I-V$  特性非回滞曲线  
FIG. 2  $I-V$  Non-Hysteresis Loop for Au/PZT/BIT/p-Si

其次, 将 Au/PZT/BIT/Si 结构薄膜系统常温下的  $I-V$  特性曲线的正向部分转换成  $(\log I/\log V)-V$  曲线, 如图 3 所示. 由图可见, 在不同的电压范围,

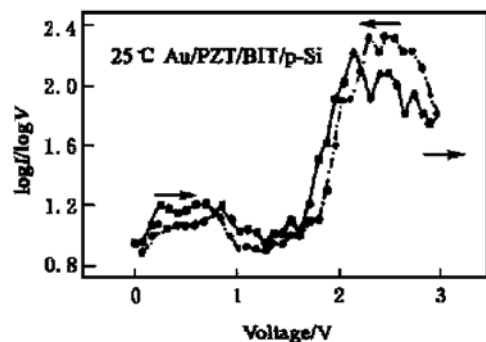


图 3 Au/PZT/BIT/p-Si 结构正向  $I-V$  特性分析  
FIG. 3 Positive  $I-V$  Characteristics for Au/PZT/BIT/p-Si Structure

$\log I/\log V$  值不同, 这一结果表明, 不同电压范围, 起主导作用的导电机理不同: 外加电压处于 0—

1.6V 范围内时,  $\log I/\log V$  的值接近为 1, 即  $I-V$  成线性关系, 说明此时漏电流遵循欧姆定律, 这是因为在低场下, 由电极注入膜内的电子很少, 漏电流主要由热激发产生的由价带跃入导带的电子的浓度决定; 而电压在 2.2—3.0V 范围内时,  $\log I/\log V$  的值约为 2, 即  $I-V$  特性呈现平方律关系, 说明此时空间限制电荷电流(SCLC) 占主导地位<sup>[10]</sup>; 但当外加电压在 1.6—2.2V 之间时,  $\log I/\log V$  的值不确定, 说明在欧姆区与 SCLC 区之间存在过渡区域, 这很可能与薄膜中的电子陷阱有关。

上述结果表明, 在 3V 的工作电压下, 漏电流主要源于空间限制电荷电流, 它和铁电薄膜与半导体界面的互反应程度, 互扩散程度、晶格匹配度、界面态密度等直接相关. 因此, 减少界面态, 控制载流子的注入是降低漏电流的有效途径。

对于  $I-V$  特性中回滞现象的研究是近几年才开始的. 由于  $I-V$  回线特性更能直观表达铁电存储特性及机理, 也更接近于铁电存储器的实用化模式, 所以从理论与实验上对其加以探讨对于铁电存储器的发展具有重要意义。

首先从铁电存储机理上看, 铁电存储的基础是电滞行为. 当外加电场大于矫顽场时, 极化转向, F/S 界面能带示意图如图 4 所示<sup>[8]</sup>. 假定半导体表

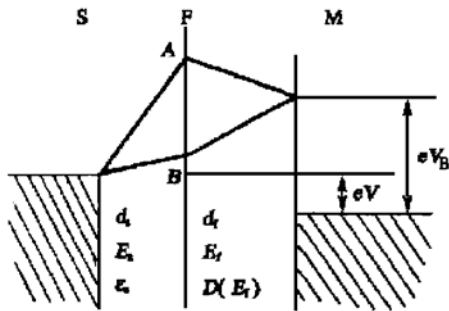


图 4 MFS 结构导带示意图

FIG. 4 Schematic Diagram of Conductive Band for MFS Structure

面处于耗尽态, 则由电位移连续性条件, 在 F/S 界面处:

$$D(E_f) = \epsilon_s E_s \quad (1)$$

其中  $D(E_f)$  代表电位移;  $\epsilon_s$  是耗尽层相对介电常数;  $E_s$  是外加电压为  $V$  时 F/S 界面处耗尽层内的电场. 假定肖特基势垒和耗尽层弯曲量分别为  $eV_B$ 、 $eV_{dep}$ , 耗尽层厚度为  $d_s$ , 则有:

$$V_{dep} + E_f d_f = V_B - V \quad (2)$$

$$V_{dep} = E_s d_s \quad (3)$$

假定  $d_s$  为常数, 则可导出:

$$D(E_f) = \epsilon_s (V_B - V - E_f d_f) / d_s \quad (4)$$

方程(4) 可视为  $D-E_f$  电滞回线上的负载线, 对应 A、B 两个状态。

阈值电压  $V_{th}$  是指可用来使铁电极化反转的电压. 当外加电压  $V > V_{th} + V_B$  时铁电极化指向 F/S 界面, 对应 B 状态, 这时从 Si 到电极的电子势垒顶部在 M/F 界面处; 当外加负电压  $|V| > V_{th} - V_B$  时, 极化反转而背离 F/S 界面, 此时半导体中电子势垒顶部位于 F/S 界面之间, 对应 A 状态. 可见, Si 中 A 态比 B 态的势垒高. 因此, A 态比 B 态具有更大的电导, 所存储的信息(“1”、“0”) 可通过两个状态导电性的不同区分开来。

如图 5 所示<sup>[8]</sup>, 利用铁电二极管的等效电阻作用, 负载线与铁电存储二极管的  $I-V$  回线的交点分别为“1”态与“0”态的读出电流  $I_{R1}$ 、 $I_{R0}$ . 从理论上讲, 只有当  $I_{R1}$  与  $I_{R0}$  的差别足够大, 足以被检测电路识别出来时, 才能准确读出所存储的信息. 这就要求在获得尽可能低的漏电流的同时, 力求保证  $I-V$  回滞窗口尽可能的大, 以确保“0”、“1”逻辑状态差别明显。

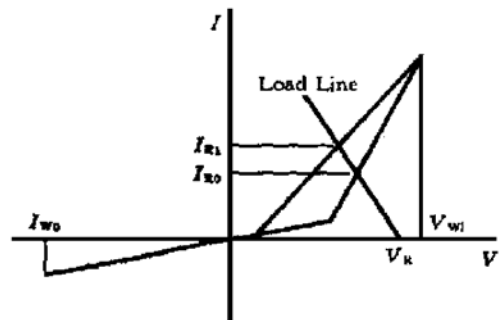


图 5 铁电存储二极管  $I-V$  特性示意图

FIG. 5 Schematic Diagram of  $I-V$  Characteristics for Ferroelectric Memory Diode

图 6(a) 和 (b) 分别为 Au/PZT/p-Si 和 Au/PZT/BIT/p-Si 两种结构铁电存储二极管的  $I-V$  特性曲线. 由图可见,  $I-V$  特性中都存在着明显的回滞现象, 该回滞显然是由于铁电层的剩余极化而产生的<sup>[11]</sup>, 而且回滞都出现在异质结的正向, 类似于肖特基二极管的特性, 这进一步证实了所制备的铁电薄膜系统具有良好的铁电性, 而且  $I-V$  回线回滞窗口的大小足以区分读“1”电流和读“0”电流, 表明所

制备的铁电存储二极管具有了存储效应,可以实现存储功能. 比较两图可见,在总厚度相同的情况下,BIT 铁电层的引入,不但使漏电流减少了近两个数量级,而且  $I-V$  回线的回滞窗口也明显增大,这表

明 BIT 铁电层的引入确实有助于缓解 PZT 铁电薄膜与硅之间的界面反应与互扩散,减少界面态,降低了漏电流密度,从而有助于改善铁电存储二极管的保持力.

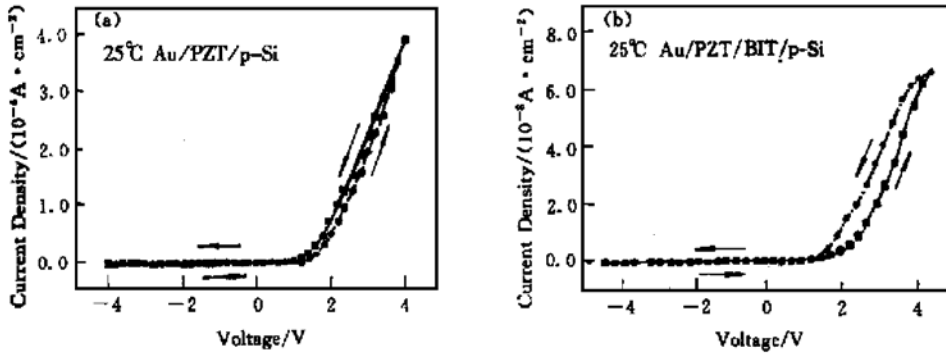


图 6 (a) Au/PZT/p-Si 结构  $I-V$  特性回滞曲线, (b) Au/PZT/BIT/p-Si 结构  $I-V$  特性回滞曲线  
FIG. 6  $I-V$  Hysteresis Loop (a) Au/PZT/p-Si, (b) Au/PZT/BIT/p-Si

## 4 结论

我们在 (100) p-Si 衬底上制备了 Au/PZT/BIT/p-Si 多层结构的新型铁电存储二极管. 实验证明,引入 BIT 铁电层作为 PZT/Si 界面的过渡层,有利于改善 PZT/Si 之间的界面特性,降低漏电流. 与 Au/PZT/p-Si 结构相比, Au/PZT/BIT/p-Si 结构铁电存储二极管具有更为良好的存储特性. 从 MF(I)S 结构器件的电性能来看,缓解界面反应与互扩散,降低漏电流,仍是制备实用化 MF(I)S 器件着重解决的问题之一.

## 参考文献

[ 1 ] J. F. Scott and C. A. Araujo, *Science*, 1989, **246**: 1400—1405.

[ 2 ] S. Sinharoy, H. Buhay, D. R. Lampe *et al.*, *J. Vac. Sci. Tech.*, 1992, **A10**(4): 1554—1561.  
[ 3 ] D. R. Lampe, D. A. Adams, M. Austin *et al.*, *Ferroelectrics*, 1992, **133**: 61—72.  
[ 4 ] Takeshi KIJIMA, Sakiko SATOH, Hironori MATSUNAGA *et al.*, *Jpn. J. Appl. Phys.*, 1996, **35**( Part1. 2B): 1246—1250.  
[ 5 ] H. Buhay, S. Sinharoy and W. H. Kasner, *Appl. Phys. Lett.*, 1991, **58**(14): 1470—1472.  
[ 6 ] Jun Yu, Zhao Jianhong, Wenli Zhou *et al.*, *Appl. Phys. Lett.*, 1997, **70**(4): 490—492.  
[ 7 ] H. Tadahiko T. Kazuhiro and N. Takeharu, *Jpn. J. Appl. Phys.*, 1994, **33**(Part1. 9B): 5219—5222.  
[ 8 ] Kohtaroh Gotoh, Hirotaka Tamura, Hideki Takauchi *et al.*, *Jpn. J. Appl. Phys.*, 1996, **35**(Part1. 1A): 39—43.  
[ 9 ] Xiaofeng Du and I-Wei Chen, *J. Appl. Phys.*, 1998, **83**(12): 7789—7798.  
[ 10 ] J. F. Scott, C. A. Araujo, B. M. Melicket *et al.*, *J. Appl. Phys.*, 1991, **70**(1): 382—388.  
[ 11 ] Y. Watanabe, *Appl. Phys. Lett.*, 1995, **66**(1): 28—30.

## **$I-V$ Characteristics of Ferroelectric Memory Diode with Structure of Au/PZT/BIT/p-Si<sup>\*</sup>**

YU Jun<sup>1</sup>, WANG Hua<sup>1,2</sup>, DONG Xiao-min<sup>1</sup>, ZHOU Wen-li<sup>1</sup>, WANG Yun-bo<sup>1</sup>,  
ZHENG Yuan-kai<sup>1</sup> and ZHAO Jian-hong<sup>1</sup>

(1 Department of Electronic Science & Technology, Huazhong University of Science & Technology, Wuhan 430074, China)

(2 Branch of Electronic Information, Guilin Institute of Electronic Technology, Guilin 541004, China)

**Abstract:** A new ferroelectric memory diode that consists of Au/PZT/BIT/p-Si was fabricated by Pulsed Laser Deposition (PLD) technique. Ferroelectric and electrical properties of the ferroelectric diode have been characterized through the measurements of  $P-E$  and  $I-V$  hysteresis loop respectively. The conductivity behavior and the memory mechanism have been discussed. The results suggest that the multilayer ferroelectric thin films have a large polarization of  $27\mu\text{C}/\text{cm}^2$  and a low coercive of  $48\text{kV}/\text{cm}$ . The growth of the BIT ferroelectric layer weakens the serious interaction and interdiffusion in the PZT/Si interface, decreases the leak current density but enlarges the window of  $I-V$  hysteresis loop.

**Key words:** diode;  $I-V$  characteristics; PLD

**EEACC:** 2810F; 2860F; 0520H

**Article ID:** 0253-4177(2001)02-0203-05

---

\* Project Supported by Natural Science Foundation of Hubei Province, China Under Grant No. 98J036.

YU Jun male, born in 1946, professor and director for Ph. D candidate. His current interests are study and teaching work on semiconductor devices and microelectronics technology.

Received 26 September 1999, revised manuscript received 8 January 2000

©2001 The Chinese Institute of Electronics