

槽栅 NMOSFET 结构与性能仿真*

任红霞 郝 跃 许冬岗

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 基于流体动力学能量输运模型, 利用二维器件模拟器 MEDICI 对深亚微米槽栅 NMOSFET 器件的结构参数, 如结深、凹槽拐角及沟道长度等对器件性能的影响进行了仿真研究, 并与相应的常规平面器件特性进行了对比。研究表明在深亚微米范围内, 槽栅器件能够很好地抑制短沟道效应和热载流子效应, 但电流驱动能力较平面器件小, 且器件性能受凹槽拐角和沟道长度的影响较显著。

关键词: 槽栅 NMOSFET; 结构参数; 器件特性

EEACC: 2560R; 2560S; 0290

中图分类号: TN 402 **文献标识码:** A **文章编号:** 0253-4177(2001)02-0234-07

代军用电子装备的可靠性是非常重要和必要的。

槽栅 MOS 结构由于其独特的优点, 越来越得到国内外研究者的关注。有一些研究已从短沟道效应和抗热载流子特性的角度证明了槽栅结构的优点^[1-3]。但迄今为止涉及到槽栅 MOSFET 结构参数对其特性影响的研究还很少, 1996 年 Bricout 作了一定的研究^[2]。本文首先利用工艺仿真软件 TSUPREM 4 生成了不同结构参数的槽栅和平面器件, 接着利用器件仿真软件 MEDICI 对槽栅器件的特性进行了仿真研究, 探讨了槽栅器件结构参数, 如沟道长度、凹槽拐角、结深等对其特性的影响(有关热载流子效应将另文报道^[4], 并与相应平面器件的特性进行了对比)。

2 仿真模型和算法

由于槽栅器件是适用于深亚微米及更小尺寸的器件, 一般的漂移-扩散模型不能完全适合, 必须采用流体动力学能量传输模型。能量传输模型由载流子连续性方程、动量平衡方程、能量平衡方程及 Poisson 方程组成, 它能够模拟载流子的非本地输运现象, 包括了载流子加热及其相关的现象, 如速度过

1 引言

随着 VLSI 制造技术的迅速发展, 半导体器件的特征尺寸已进入深亚微米范围。在深亚微米情况下, 器件遇到了与电应力有关的各种小尺寸效应和可靠性问题, 如亚阈特性严重退化、源-漏结穿通、源-漏感应沟道势垒降低, 以及阈值电压与沟道长度相关到非常严重的程度。尤其热载流子、TDDDB、PN 结的退变等。这些效应将大大影响电路的性能和可靠性。通常, 增加衬底掺杂浓度、减小栅氧厚度和降低电源电压等措施在深亚微米情况下作用并不显著, 而提出新的器件结构和工艺的同时进行优化, 被认为是使器件特性和可靠性得到提高的最有效途径。在许多结构中, 槽栅结构被认为是器件可靠性加固的理想结构, 是深亚微米及更小尺寸范围极具应用前景的一种器件^[1-3], 尤其对器件的特性和可靠性提高有明显的效果, 能够很好地抑制短沟道效应和热载流子效应, 能从根本上较好解决平面 MOS 结构的困难。同时, 其工艺较 SOI 简单, 集成度比 LDD 结构的平面器件高。因此进行深亚微米槽栅 MOS 器件特性的研究, 进一步提高其可靠性对于提高现

* 国防预研基金资助项目(99J8.1.1.DZD132)。

任红霞 女, 1967 年出生, 博士, 主要从事新型小尺寸半导体器件特性和可靠性研究。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事半导体器件微电子学技术研究。

1999-11-05 收到, 2000-03-23 定稿

© 2001 中国电子学会

冲等, 比漂移-扩散模型更为精确。在热载流子效应研究过程中, 我们采用幸运载流子模型来求解栅电流^[5]。模型基本方程中各参数的选取考虑了深亚微米器件的特殊性, 仿真中, 我们设定低场迁移率仅与掺杂浓度有关, 相同的掺杂浓度, 迁移率为对应的常数。高电场迁移率采用惠普迁移率模型, 惠普迁移率模型考虑了水平电场及垂直电场对电流方向的作用。

MEDICI^[5]提供两种算法来求解微分方程: 耦合算法 (Newton's Method) 和非耦合算法 (Gummel's Method)。由于我们模拟的器件为短沟道器件, 需要考虑温度、热载流子等因素, 因此选择了第一种算法即 Newton's Method。

3 结果与讨论

为研究结构参数对槽栅器件特性的影响, 我们利用 TSUPREM 4 模拟制备了一批槽栅器件, 与平面器件比较, 同时也用标准工艺流程制备一批平面器件。这些器件的有效沟道长度分别为 0.13、0.18、0.35 和 0.50 μm(有效沟道长度如图 1 所示), 栅氧化层厚度为 4 nm, 固定界面态密度为 10^{10} cm^{-2} , 衬底掺杂浓度为 $5.0 \times 10^{16} \text{ cm}^{-3}$, 沟道表面掺杂浓度为 10^{17} cm^{-3} , 源漏表面掺杂浓度为 10^{20} cm^{-3} , 栅向下凹入 0.1 μm, 结深分别为 0.08、0.09 和 0.10 μm, 形

成 0.02、0.0 μm 的负结和平结, 凹入槽栅的斜角分别有 30°、45°、60°, 斜角示意图如图 1 所示。接着利用器件仿真器 MEDICI, 用流体动力学模型分别对凹槽拐角、结深、沟道长度不同的槽栅器件特性进行了仿真研究并与相应平面器件的特性进行了对比。

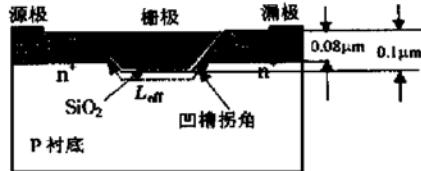


图 1 槽栅器件凹槽斜角示意

FIG. 1 Structure Diagram of Grooved-Gate Device

3.1 器件结构对 DIBL 效应的影响

图 2 为凹槽拐角 45° 的槽栅器件和平面器件, 栅压为 2 V, 所加漏压不同的情况下沿沟道表面的电位分布。与平面 MOSFET 仅在沟道区内有一个势垒相反, 在槽栅 MOSFET 中在每个凹槽拐角处清楚地观察到了势垒。这两个势垒的形成是槽栅器件能够抑制阈值电压摆幅的主要原因。研究同样发现表面电位分布, 例势垒高度依赖于器件的结构, 如图 3 所示, 凹槽拐角越大, 负结深越大, 在槽栅器件凹槽拐角处形成的势垒高度增大, 短沟道特性明显地受器件结构参数的影响, 在后面的研究中我们将明显地看到这一点。

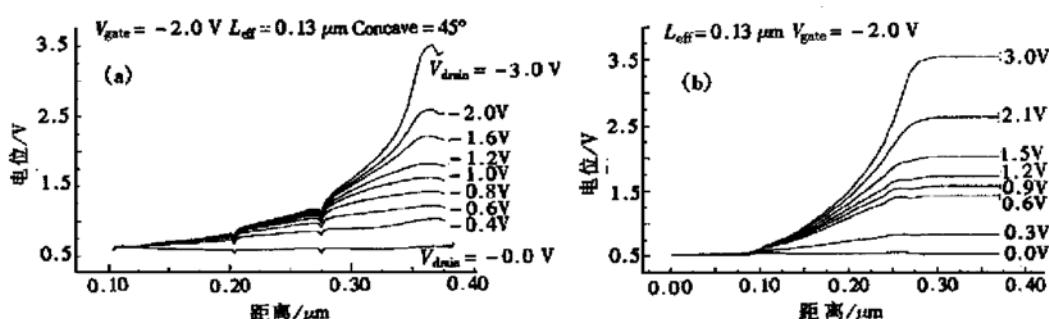


图 2 槽栅和平面器件沿沟道表面的电位分布 (a) 槽栅器件表面电位分布; (b) 平面器件表面电位分布

FIG. 2 Potential Distribution at Channel Surface for Grooved-Gate and Planar Devices

(a) Grooved-Gate Device; (b) Planar Devices

另外, 对于平面器件, 当沟道长度足够短时, 随着漏端所加电压的升高, 漏电压通过耗尽区直接影响沟道表面的电势分布, 沟道内电位被漏极电压强烈扭曲, 使得平面器件位于栅下沟道区内唯一的一个势垒被消除; 相反, 在槽栅器件中, 漏区的势垒只

受到漏极偏压的轻微影响, 近漏端的拐角势垒有所减弱, 但源端的拐角势垒仍存在。载流子如果要到达漏端, 仍需要克服这个势垒。由于这个势垒的存在, 当器件处于截止态时, 相对于平面器件, 槽栅器件中由源端出发的载流子不易到达漏端, 因此, 拐角效应

抑制了 DIBL 效应。凹入程度越厉害的器件，其势垒越不容易消除，抗 DIBL 效应越好，这一点在图中可以清楚地看到。在平面器件中，短沟道效应的一个重要成因就是漏端对于沟道电场的影响太大，而在槽栅器件中可以发现漏端电压对槽栅器件的影响，在一定程度上已被拐角处所形成的两个势垒所屏蔽。

图 3(a) 为不同凹槽拐角的槽栅器件，在栅压为 2V、漏压为 1V 情况下沿沟道表面的电位分布。由图

中可以看出，凹槽拐角越大，在凹槽的两个拐角处形成的两个势垒越高，因而器件的 DIBL 和抗热载流子效应以及短沟道效应的抑制作用越强。

图 3(b) 为不同负结深的槽栅器件，在栅压为 2V、漏压为 1V 情况下沿沟道表面的电位分布。由图中可以看出，负结深越大，在凹槽的两个拐角处形成的两个势垒越高，因而器件的对 DIBL 和抗热载流子效应以及短沟道效应的抑制作用越强。

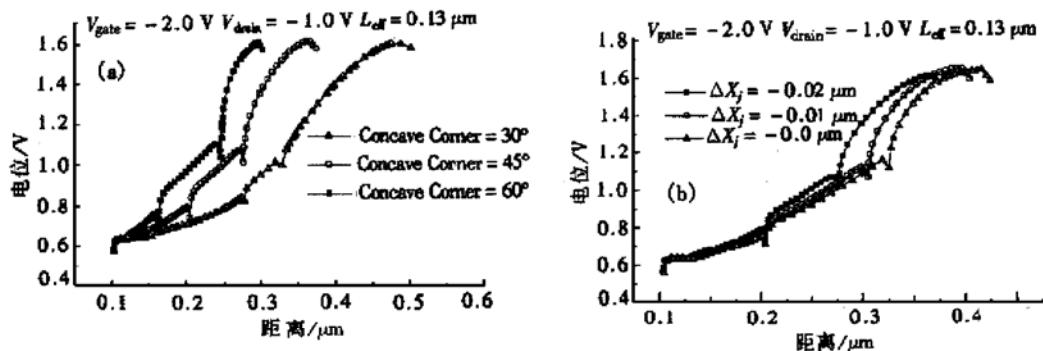


图 3 不同结构的槽栅器件沿沟道方向的表面电位分布 (a) 不同拐角槽栅器件沿沟道方向的表面电位; (b) 不同负结深槽栅器件沿沟道方向的表面电位

FIG. 3 Surface Potential Along Channel for Grooved-Gate Devices with Different Structure

3.2 器件结构对阈值电压和亚阈特性的影响

图 4 为凹入槽栅的斜角为 30°、45°、60°槽栅器件栅特性的对比，仿真过程中，漏端电压为 0.1V，栅压从 0.0V 逐步上升到 2.6V，所用器件结深 0.08μm，有效沟道长度 0.13μm。

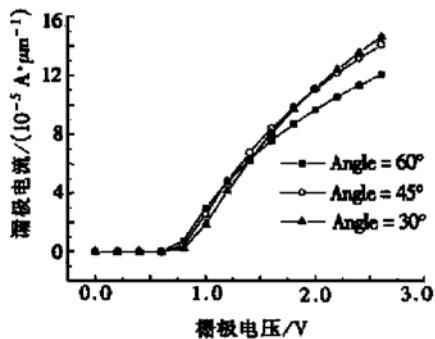


图 4 不同斜角槽栅器件栅特性

FIG. 4 Gate Characteristics for Grooved-Gate Devices with Different Corner

我们以源漏电流为 $1.0 \times 10^{-6} \text{ A}/\mu\text{m}$ 时所对应的栅压为阈值电压。斜角为 60° 的槽栅器件的阈值

电压为 0.70V，斜角为 45° 的槽栅器件的阈值电压为 0.65V，斜角为 30° 的槽栅器件的阈值电压为 0.62V。因此，斜角越大，阈值电压越大，斜角对阈值电压的影响显著。这主要是因为随着凹槽拐角的增大，拐角电力线越密集，拐角处形成的势垒高度增大，拐角效应越明显，载流子跨越势垒需要较高的能量，因此器件的阈值电压越高。虽然槽栅器件的阈值电压随凹槽拐角的增大而增大，但其亚阈特性同时退化，三种拐角下器件的亚阈斜率因子分别为 92.62、86.91 和 88.86mV/dec。

图 5(a) 为深负结槽栅器件与平面器件栅特性的对比，图 5(b) 为不同负结深的槽栅器件栅特性的对比。仿真所用器件凹槽拐角为 45°，有效沟道长度 0.13μm。槽栅器件的阈值电压为 0.645V，远高于平面器件。因为图中所选用器件的结深相差仅为 0.01μm 阈值电压的差别也不大。负结器件的阈值电压略大于平结器件，且其亚阈斜率因子略高，亚阈特性退化。这同样是由于拐角效应随负结深变化所致。

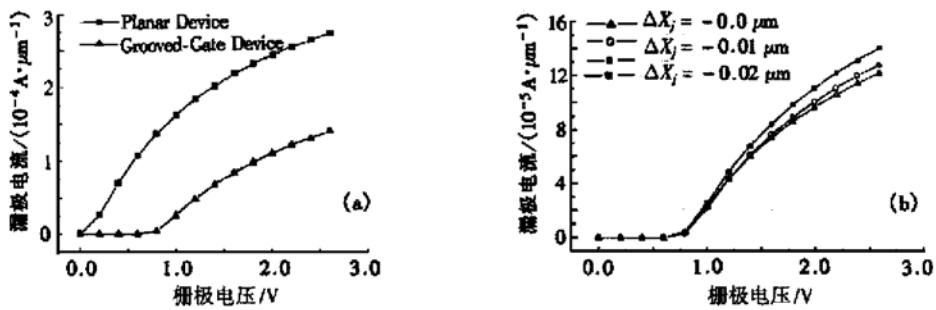


图 5 不同结深槽栅器件与平面器件栅特性 (a) 深负结槽栅和平面器件栅特性; (b) 不同负结深槽栅器件的栅特性

FIG. 5 Comparison of Characteristics for Grooved-Gate Devices with Different Junction Depths and Planar Devices

图 6(a) 为 $0.18\mu\text{m}$ 槽栅器件与平面器件的栅特性. 对于沟道长度为 $0.13, 0.18, 0.35$ 和 $0.50\mu\text{m}$ 的其它器件, 由于所选器件仅沟道长度不同, 它们的栅特性基本相同. 由图 6(b) 得出槽栅器件的阈值电压 $V_t = 0.6326\text{V}$, 平面器件阈值电压 $V_t = -0.0017\text{V}$. 同样的方法分别得出不同沟道长度下, 槽栅器件及平面器件的阈值电压如图 6(b) 所示.

图 6(b) 表明平面器件的阈值电压已失常, 只有几十 mV, 低于热噪声. 随机的热起伏就足以影响器件的工作状态. 在深亚微米区甚至变为负数, 也就是器件在不加任何栅压时就已导通. 这样的器件是不

可能应用于实际电路. 实际的器件可以通过离子注入调整沟道掺杂浓度等手段来提高阈值电压. 虽然, 平面器件可以通过调整器件的各种参数来提高阈值电压, 但平面器件在沟道长度低于 $0.3\mu\text{m}$ 后, 阈值电压随沟道长度的下降十分明显. 在相同的条件下, 槽栅器件的阈值电压能够保持正常(大约在 0.65V 左右), 直至沟道长度由亚微米区域($0.5\mu\text{m}$)进入深亚微米($0.13\mu\text{m}$), 槽栅器件的阈值电压在整个沟道长度范围内保持平坦. 阈值电压与沟道长度关系不大, 可以有效地抑制短沟道效应, 克服了平面器件在短沟道时阈值电压的下降.

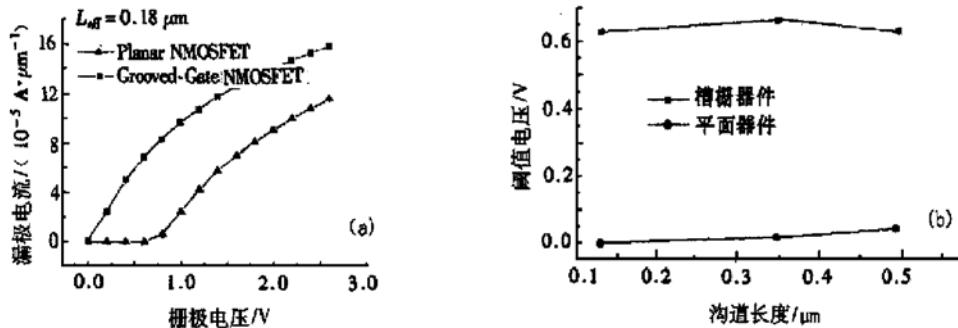


图 6 不同沟道长度槽栅器件的阈值电压 (a) $0.18\mu\text{m}$ 器件的栅特性; (b) 阈值电压随沟道长度的变化

FIG. 6 Threshold Voltage for Grooved-Gate Devices with Different Channel Lengths

(a) Characteristics for $0.18\mu\text{m}$ Device; (b) Threshold Voltage vs Channel Length

通过研究看出, 由于器件结构严重影响拐角处的势垒高度, 因而对器件的阈值电压影响强烈. 槽栅器件的阈值电压受凹槽拐角影响较大, 拐角越大, 阈值电压越高; 而阈值电压随结深变化不大; 且在短沟情况下, 阈值电压基本没有下降, 因为槽栅器件中, 可以通过拐角效应除去阈值电压随沟道长度的波动. 在槽栅 MOSFET 中, 可以通过调整一些结构参

数, 如凹槽拐角曲率半径、结深、凹槽拐角以及沟道杂质浓度等来调整阈值电压, 而在常规平面器件中, 只有沟道杂质浓度可以调整. 另外, 拐角效应越大(槽栅凹入越深, 拐角越大), 阈值电压下降抑制越有效^[6]. 槽栅器件还有一个特点是栅氧厚度变化对阈值电压的影响不如平面器件那样明显. 换一个角度看, 即相对于平面器件, 槽栅器件的阈值电压对沟道

长度和栅氧厚度的变化反应迟钝。这就给我们一个提示：在同等条件下设计器件时，槽栅器件不仅不必象平面器件那样费尽心思调整各种参数以抑制短沟道效应，还可能有所余地的适当改进象栅厚、掺杂等参数以提高器件性能。

3.3 器件结构对电流驱动能力的影响

图 7(a)、(b) 分别为不同斜角的槽栅器件在栅

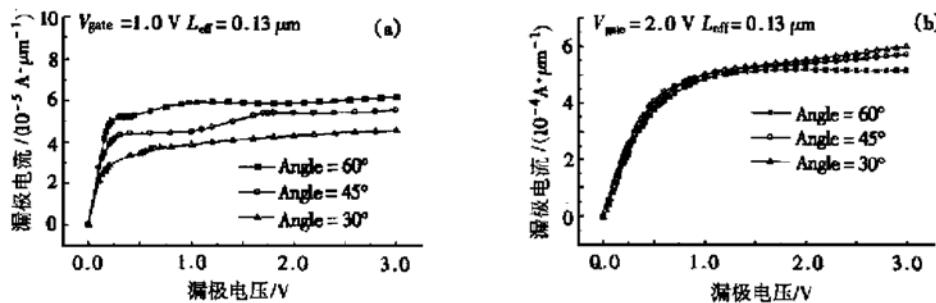


图 7 不同斜角槽栅器件漏特性 (a) 栅压 $V_g = 1.0\text{V}$; (b) 栅压 $V_g = 2.0\text{V}$

FIG. 7 Gate Characteristics of Grooved-Gate Devices for Different Angles

图 8(a)、(b) 分别给出不同结深(深负结、浅负结、平结)的槽栅器件和平面器件的漏特性。栅电压为 2.0V, 漏压从 0.0V 逐步上升到 3.0V。仿真结果表明随着漏源结变浅, 负结深增大, 槽栅器件和平面器件的饱和漏电流都减小。和对应的平面器件对比, 深负结槽栅器件的饱和漏电流是对应平面器件的

压 1.0V 和 2.0V 时的漏特性的对比。仿真过程中, 栅压 $V_g = 1.0\text{V}$ 或 2.0V , 漏压从 0.0V 逐步上升到 3.0V。图 7(a) 表明在较低栅压时, 斜角越大, 饱和漏电流越小。即在低栅压时, 拐角效应发挥了较强的效果, 使槽栅器件的饱和漏电流减小。图 7(b) 表明在较高栅压时, 斜角越大, 饱和漏电流越大。这说明, 斜角大的槽栅器件栅极对器件控制能力较强, 器件的跨导大。

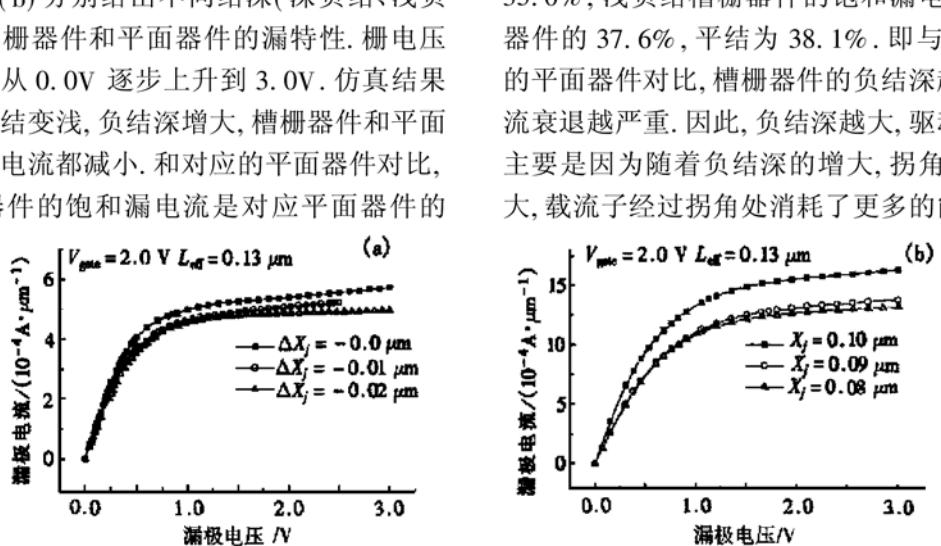
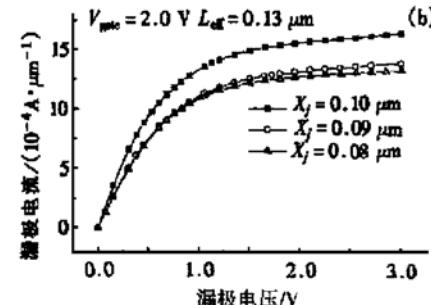


图 8 不同结深的槽栅和平面器件的漏极特性 (a) 不同负结深的槽栅器件漏极特性; (b) 不同结深平面器件漏极特性

FIG. 8 Gate Characteristics of Grooved-Gate and Planar Devices for Different Junction Depth

图 9(a) 和(b) 分别为不同栅压下不同沟道长度的槽栅和平面器件的漏特性的对比。对比图 9(a) 和(b), 槽栅器件的饱和漏电流只有平面器件的一半左右。引起槽栅器件漏电流退化的原因主要是拐角效应产生的两个势垒, 尽管在加了足够的漏压时, 近漏端势垒消失, 但漏压为此也损耗了一部分。另外,

35.0%, 浅负结槽栅器件的饱和漏电流是对应平面器件的 37.6%, 平结为 38.1%。即与参数完全相同的平面器件对比, 槽栅器件的负结深越大, 饱和漏电流衰退越严重。因此, 负结深越大, 驱动能力越弱。这主要是因为随着负结深的增大, 拐角处势垒高度增大, 载流子经过拐角处消耗了更多的能量。



对于负结槽栅器件, 载流子在从源结到漏端的运动过程中, 两次经过拐角, 这两次都要改变运动方向。从图 9 中还可看出, 在两种结构的器件中, 随沟道长度的减小, 器件的电流驱动能力增强。这是因为沟道长度缩短, 沟道内电场增强, 载流子速度提高所致。但平面器件和槽栅器件饱和漏电流随沟道增大程度

却不同, 当沟道长度从 $0.5\mu\text{m}$ 减小到 $0.13\mu\text{m}$ 时, 平面器件漏电流增大为原来的 2.237 倍, 而槽栅器件增大为 1.686 倍, 因此槽栅器件漏电流驱动能力随沟道减小增强较弱; 且在 $0.50\mu\text{m}$ 时, 槽栅器件的

饱和漏电流为平面器件的 59.26%, 在 $0.13\mu\text{m}$ 时为 44.65%。因此, 槽栅器件的漏电流退化较平面器件严重。

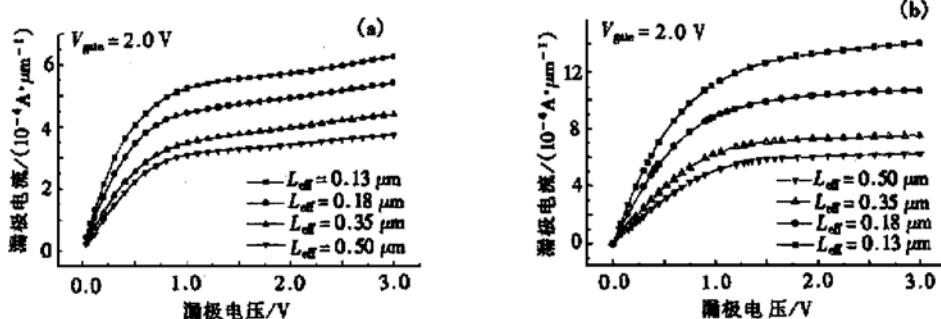


图 9 不同沟道长度槽栅和平面器件的漏特性 (a) 不同栅压下槽栅 NMOSFET 漏极特性; (b) 栅压下平面 NMOSFET 漏极特性

FIG. 9 Gate Characteristics of Grooved-Gate and Planar Devices for Different Channel Length

拐角效应在抑制短沟道效应的同时也退化了漏电流特性。槽栅器件的漏电流只有常规器件的一半^[7]。且随着凹槽拐角和负结深的增大, 退化愈加严重。在实际生产过程中, 刻蚀引起的损伤也是引起漏电流退化的原因。为了提高槽栅器件的电流驱动能力: 一方面, 更浅的凹入、更光滑的转角可改进漏电流, 但同时短沟道效应的抑制能力下降; 另一方面, 由于在槽栅器件中阈值电压下降被抑制, 就不必象平面器件那样对衬底重掺杂。槽栅器件可以减少衬底掺杂浓度。衬底轻掺杂可提高漏电流。还可适当提高漏压, 用电子速度过冲改进漏特性。因此, 在槽栅结构器件中, 需对短沟道效应的抑制和漏电流驱动能力的改进间取一合理的折衷。为在足够的阈值特性下获得足够的驱动能力, 需要对凹槽拐角半径、结深和沟道掺杂浓度进行优化。这些因素的优化应当确保槽栅 MOSFET 在亚 $0.1\mu\text{m}$ 范围有良好的性能。

4 结论

本文利用二维器件仿真软件 MEDICI 对槽栅器件的一些结构参数, 如器件的沟道长度、结深、槽栅凹槽拐角等对器件特性的影响进行了模拟, 并与相应的常规平面器件的特性进行了对比。研究表明在深亚微米范围内, 槽栅器件能够很好地抑制短沟道效应和热载流子效应, 但电流驱动能力较平面器

件小。模拟发现, 槽栅器件的负结深对器件的性能影响不大, 凹入槽栅的斜角和沟道长度对器件的性能影响显著。负结深越大, 阈值电压越大, 电流驱动能力越弱, 热载流子效应越小; 斜角越大, 阈值电压越大, 电流驱动能力越弱, 热载流子效应越大; 沟道缩短, 电流驱动能力增强, 热载流子效应越大, 阈值电压变化不大。从阈值短沟道效应的抑制方面来讲, 负结深和凹槽拐角越大越好, 但电流驱动能力同时减弱。因此阈值电压下降的抑制和电流驱动能力的减弱之间必须取一合理的折衷, 同时还要兼顾到热载流子的影响。可以预期在亚 $0.1\mu\text{m}$ 范围槽栅 MOSFET 将表现出好的行为特性, 且能够给出高的封装密度, 这是常规平面器件不能获得的。

参考文献

- [1] J. Tanaka, T. Toyabe, S. Ihara et al., IEEE Electron Device Letters, 1993, **14**(8): 396—399.
- [2] P. H. Bricout and E. Dubois, IEEE Trans. Electron Device, 1996, **43**(8): 1251—1255.
- [3] C. Hu, S. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan and K. W. Terrill, IEEE Trans. Electron Devices, 1985, **33**: 375—385.
- [4] Ren Hongxia, Hao Yue and Xu Donggang, Acta Physics Sinica, to be published.
- [5] Technology Modeling Associates, Inc. Medici Two-Dimensional Device Simulation Program Version 2.3 User's Manual, Vol 1, Feb 1997.
- [6] H. Scott, G. James and D. Plummer, IEEE Trans. Electron De-

- vices, 1984, **31**(7): 861—872.
 [7] S. Kimura, J. Tanaka and H. Noda, IEEE Trans. Electron De-

vices, 1995, **42**(1): 94—99.

Simulation on Structure and Performance of Grooved-Gate NMOSFET^{*}

REN Hong-xia, HAO Yue and XU Dong-gang

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: The effects of structure on the performance of deep-sub-micron NMOSFET have been studied based on the hydrodynamic model by two-dimensional device simulator MEDICI and compared with those of the counterpart conventional planar device. The simulated structure parameters include the junction depth, concave corner and channel effective length. Simulation results prove that grooved-gate device can deeply suppress the short-channel effect and hot carrier effect even in the deep-sub-micron region, but its current drive ability is smaller than that of a planar device. The simulation also indicates that the performance is strongly influenced by the concave corner and channel length of the grooved gate MOSFET.

Key words: grooved-gate NMOSFET; structure parameter; characteristics of device

EEACC: 2560R; 2560S; 0290

Article ID: 0253-477(2001)02-0234-07

* Project Supported by National Defense Advanced Research Foundation of China Under Grant No. 99J8.1.1.DZD132.

REN Hong-xia female, Ph. D, born in 1967, is engaged in research on characteristics and reliability on new small scale semiconductor devices.

HAO Yue male, Professor, born in 1958, is engaged in research on microelectronics.