

# N 型 6H-SiC MOS 电容的电学特性

王姝睿 刘忠立 梁桂荣 梁秀芹 马红芝

(中国科学院半导体研究所, 北京 100083)

**摘要:** 在可商业获得的 N 型 6H-SiC 晶片上, 通过化学气相沉积, 进行同质外延生长, 在此结构材料上, 制备 MOS 电容。详细测量并分析了 6H-SiC MOS 电容的电学特性, 其有效电荷密度为  $4.3 \times 10^{10} \text{ cm}^{-2}$ ; SiC 与  $\text{SiO}_2$  之间的势垒高度估算为 2.67eV; SiC 热生长  $\text{SiO}_2$  的本征击穿场强(用累计失效率 50% 时的场强来计算) 为 12.4MV/cm, 已达到了制作器件的要求。

**关键词:** 碳化硅; MOS 电容

**EEACC:** 2520M; 2530F; 7310B; 7310D; 7310Z

**中图分类号:** TM 53      **文献标识码:** A      **文章编号:** 0253-4177(2001)06-0755-05

## 1 引言

碳化硅(SiC)是一种宽禁带半导体, 具有独特的物理和电学性能: 临界电场强度高( $2 \times 10^6 \text{ V/cm}$ )、高饱和漂移速度( $2 \times 10^7 \text{ cm/s}$ )和高热导率( $3.0\text{--}3.8 \text{ W/(cm \cdot K)}$ ), 机械硬度高(莫氏硬度为 9, 仅次于金刚石), 化学性能稳定(在室温, 不受任何化学腐蚀剂腐蚀), 抗辐射能力强, 热稳定性好, 是实现高温与高功率、高频及抗辐射相结合的理想材料<sup>[1,2]</sup>。目前, 国内对 SiC 材料、器件及工艺的研究刚刚起步<sup>[3-7]</sup>, 1997 年, 张玉明<sup>[3]</sup>等人在 n 型 6H-SiC 体材料上制备了欧姆接触, 比接触电阻为  $8.4 \times 10^{-5} \Omega \cdot \text{cm}^2$ ; 1999 年, 张玉明<sup>[6]</sup>等人研制了 SiC 肖特基势垒二极管, 理想因子为 1.23, 肖特基势垒高度为 1.03eV, 开启电压为 0.5V。

SiC 与其他化合物半导体材料相比, 一个主要优势是能够热氧化形成  $\text{SiO}_2$ , 可制作各种 MOS 器件与电路, 如 MOSFET, UMOS, DMOS 功率晶体管及电荷耦合器件, 在高温和高功率应用方面具有极大潜力。SiC-金属氧化物半导体(MOS)的界面质量直接影响这些器件的工作性能, 所以人们一直在研究 SiC-MOS 电容电学特性, 早期文章报道了近

于理想的界面, 可与硅相比拟。认为 P 型 SiC 的 MOS 界面不如 N 型的, 推测是由于 P 型材料中的铝杂质扩散到  $\text{SiO}_2$  中引起的。然而, 由于没能考虑到宽禁带对 MOS 传统分析技术的影响, 这些报道的结果是不正确的。在最近几年中, 人们通过大量研究得到新了结论: P 型 SiC<sup>[8]</sup>的界面态可减少到  $2 \times 10^{11}\text{--}3 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ , 接近 N 型的, 另外铝杂质不影响界面态或固定电荷<sup>[8,9]</sup>。N 型和 P 型平带电压的差别是由费米能级位置的差别引起的<sup>[11]</sup>。到目前为止, 对于 SiC/ $\text{SiO}_2$  界面研究的结论如下<sup>[11]</sup>: 采用改进的 RCA 清洗可获得高质量界面; 样品的推入与拉出也影响氧化质量; C 面形成的 MOS 界面质量不如 Si 面的, 可能是由 C 原子的存在引起; a 轴表面的界面质量不如 c 轴的, 详细机理还有待研究; 4H-SiC 与 6H-SiC 形成的 MOS 界面质量接近; 热氧化后, 在 950℃的低温湿氧再氧化, 可减少界面态密度。利用优化的氧化工艺, 可获得界面态密度为  $7 \times 10^{10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ , 固定电荷密度为  $5 \times 10^{11} \text{ cm}^{-2}$ (P 型 6H-SiC)。

本文通过对制备的 SiC-MOS 电容进行系统的电学测量, 详细分析了电学特性及界面质量, 为 SiC-MOSFET 的研制奠定了基础。

王姝睿 女, 1971 年出生, 博士研究生, 现从事 SiC 器件的研究工作。

刘忠立 男, 1940 年出生, 研究员, 博士生导师, 从事半导体器件及物理的研究。

2000-07-02 收到, 2000-08-30 定稿

©2001 中国电子学会

## 2 实验过程

### 2.1 材料

制作 MOS 电容的 6H-SiC N 型衬底材料购于美国 CREE 公司<sup>[12]</sup>, 晶向为(0001)Si-面偏轴 3°, 掺杂浓度为  $3.3 \times 10^{18} \text{ cm}^{-3}$ . 采用自行改造的 MBE 系统, 在此 SiC 衬底材料上进行同质外延生长, 外延层的掺杂浓度为  $5.2 \times 10^{15} \text{ cm}^{-3}$ , 厚  $10\mu\text{m}$ . 采用的反应气体分别为乙硅烷( $\text{Si}_2\text{H}_6$ )和乙烯( $\text{C}_2\text{H}_4$ ), 以  $\text{H}_2$  为稀释和输送气体. 衬底用射频感应电炉加热, 生长温度为  $1450^\circ\text{C}$ . 由此构成 6H-SiC MOS 电容的结构材料.

### 2.2 SiC-MOS 电容制备

工艺过程如下:

- (1) 清洗(采用 Shenoy *et al.*<sup>[13]</sup>改进的 RCA 清洗工艺);
  - (a) 首先去油脂: 将 SiC 浸在丙酮, 无水乙醇中各 5min, 并用去离子水(DIW)冲洗;
  - (b) 然后浸在  $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$  中 15min, 用去离子水冲洗, 再浸在  $\text{HF} : \text{H}_2\text{O} = 1 : 10$  中 1min, 以漂去自然氧化层, 并用去离子水冲洗;
  - (c) 将 SiC 片浸在  $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{DIW} = 3 : 3 : 10$  中煮沸, 用去离子水冲洗; 然后浸在  $\text{HF} : \text{H}_2\text{O} = 1 : 10$  中 30s, 并用去离子水冲洗;
  - (d) 将 SiC 片浸在  $\text{HCl} : \text{H}_2\text{O}_2 : \text{DIW} = 3 : 3 : 10$  中煮沸, 用去离子水冲洗; 然后浸在  $\text{HF} : \text{H}_2\text{O} = 1 : 10$  中 30s, 并用去离子水冲洗;
- (2) 氧化: 在  $1100^\circ\text{C}$ , 采用氢氧合成氧化 100min, 形成  $\text{SiO}_2$ , 然后在氩气中退火 15min;
- (3) 正面蒸铝( $500\text{nm}$ ), 刻出电容图形;
- (4) 背面蒸铝, 并在  $450^\circ\text{C}$  合金 30min.

## 3 测量结果与分析

SiC-MOS 电容  $C-V$  特性的测量仪器为 HP4275 LCR 测试仪, 分别在不同频率、不同温度及光照条件下测量  $C-V$  曲线, 偏压扫描速率为  $0.1\text{V/s}$ , 根据平带电压的漂移, 估算了有效电荷密度. SiC/ $\text{SiO}_2$  的电流电压特性的测量仪器为 Keithely 2400.

### 3.1 SiC MOS 电容高频 $C-V$ 特性

图 1 为 n 型 6H-SiC MOS 电容室温高频  $C-V$  曲线. 电压从积累区扫描到深耗尽区, 再扫回积累区. 正扫曲线与反扫曲线在耗尽区表现微小迟滞, 可能是由于氧化层中界面附近的陷阱与半导体通过隧穿交换电荷引起. 样品不能进入反型区, 这是由于 SiC 的热产生率极低, 室温下较长时间内, 也不能提供反型层. 此曲线看上去接近理想  $C-V$  曲线, 平带电压几乎为零. 通过平带电压减去金属-半导体功函数可计算出有效固定电荷密度, 其中有效固定电荷包括真正固定电荷(不随温度和偏压改变的界面附近的氧化层正电荷)、界面态电荷、界面附近的氧化层中边界陷阱电荷和可动离子<sup>[14]</sup>, 如表 1 所示.

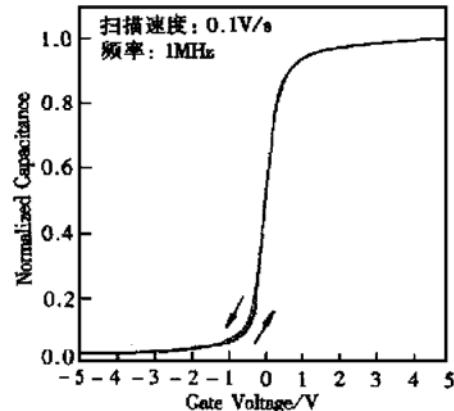


图 1 SiC MOS 电容室温高频  $C-V$  特性  
FIG. 1 High Frequency  $C-V$  Curve of SiC MOS Capacitor at Room Temperature

氧化层厚度/nm	$V_{FB}/\text{V}$ -理论	$V_{FB}/\text{V}$ -实验	$Q_{\text{有效}}/10^{10}\text{cm}^{-2}$
20( $C-V$ 方法)	- 0.06	- 0.02	4.3

对于 N 型 MOS 电容, 费米能级在导带附近, 大多数界面态和边界陷阱被电子占据, 表现为负的固定电荷, 从真正固定正电荷减去此负电荷, 结果有效电荷密度较低. 如果用 Terman 技术分析此曲线, 则会得出界面态密度几乎为零的结论<sup>[14]</sup>. 若要正确测量界面态密度, 应采用高温或光照来提高少子产生率.

### 3.2 SiC MOS 电容光照高频 $C-V$ 特性

图 2 为采用光照技术的高频  $C-V$  曲线, 信号频

率为100kHz。在无光照条件下,加在电容上的偏压从积累区扫到深耗尽区,界面态远离导带,电子难以发射到导带,在相当长时间(几天),电容也不增加;但若在深耗尽区,用光照电容,电容周围产生电子空穴对,空穴聚集在栅下流动形成反型层,界面态发射电子,电容增加。去掉光源,电压扫回到积累区,发射的电子重新出现在界面附近,界面态俘获电子,一旦俘获电子就不能再热发射到导带上,这是由于界面态的发射速率非常小。这样,电压再由积累扫到耗尽区,与原曲线重合。曲线并未出现界面态平台,这说明SiC-SiO<sub>2</sub>界面处的深界面态较少。

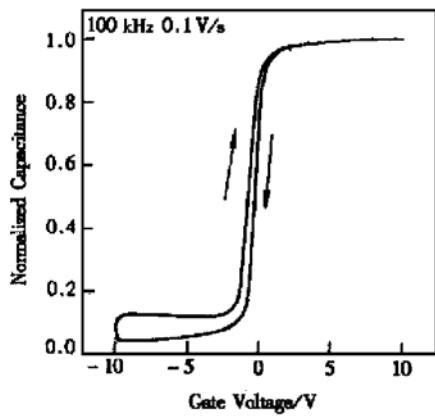


图2 SiC MOS电容光照高频C-V特性

FIG. 2 High Frequency Photo C-V Curve of SiC MOS Capacitor

### 3.3 SiC MOS电容的电流-电压特性

在积累区进行电流-电压测量,即对氧化层上的金属接触加正电压。图3为6H-SiC MOS电容在300、373和473K下的电流-电压特性曲线。室温300K时,电场低于8.5MV/cm时,其它漏电机制起作用;电场高于11MV/cm时,MOS电容击穿;电场介于8.5—11MV/cm之间时,电流指数增加,隧穿限制氧化层电导,Fowler-Nordheim隧穿电流起主要作用。Fowler-Nordheim机制用下列方程描述<sup>[15]</sup>:

$$J = \frac{q^3 E^2}{8\pi h \Phi} \exp\left(-\frac{8\pi(2m_{ox})^{1/2} \Phi^{3/2}}{3hqE}\right)$$

式中  $h$  是普朗克常数;  $q$  是电子电荷;  $E$  是电场强度;  $\Phi$  为势垒高度;  $m_{ox}$  是氧化层内电子的有效质量。图4中  $J/E^2$  与  $1/E$  的线性关系表明电流电导跟随 Fowler-Nordheim 机制。由曲线斜率可计算势垒高度,  $m_{ox}$  取 0.42 $m_0$ ,  $m_0$  为电子静止质量。氧化层与  $n$

型SiC之间的势垒高度为2.67eV。

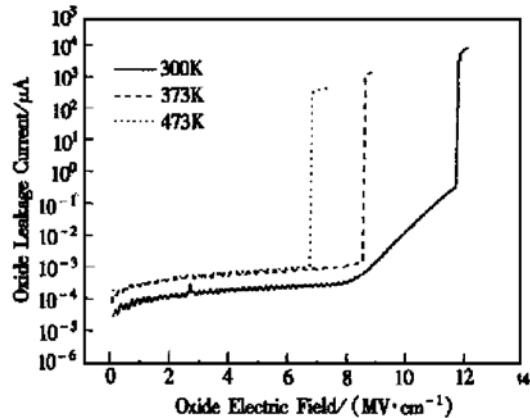
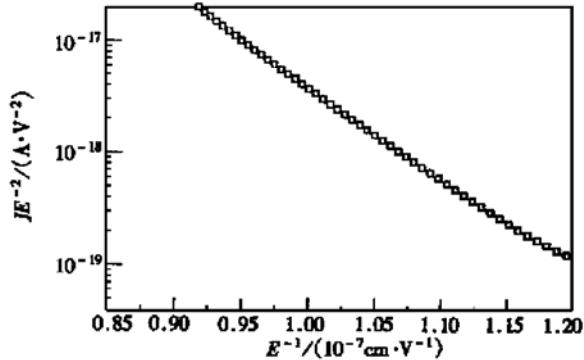


图3 不同温度下SiC MOS电容的电流-电压特性曲线

FIG. 3  $I-V$  Curve of SiC MOS Capacitor at Different Temperature图4 n型6H SiC MOS电容  $1/E$  与  $\ln(J/E^2)$  的关系曲线FIG. 4  $\ln(J/E^2)$  vs  $1/E$  Curve for n-type 6H-SiC MOS Capacitor

在373K及473K温度下测量氧化层的电流-电压特性,氧化层的击穿电场低于8.5MV/cm,分析原因这可能是本实验生长的SiO<sub>2</sub>较薄(20nm),SiO<sub>2</sub>中可能存在针孔,且电容采用Al栅,温度升高,Al容易穿透SiO<sub>2</sub>层,引起电容过早击穿。若采用离子粘污少,高温下较稳定的多晶硅栅,有可能改善SiC/SiO<sub>2</sub>的高温可靠性。

### 3.4 SiC热生长SiO<sub>2</sub>的击穿场强

SiC热生长SiO<sub>2</sub>击穿场强的测量仪器为Keithley 2400。电容大小为70μm×70μm。电压加在MOS电容的积累区,电压扫描速率为6V/s,当电流突然增加几个数量级时,认为电容击穿。忽略金属半导体功函数差或氧化层电荷影响,用外加电压除以氧化层厚度来简单计算击穿电场强度。图5为SiO<sub>2</sub>

击穿场强的分布. SiC 热生长  $\text{SiO}_2$  的本征击穿场强(用累计失效率 50% 时的场强来计算)为 12.4 MV/cm, 已达到了制作器件的要求.

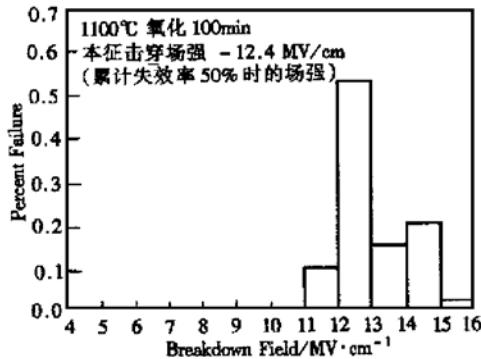


图 5 SiC MOS 电容的击穿电场分布图

FIG. 5 Breakdown Field Distribution of SiC MOS Capacitor

### 3.5 SiC 热生长 $\text{SiO}_2$ 的击穿电荷

图 6 为不同面积的 MOS 电容在恒流应力下测量的击穿电荷  $Q_{bd}$  的 Weibull 分布. 图中的  $Q_{bd}$  值可分为两组, 中间为过渡区域. 第一组包括低于  $1.7 \text{ mC}/\text{cm}^2$  的  $Q_{bd}$  值, 第二组包括高于  $5 \text{ mC}/\text{cm}^2$  的  $Q_{bd}$  值. 随着电容面积的增加, 累计失效率随之增加. 按照 Wolters *et al.*<sup>[16,17]</sup> 公式可计算出氧化层缺陷密度:

$$-\ln(1 - f) = DA$$

这里  $f$  为过渡区的失效率;  $A$  为电容面积;  $D$  为缺陷密度. 计算出的缺陷密度为  $7 \times 10^3 \text{ cm}^{-2}$ .

## 4 结论

通过化学气相淀积, 在 N 型 6H-SiC 晶片上同质外延生长出结构材料, 制备了 MOS 电容. 详细测量并分析了 6H-SiC MOS 电容的电学特性, 通过室温高频  $C-V$  测量, 其有效电荷密度为  $4.3 \times 10^{10} \text{ cm}^{-2}$ ; SiC-MOS 电容的电流-电压特性曲线表明, 通过  $\text{SiO}_2$  的电流为隧穿电流, 并由此估算 SiC 与  $\text{SiO}_2$  之间的势垒高度为 2.67 eV; SiC 热生长  $\text{SiO}_2$  的本征击穿场强(用累计失效率 50% 时的场强来计算)为 12.4 MV/cm, 已达到了制作器件的要求. 通过测量 MOS 电容的击穿电荷, 计算出氧化层缺陷密度为  $7 \times 10^3 \text{ cm}^{-2}$ , 此缺陷密度有些偏高, 有待提高. 另外, Al 棚电容在高温下的击穿电场大大降低, 若采用多

晶硅栅, 可能会改善  $\text{SiO}_2$  的击穿性能.

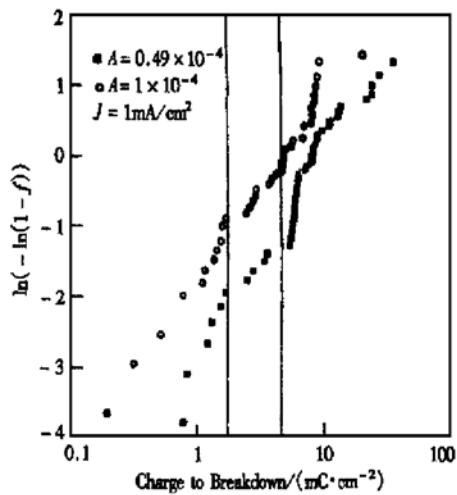


图 6 累计失效率与击穿电荷的关系

FIG. 6 Weibull Plot of the Charge-to-Breakdown for SiC MOS Capacitor

## 参考文献

- [1] J. B. Casady and R. W. Johnson, Solid-State Electron., 1996, 39: 1409.
- [2] P. G. Neudeck, J. Electron. Mater., 1995, 24: 283.
- [3] ZHANG Yu-ming, LUO Jinsheng and ZHANG Yimen, Chinese Journal of Semiconductors, 1997, 18(9): 718—720(in Chinese) [张玉明, 罗晋生, 张义门, 半导体学报, 1997, 18(9): 718—720].
- [4] ZANG Lan, YANG Kai, ZHANG Rong *et al.*, Chinese Journal of Semiconductors, 1998, 19 (3): 197—201 (in Chinese) [臧岚, 杨凯, 张荣, 等, 半导体学报, 1998, 19 (3): 197—201].
- [5] WANG Huiyao, WANG Yinyue, SONG Qing *et al.*, Chinese Journal of Semiconductors, 1998, 19 (8): 569—573 (in Chinese) [王辉耀, 王印月, 宋青, 等, 半导体学报, 1998, 19 (8): 569—573].
- [6] ZHANG Yuming, ZHANG Yimen and LUO Jinsheng, Chinese Journal of Semiconductors, 1999, 20 (11): 1040—1043 (in Chinese) [张玉明, 张义门, 罗晋生, 半导体学报, 1999, 20 (11): 1040—1043].
- [7] SHANG Yechun, ZHANG Yimen and ZHANG Yuming, Chinese Journal of Semiconductors, 2000, 21(2): 169—173 (in Chinese) [尚也淳, 张义门, 张玉明, 半导体学报, 2000, 21(2): 169—173].
- [8] J. N. Shenoy, G. L. Chindalore, M. R. Melchoch *et al.*, J. Electron. Mater., 1995, 24: 303—309.
- [9] S. Sridavan, P. K. McLarty and B. J. Baliga, IEEE Electron Device Lett., 1996, 17: 136—138.
- [10] J. Crofton, P. A. Barnes, J. R. Williams *et al.*, J. Appl. Phys.,

- 1995, **77**: 1317—1319.
- [11] L. A. Lipkin and J. W. Palmour, *J. Electron. Mater.*, 1996, **25**: 909—915.
- [12] CREE Research Inc. 2810 Meridian Parkway, Durham, NC27713.
- [13] J. N. Shenoy, G. L. Chindalore and M. R. Melchoir, *J. Eletron. Mater.*, 1995, **24**: 303.
- [14] J. A. Cooper, *Phys. Status Solidi A*, 1997, **162**: 305.
- [15] Dev Alok, P. K. McIlrath and B. J. Baliga, *Appl. Phys. Lett.*, 1994, **64**: 2845.
- [16] D. R. Wolters and J. J. van der Schoot, *Philips J. Res.*, 1985, **40**: 115.
- [17] M. Treu, R. Schorner and R. Rupp, *Microelectronic Engineering*, 1999, **48**: 253.

## Electrical Characterization of n-Type 6H-SiC MOS Capacitors

WANG Shu-rui, LIU Zhong-li, LIANG Gui-rong, LIANG Xiu-qin and MA Hong-zhi

(Institute of Semiconductor, The Chinese Academy of Sciences, Beijing 100083, China)

**Abstract:** The fabrication and electrical characterization of 6H-MOS capacitors are reported. MOS capacitors have been fabricated in 6H-SiC epilayers grown by chemical vapor deposition on commercially available single-crystal 6H-SiC wafers. On the thermally oxidized n-type 6H-SiC/SiO<sub>2</sub> interface, the effective charge density is  $4.3 \times 10^{10} \text{ cm}^{-2}$ ; the intrinsic electric breakdown field is about 12.4 MV/cm. The barrier height between the silicon carbide and the oxide is estimated to be 2.67 eV.

**Key words:** silicon carbide; MOS; 6H-SiC

**EEACC:** 2520M; 2530F; 7310B; 7310D; 7310Z

**Article ID:** 0253-4177(2001)06-0755-05

WANG Shu-rui was born in 1971. She is currently pursuing the Ph.D degree Under the guidance of Prof. LIU Zhong-li in the Institute of semiconductor, the Chinese Academy of Science, Beijing. Her doctoral research work involves the study of SiC devices.

LIU Zhong-li was born in 1940, research professor, doctoral advisor, who is engaged in the research on semiconducotor device and physics.

Received 2 July 2000, revised manuscript received 30 August 2000

©2001 The Chinese Institute of Electronics