

超薄栅 MOS 结构恒压应力下的直接隧穿弛豫谱

卫建林 毛凌锋 许铭真 谭长华

(北京大学微电子研究所, 北京 100871)

摘要: 随着器件尺寸的迅速减小, 直接隧穿电流将代替 FN 电流而成为影响器件可靠性的主要因素。根据比例差值算符理论和弛豫谱技术, 针对直接隧穿应力下超薄栅 MOS 结构提出了一种新的弛豫谱——恒压应力下的直接隧穿弛豫谱(DTRS)。该弛豫谱保持了原有弛豫谱技术直接、快速和方便的优点, 能够分离和表征超薄栅 MOS 结构不同氧化层陷阱, 提取氧化层陷阱的产生/俘获截面、陷阱密度等陷阱参数。直接隧穿弛豫谱主要用于研究直接隧穿注入的情况下超薄栅 MOS 结构中陷阱的产生和复合, 为超薄栅 MOS 结构的可靠性研究提供了一强有力工具。

关键词: 直接隧穿; 超薄栅氧化层; 陷阱参数; 可靠性

EEACC: 2530F; 2810D

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2001)06-0765-05

1 引言

由于 MOS 器件的栅氧化层厚度随器件的几何尺寸的不断缩小而变得越来越薄, 超薄栅氧化层的可靠性也相应变得越来越重要。当器件尺寸减小到亚微米和深亚微米量级, 特别是当栅氧化层的厚度小于 3nm 后, 为保证器件正常工作, 外加电压也相应减小。在较小的栅电压下, 栅氧化层中将会存在明显的载流子隧穿电流^[1~4], 而且该隧穿电流也明显不再符合 FN 隧穿漏电流^[5,6]的规律, 被称为直接隧穿电流。即使是在工作电压下, 超薄栅氧化层中也存在明显的直接隧穿漏电流。这种漏电流将会对器件的功耗、逻辑电路的驱动能力、存储器的存储能力以及器件的可靠性等产生极其不利的影响, 限制了器件尺寸的进一步缩小。因此, 研究超薄氧化层的直接隧穿特性对于器件的设计是非常重要的。迄今为止, 对直接隧穿引起的超薄栅 MOS 器件的退化及其失效已进行了大量的研究^[7~15], 但是目前还存在很多未知的东西。由于在直接隧穿区域, 直接隧穿电流仍然会在氧化层及界面产生缺陷, 这些缺陷将对器件

的性能产生很大的影响, 因此, 定量地理解直接隧穿引起的器件的退化对器件的设计和优化以及工艺的改进都是非常重要的。

在过去的几十年里, 人们对氧化层的退化和击穿已经进行了广泛的研究, 并且取得了很多重要的成果。尽管目前对器件的退化和击穿的具体机制还不是很清楚, 对已有的模型和机制也存在很多争议, 但是普遍认为氧化层的退化和击穿是与陷阱的产生相关的。因此, 对陷阱的性质的研究及其表征是非常重要的。针对小尺寸 MOS 器件的可靠性分析与研究, 谭和许提出了系列弛豫谱技术^[16~23]。该技术不仅可以用于分离不同的陷阱, 同时能够快速准确地获得陷阱的参数。已有的弛豫谱技术都是基于 FN 注入的, 而对深亚微米器件来说, 直接隧穿替代 FN 隧穿成为引起器件退化的主要因素, 因此已有的弛豫谱技术对于直接隧穿的超薄栅 MOS 结构已经不适用, 需要提出新的弛豫谱技术。而且器件在正常工作情况下, 其退化主要是由于直接隧穿注入引起, 所以研究直接隧穿注入的弛豫谱技术是非常有意义的。本文提出了一种新的弛豫谱——直接隧穿弛豫谱, 该弛豫谱技术可以更好地帮助理解直接隧穿注

卫建林 1972 年出生, 博士研究生, 主要从事小尺寸器件可靠性的研究。

毛凌锋 1971 年出生, 博士研究生, 主要从事小尺寸 MOS 器件中的量子效应及小尺寸器件可靠性的研究。

2000-07-03 收到, 2000-09-13 定稿

©2001 中国电子学会

入引起的超薄栅氧化层的退化.

2 理论

过去,人们对 SiO_2 薄膜的隧穿电流的特性已经进行了大量的理论研究和实验研究^[1-6, 13-15]. 对氧化层厚度大于6nm,而且外加电压是在FN区域时,氧化层的漏电流机制可以很好地用FN电子隧穿来解释.此时隧穿电流密度可以用如下的经典表达式来表述^[5, 6]:

$$J_{\text{FN}} = A E_{\text{ox}}^2 \exp(-B/E_{\text{ox}}) \quad (1)$$

其中 E_{ox} 为氧化层电场; 参数 A 和 B 是与势垒高度和电子在氧化层导带中的有效质量有关的量:

$$A = \frac{m_0}{m_{\text{ox}}} \times \frac{q^3}{16\pi^2 \hbar \phi}$$

$$B = \frac{4}{3} \times \frac{(2m_{\text{ox}})^{1/2}}{q\hbar} \phi^{1/2}$$

式中 q 为电荷量; ϕ 为势垒高度; \hbar 为约化 Planck 常数; m_0 为电子质量; m_{ox} 为电子在氧化层导带中的有效质量.

对超薄氧化层,如果外加电压在氧化层上的压降小于势垒高度,经典的 Fowler-Nordheim 公式就不再适用.图1显示了超薄氧化层的隧穿电流与电场的关系.实验结果表明当外加电压较低时,栅漏电流的曲线明显偏离经典的 FN 线性.开始偏离线性的电场随氧化层厚度的减小而增加.当电流曲线偏离线性后, FN 公式已不适用,此时就必须考虑直接隧穿.

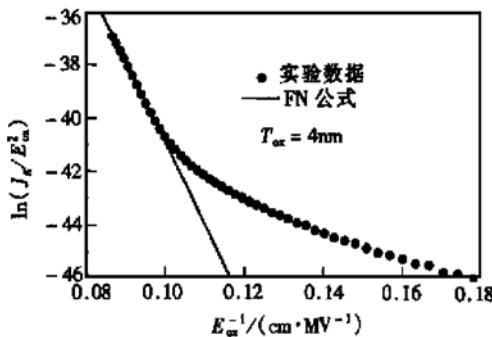


图1 隧穿电流与氧化层电场的关系

FIG. 1 Tunneling Current of Ultra-Thin Gate Oxide Versus Oxide Electrical Field

FN 隧穿和直接隧穿的能带图如图2所示.当 MOS 结构的衬底处于强积累时, 直接隧穿的电流密度可以用下面的表达式来表示:

$$J_{\text{DT}} = \frac{A}{1 - \left[\frac{\phi - qV_{\text{ox}}}{\phi} \right]^{1/2}} E_{\text{ox}}^2 \times \exp \left[- \frac{B}{E_{\text{ox}}} \times \frac{\phi^{1/2} - (\phi - qV_{\text{ox}})^{3/2}}{\phi^{1/2}} \right] \quad (2)$$

式中 V_{ox} 为氧化层上的压降; $E_{\text{ox}} = V_{\text{ox}}/T_{\text{ox}}$ 为氧化层中的电场.

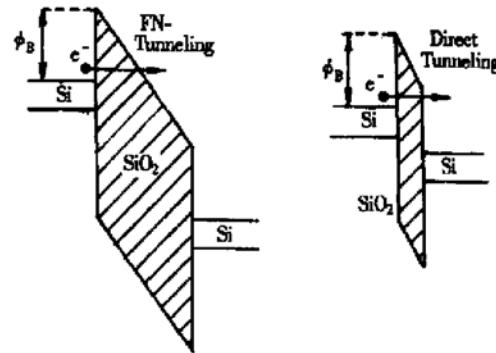


图2 FN 隧穿和直接隧穿能带图

FIG. 2 Energy Band Diagram of MOS Structure (a) Fowler-Nordheim Tunneling; (b) Direct Tunneling

公式(2)可以重写为:

$$J_{\text{DT}} = \frac{A}{\alpha(E_{\text{ox}})} E_{\text{ox}}^2 \exp \left[- \frac{B}{E_{\text{ox}}} \beta(E_{\text{ox}}) \right] \quad (3)$$

其中

$$\alpha(E_{\text{ox}}) = \left[1 - \left[\frac{\phi - qT_{\text{ox}}E_{\text{ox}}}{\phi} \right]^{1/2} \right]^2 \quad (4)$$

$$\beta(E_{\text{ox}}) = \frac{\phi^{1/2} - (\phi - qT_{\text{ox}}E_{\text{ox}})^{3/2}}{\phi^{1/2}} \quad (5)$$

$$\gamma = qT_{\text{ox}}/\phi \quad (6)$$

根据公式(3),为了更准确地分析直接隧穿电流,必须获得正确的氧化层电场 E_{ox} . 所以,必须知道确切的氧化层厚度 T_{ox} 以及氧化层上的压降 V_{ox} .

对于超薄栅氧化层的MOS器件,尽管器件是工作在正常的工作电压下,在氧化层中也会发生直接隧穿.直接隧穿将会导致陷阱的产生和复合,所以获得陷阱参数对直接隧穿电流的影响是非常重要的.在直接隧穿电流的作用下,氧化层中陷阱电荷的改变将会引起氧化层电场的变化.氧化层电场 E_{ox} 的变化可以写为:

$$E_{\text{ox}} = E_0 [1 + \Delta E/E_0] \quad (7)$$

其中 E_0 为氧化层的初始电场,对应初始的直接隧

穿电流为 J_{DTR} ; ΔE 为直接隧穿作用引起的氧化层电场的变化量。

根据公式(3), 我们可以得到:

$$\ln \left[\frac{J_{\text{DT}}}{J_{\text{DTR}}} \right] = \ln \left[\frac{A}{\alpha(E_{\text{ox}})} E_{\text{ox}}^2 \exp \left[- \frac{B}{E_{\text{ox}}} \beta(E_{\text{ox}}) \right] \right] - \ln(J_{\text{DTR}}) \quad (8)$$

通常情况下, $\Delta E/E_0 < 1$, 将公式(7)代入公式(8), 再根据一阶 Taylor 近似, 可以得到:

$$\ln \left[\frac{J_{\text{DT}}}{J_{\text{DTR}}} \right] = \frac{d \{ \ln [J_{\text{DT}}(E_{\text{ox}})] \}}{d(\Delta E/E_0)} \Big|_{\frac{\Delta E}{E_0} = 0} \times \frac{\Delta E}{E_0} \quad (9)$$

重写公式(9)为:

$$\ln \left[\frac{J_{\text{DT}}}{J_{\text{DTR}}} \right] = H_{\text{DT}} \frac{\Delta E}{E_0} \quad (10)$$

其中

$$\begin{aligned} H_{\text{DT}} &= \frac{d \{ \ln [J_{\text{DT}}(E_{\text{ox}})] \}}{d(\Delta E/E_0)} \Big|_{\frac{\Delta E}{E_0} = 0} \\ &= 2 - \frac{\gamma E_0}{\left[1 - (1 - \gamma E_0)^{\frac{1}{2}} \right] (1 - \gamma E_0)^{\frac{1}{2}}} \\ &+ \frac{B}{E_0} \left[1 - \frac{3}{2} \gamma E_0 (1 - \gamma E_0)^{\frac{1}{2}} - (1 - \gamma E_0)^{\frac{3}{2}} \right] \end{aligned} \quad (11)$$

根据一阶速率方程和高斯定律, 氧化层电场的改变 ΔE 可以用产生/复合的陷阱电荷 N_{ot} 来描述:

$$\begin{aligned} \Delta E &= - \frac{qX}{\epsilon_{\text{ox}} T_{\text{ox}}} N_{\text{ot}} \\ &= - \frac{qX}{\epsilon_{\text{ox}} T_{\text{ox}}} N_{\text{ots}} [1 - \exp(-\delta_{\text{ot}} F)] \end{aligned} \quad (12)$$

其中 ϵ_{ox} 为 SiO_2 的介电常数; N_{ots} 、 δ_{ot} 和 X 分别为氧化层陷阱的陷阱密度饱和值、俘获截面以及矩心(距离阳极界面的距离)。

$$\begin{aligned} \ln \left[\frac{J_{\text{DT}}(F)}{J_{\text{DTR}}} \right] &= - \frac{H_{\text{DT}}}{E_0} \times \frac{q}{\epsilon_{\text{ox}}} \times \frac{X}{T_{\text{ox}}} \\ &\times N_{\text{ots}} [1 - \exp(-\delta_{\text{ot}} F)] \end{aligned} \quad (13)$$

$$N_{\text{ot}}(F) = - \frac{\epsilon_{\text{ox}} E_0}{q H_{\text{DT}}} \times \frac{T_{\text{ox}}}{X} \ln \left[\frac{J_{\text{DT}}(F)}{J_{\text{DTR}}} \right] \quad (14)$$

等效的氧化层陷阱密度 $N_{\text{ots, eff}}$ 为:

$$\begin{aligned} N_{\text{ots, eff}}(F) &= \frac{X}{T_{\text{ox}}} N_{\text{ot}}(F) \\ &= \frac{X}{T_{\text{ox}}} N_{\text{ots}} [1 - \exp(-\delta_{\text{ot}} F)] \\ &= N_{\text{ots, eff}} [1 - \exp(-\delta_{\text{ot}} F)] \\ &= - \frac{\epsilon_{\text{ox}} E_0}{q H_{\text{DT}}} \ln \left[\frac{J_{\text{DT}}(F)}{J_{\text{DTR}}} \right] \end{aligned} \quad (15)$$

其中 $N_{\text{ots, eff}} = \frac{X}{T_{\text{ox}}} N_{\text{ots}}$, 为等效的饱和氧化层陷阱密度。

根据比例差分算符^[15]方法, 从公式(15)可以得到 $N_{\text{ots, eff}}(F)$ 在电子流量域的比例差分函数如下:

$$\begin{aligned} \Delta_p N_{\text{ots, eff}}(F) &= - \frac{\epsilon_0 E_0}{q H_{\text{DT}}} \ln \left[\frac{J_{\text{DT}}(k_p F)}{J_{\text{DTR}}} \right] \\ &+ \frac{\epsilon_0 E_0}{q H_{\text{DT}}} \ln \left[\frac{J_{\text{DT}}(F)}{J_{\text{DTR}}} \right] = N_{\text{ots, eff}} [1 - e^{(-\delta_{\text{ot}}) k_p F}] \\ &- N_{\text{ots, eff}} [1 - e^{(-\delta_{\text{ot}}) F}] = N_{\text{ots, eff}} [\exp(-\delta_{\text{ot}}) F) \\ &- \exp(-\delta_{\text{ot}}) k_p F] \end{aligned} \quad (16)$$

再根据差值取样原理^[19], 从上式可以得到氧化层陷阱的产生俘获截面 δ_{ot} 和等效的饱和陷阱密度 $N_{\text{ots, eff}}$:

$$\delta_{\text{ot}} = \frac{\ln(k_p)}{k_p - 1} \times \frac{1}{F_{\text{op}}} \quad (17)$$

$$N_{\text{ots, eff}} = \frac{\Delta_p N_{\text{ots, eff}}(F_{\text{op}})}{(k_p - 1) k_p^{1-k_p}} \quad (18)$$

其中 F_{op} 为氧化层陷阱密度差分函数的峰值流量。

3 直接隧穿注入和 FN 注入的弛豫谱比较

如果从超薄栅 MOS 器件的样品中用弛豫谱方法测量一组实验数据, 实验的应力条件为直接隧穿注入。然后, 分别采用氧化层电流弛豫谱(OCRS)^[16]和 DTRS 方法来处理该数据, 即分别将隧穿电流当作 FN 隧穿电流 J_{FN} 和直接隧穿电流 J_{DT} 。根据公式(17), 两种情况下氧化层陷阱的产生俘获截面相同, 但是由于两种弛豫谱所得到的 $\Delta_p N_{\text{ots, eff}}(F)$ 不同, 而该值会影响氧化层陷阱的等效饱和密度 $N_{\text{ots, eff}}$ 。

对 FN 应力:

$$\begin{aligned} \Delta_p N_{\text{ots, eff}}^{\text{FN}}(F) &= - \frac{E_0 \epsilon_{\text{ox}}^2}{q(2E_0 + B)} \\ &\times \left[\ln \left[\frac{J_{\text{FN}}(k_p F)}{J_{\text{FN}0}} \right] - \ln \left[\frac{J_{\text{FN}}(F)}{J_{\text{FN}0}} \right] \right] \\ &= - \frac{E_0 \epsilon_{\text{ox}}^2}{q(2E_0 + B)} [\ln(J_{\text{FN}}(k_p F)) - \ln(J_{\text{FN}}(F))] \end{aligned} \quad (19)$$

所以可得到:

$$\frac{\Delta_p N_{\text{ots, eff}}^{\text{FN}}(F)}{\Delta_p N_{\text{ots, eff}}^{\text{DT}}(F)} = \frac{\frac{E_0^2 \epsilon_{\text{ox}}}{q(2E_0 + B)}}{\frac{\epsilon_{\text{ox}} E_0}{q H_{\text{DT}}}} < 1 \quad (20)$$

由于 $N_{\text{ots, eff}}$ 是随 $\Delta_p N_{\text{ots, eff}}(F)$ 增加的函数, 所以

根据上式即可计算出两种弛豫谱所得到的陷阱密度的比值, 如图 3 所示。由此, 我们可以知道, 如果 $J_{DT}(F) = J_{FN}(F)$, 直接隧穿应力下的 $N_{ot,eff}$ 将会比 FN 应力下的结果大, 也就是所在相同的隧穿电流下, 直接隧穿引起的器件的退化比 FN 隧穿大。因此, 对于同一实验结果, 如果隧穿电流是直接隧穿电流, OCRS 给出的结果将偏小, 此时必须使用 DTRS。

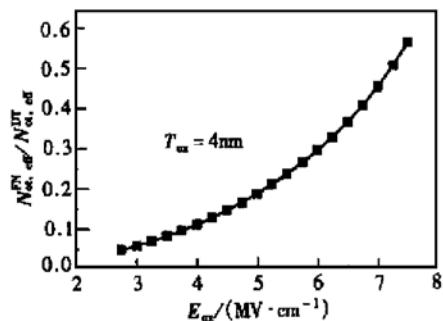


图 3 OCRS 与 DTRS 的等效陷阱密度 $N_{ot,eff}(F)$ 比值与电场的关系

FIG. 3 Peak Value Ratio of $N_{ot,eff}(F)$ Between FN Injection and DT Injection Versus Oxide Electrical Field

4 结论

本文给出了一种新的差分方法——直接隧穿弛豫谱, 可以用来研究超薄栅氧化层的 MOS 结构在直接隧穿应力下器件的退化情况。该方法是对系列弛豫谱技术的一个扩展, 同时保持弛豫谱技术的直接、快速和方便的特点以及直接隧穿应力下器件的氧化层陷阱的陷阱参数, 如陷阱的产生俘获截面、陷阱密度等。直接隧穿弛豫谱和 OCRS 的主要差别在于两者的注入条件不同, 前者是直接隧穿注入, 而后者是 FN 隧穿注入。也正因为两者的注入条件不同, 所以两者的应用范围也是不同的, DTRS 适用于直接隧穿注入, 而 OCRS 适用于 FN 注入。

参考文献

- [1] H. S. Momose, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito and H. Iwai, IEEE Trans. Electron Devices, 1996, **43**(8): 1233—1242.
- [2] M. Depas, T. Nigam and M. M. Heyns, Solid-State Electronics, 1997, **41**(5): 725—728.
- [3] W. K. Shih, E. X. Wang, S. Jallepalli, F. Leon, C. M. Maziar and A. F. Taschjr, Solid-State Electronics, 1998, **42**(6): 997—1006.
- [4] N. Yang, W. K. Henson, J. R. Hauser and J. J. Wortman, IEEE Trans. Electron Devices, 1999, **46**(7): 1464—1470.
- [5] M. Lenzlinger and E. H. Snow, J. Appl. Phys., 1969, **40**(1): 278—283.
- [6] Z. A. Weinberg, J. Appl. Phys., 1982, **53**(7): 5052—5056.
- [7] M. Depas, B. Vermeire, P. W. Mertens, R. L. van Meirhaghe and M. M. Heyns, Solid-State Electronics, 1995, **38**(8): 1465—1471.
- [8] H. Nakatsuji and Y. Omura, Electronics Letters, 1999, **35**(23): 2016—2018.
- [9] N. Matsuo, T. Miura, A. Urakami and T. Miyoshi, Jpn. J. Appl. Phys., 1999, **38**(7A): 3967—3971.
- [10] K. F. Schuegraf, Donggun Park and Chenming Hu, IEDM, 1994: 609—612.
- [11] A. Schenk and G. Heiser, J. Appl. Phys., 1997, **81**(12): 7900—7908.
- [12] Chun-Yen Chang, Chi-Chun Chen, Horng-Chih Lin, Mong-Song Liang, Chao-Hsin Chien and Tiao-Yuan Huang, Microelectronics Reliability, 1999, **39**: 553—566.
- [13] A. Ghetti, E. Sangiorgi, T. W. Sorach and I. Kiziyalli, Microelectronics Engineering, 1999, **48**: 31—34.
- [14] N. Yang, W. K. Henson and J. J. Wortman, IEDM, 1999.
- [15] C. H. Choi, K. H. Oh, J. S. Goo, Z. Yu and R. W. Dutton, IEDM, 1999.
- [16] M. Xu, C. Tan and Y. Wang, J. Appl. Phys., 1990, **67**(11): 6924—6929.
- [17] M. Xu, C. Tan and Y. Wang, IEEE Electron Device Lett., 1991, **12**(3): 122—124.
- [18] C. Tan, M. Xu and Y. Wang, IEEE Electron Device Lett., 1994, **15**(7): 257—259.
- [19] C. Tan, M. Xu, X. Liu, Y. He and Y. Wang, J. Appl. Phys., 1995, **77**(6): 2576—2581.
- [20] M. Xu, C. Tan, Y. He, X. Liu and Y. Wang, IEEE Trans. Electron Devices, 1996, **43**(4): 628—635.
- [21] M. Xu, C. Tan, Y. He and Y. Wang, Solid-State Electron., 1994, **37**(1): 31—36.
- [22] XU Mingzhen, TAN Changhua, LIU Xiaowei et al., Chinese Journal of Semiconductors, 1991, **12**(15): 273 [许铭真, 谭长华, 刘晓卫, 等, 半导体学报, 1991, **12**(5): 273].
- [23] XU Mingzhen, TAN Changhun and WANG Yangyuan, Chinese Journal of Semiconductors, 1992, **13**(1): 62 [许铭真, 谭长华, 王阳元, 半导体学报, 1992, **13**(1): 62].

Direct Tunneling Relaxation Spectroscopy in Ultrathin Gate Oxide MOS Structures Under Constant Pressure Stress

WEI Jian-lin, MAO Ling-feng, XU Ming-zhen and TAN Chang-hua

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: With the rapid scaling down of MOS devices, the direct tunneling current becomes the main factor for MOS device reliability instead of FN tunneling. Based on the method of proportional difference operator and relaxation spectroscopy technique, a new relaxation spectroscopy technique, Direct Tunneling Relaxation Spectroscopy (DTRS) is presented for the ultrathin gate oxide MOS structure under the direct tunneling stress, which has the same advantages of OCRS technique, direct, fast and convenient. It can separate and characterize different traps in an ultra-thin direct tunneling gate oxide, and extract the parameters of an oxide trap, such as the generation/capture cross section and density. It is a useful tool to study the mechanism of degradation in the ultra-thin MOSFET under direct tunneling stress.

Key words: direct tunneling; ultrathin gate oxide; trap parameters; reliability

EEACC: 2530F; 2810D

Article ID: 0253-4177(2001)06-0765-05

WEI Jian-lin born in 1972, Ph. D candidate. His main research interest is in the modeling of MOS devices and degradation of MOS devices under uniform, non-uniform stresses.

MAO Ling-feng born in 1971, Ph. D candidate. His main research interest is the quantum effects in the MOS devices and the modeling of MOS devices and degradation of MOS devices under uniform, non-uniform stresses.

Received 3 July 2000, revised manuscript received 13 September 2000

©2001 The Chinese Institute of Electronics