

# 深亚微米 MOS 器件的热载流子效应\*

刘红侠 郝跃 孙志

(西安电子科技大学微电子所, 西安 710071)

**摘要:** 对深亚微米器件中热载流子效应 (HCE) 进行了研究。还研究了沟道热载流子的产生和注入以及与器件工作在高栅压、中栅压和低栅压三种典型的偏置条件的关系。在分析热载流子失效机理的基础上, 讨论了热载流子效应对电路性能的影响。提出影响晶体管热载流子效应的因素有: 晶体管的几何尺寸、开关频率、负载电容、输入速率及晶体管在电路中的位置。通过对这些失效因素的研究并通过一定的再设计手段, 可以减少热载流子效应导致的器件退化。

**关键词:** 深亚微米; MOS 器件; 热载流子效应; 可靠性

**EEACC:** 2560B; 2560R

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2001)06-0770-04

## 1 引言

随着 VLSI 制造技术向深亚微米方向发展, 热载流子效应(HCE)已成为限制 VLSI 电路最大器件密度的主要可靠性因素之一<sup>[1-4]</sup>。对 HCE 的研究主要集中在热载流子失效机理方面, 在抗 HCE 设计方面, 并没有得到足够的重视。抗 HCE 分为三种类型: 工艺级、器件级和电路级。工艺方面最主要为采用各种新的工艺; 器件级的设计最主要体现为采用各种新的器件结构; 器件级针对一些导致 HCE 失效的因素而作的改进器件可靠性的方法, 这种设计只适用于单个器件结构, 并没有考虑到系统整体的功能; 电路级体现在子电路级的设计, 纯粹为减少 HCE 而作的子电路设计。

本文研究了深亚微米 MOS 器件中的衬底热载流子效应和沟道热载流子效应, 分析了沟道热载流子的产生和注入与器件偏置条件的关系, 研究了电路中影响热载流子效应的主要因素。通过对这些失效因素的研究和一定的再设计手段, 可减少 HCE 导致的器件退化。

## 2 MOS 器件中的热载流子效应

MOS 器件的热载流子效应有衬底热载流子效应和沟道热载流子效应两种。图 1 给出了这两种效应的示意图。

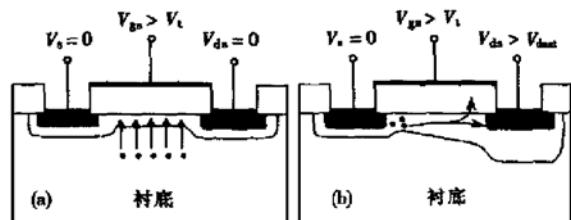


图 1 (a) 衬底热载流子效应; (b) 沟道热载流子效应

FIG. 1 (a) Substrate Hot-Carrier Effects; (b) Channel Hot-Carrier Effects

衬底热载流子是由衬底结的漏电流及其倍增电流产生的。沟道热载流子是由沟道中在高场下运动的电荷及其倍增电荷形成的。由于 MOS 器件的偏置电压决定了器件的工作状态, 确定了沟道和氧化层中的电场分布, 所以沟道热载流子的产生和注入

\* 国防科技电子预研资助项目(No. G9825741)。

刘红侠 女, 1968 年出生, 工程师, 博士研究生, 从事 VLSI 集成电路 MOS 器件退化机理、模型及薄栅介质可靠性物理研究。

郝跃 男, 1958 年出生, 教授, 博士研究生导师, 主要从事 IC 可制造性设计、IC 可靠性模型与设计、新器件与新电路研究。

2000-04-03 收到, 2000-07-14 定稿

©2001 中国电子学会

是与器件的偏置条件密切相关的。以 NMOS 器件为例, 其沟道热载流子效应可分为三个偏置应力区域。

(1) 在高栅压应力区( $V_{gs} \geq V_{ds}$ ), 此时器件工作在临界饱和点附近, 沟道横向电场强度小于最大值, 热载流子的数量较少, 因而产生的界面态数量也较少, 但氧化层纵向电场的方向有利于注入的热电子进入栅氧化层, 因而氧化层中的电荷陷阱俘获的注入电子就成为影响器件退化的主要原因。

(2) 在中栅压( $V_{gs} \approx V_{ds}/2$ ) 应力区, 器件工作在饱和状态, 此时沟道横向电场达到最大值, 碰撞电离率最大, 产生了大量的热载流子, 使界面态的产生达到峰值, 成为器件退化的主要机制。据此得出的界面态陷阱电荷引入的器件退化量与时间呈幂指数关系的结论  $\Delta A = CT^n$  与实验结果符合得很好, 其中  $C$  为与工艺有关的常数,  $n$  取值在 0.5—0.7。

(3) 在低栅压( $V_{gs} \approx V_{ds}/4 - V_{ds}/2$ ) 区, 即栅压接近阈值电压时, 由于器件刚进入强反型区, 较少的热载流子只能产生少量的界面态, 但此时氧化层纵向电场有利于热空穴的注入, 器件退化可归因于漏结空间电荷区雪崩热空穴的注入和俘获<sup>[5]</sup>。

### 3 影响热载流子效应的因素

根据对上面的失效机理和失效评估模型的研究和对典型的 CMOS 电路进行模拟, 可以发现一些影响 HCE 退化的因素。通过对这些失效因素的研究和通过一定的再设计手段, 可以减少 HCE 导致的器件退化。

(1) 在 NMOS 晶体管中, 衬底电流的产生是由于电子碰撞电离产生的, 而碰撞电离和最大的沟道电场  $E_m$  密切相关<sup>[6]</sup>。

$$I_{sub} = \frac{A_i}{B_i} E_m l I_d \exp\left(-\frac{B_i}{E_m}\right) \quad (1)$$

式中  $A_i$  和  $B_i$  是物理常数;  $l$  是饱和区的特征长度;  $I_{sub}$  和  $I_d$  分别是衬底电流和漏电流;  $E_m$  是使用准二维的方法解出来的<sup>[7]</sup>。

$$E_m \approx (V_{ds} - V_{dsat})/l_c \quad (2)$$

式中  $V_{ds}$  是漏电压;  $V_{dsat}$  是饱和漏电压,  $V_{dsat} = V_{gs} - V_t$ ,  $V_{gs}$  和  $V_t$  分别是栅电压和阈值电压。式(1)变为

$$I_{sub} = \frac{A_i}{B_i} (V_{ds} - V_{dsat}) I_d \exp\left(-\frac{B_i l_c}{V_{ds} - V_{dsat}}\right) \quad (3)$$

可见, 衬底电流  $I_{sub}$  与  $(V_{ds} - V_{dsat})$  成指数关系, 因此晶体管工作时不进入饱和区或减小沟道上的电

压, 都可以有效减少热载流子导致的器件和电路退化。因此与非门中的 NMOS 管比或非门中的 NMOS 管退化程度小, 这是因为 NMOS 管的串联降低了每个管子上的漏源电压  $V_{ds}$ 。因此, 与非门构成的电路将比由或非门、反相器或缓冲门构成的电路热载流子退化更小, 即由与非门构成的电路可靠性更高。

(2) 晶体管的开关频率是影响 HCE 退化的因素之一。开关频率为电路中的某一个门中的某一个晶体管其开关状态的改变而导致整个门的输出变化的概率。晶体管工作在饱和区时才会发生 HCE, 对于 CMOS 电路来说是在开关的过渡状态才发生 HCE。所以, 门输出从高到低的转换越频繁, 即时钟频率越高, 晶体管的损伤越严重。

(3) HCE 退化也和晶体管处于饱和区的时间长短有关, 也就是说 HCE 退化和输入端的转换速率和负载电容的大小有关。较慢的转换速率会引起较宽的衬底电流的时间跨度, 从而导致更多的退化; 过高的负载电容会增加晶体管位于饱和区的时间, 也会导致更多的退化。图 2 表示了一个 CMOS 倒相器中 NMOS 管的 HCE 失效与信号的输入斜率和负载电容之间的关系。随着负载电容和输入斜率的增大, HCE 失效增大; 而且在负载电容一定时, HCE 导致的失效是和输入斜率呈亚线性关系。

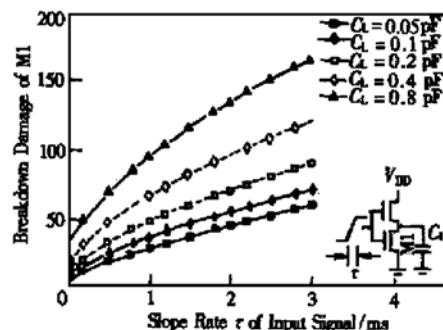


图 2 CMOS 倒相器中 NMOS 的失效与输入斜率和负载电容之间的关系

FIG. 2 Relation Between Failure of NMOS, Slope Rate and Load Capacitors in CMOS Inverters

(4) HCE 退化还与晶体管在电路中的位置有关。在图 3 中的 NAND 门, 有三种可能的信号输入: 1) M1 和 M2 同时开启; 2) M1 比 M2 先开启; 3) M2 比 M1 先开启。仿真结果如表 1 所示。在第一和

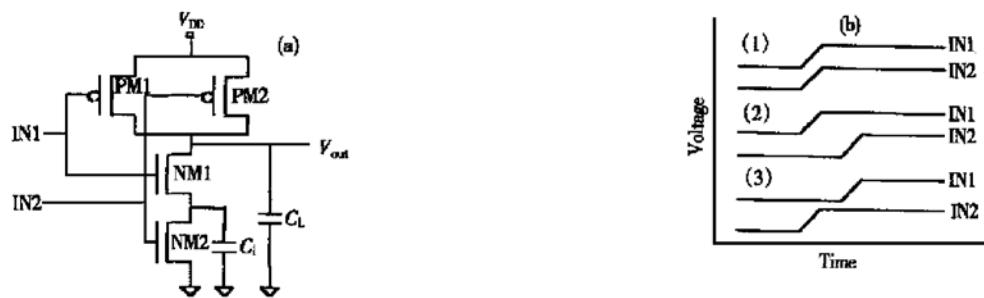


图 3 (a) CMOS 电路; (b) 三种信号输入方式

FIG. 3 (a) CMOS Circuits; (b) Three Kinds of Input Signals

第二种情况下, M<sub>1</sub> 和 M<sub>2</sub> 的失效很小; 在第三种情况下, M<sub>1</sub> 的失效非常严重, 失效量是 M<sub>2</sub> 的几个数量级。由于在第一种情况下, M<sub>1</sub> 和 M<sub>2</sub> 同时开启, 两个晶体管同时分担输出电压 V<sub>out</sub>, 即漏源电压几乎是输出电压的一半, 而漏源电压的降低将大大减小由于 HCE 导致的失效; 在第二种和第三种情况下, M<sub>1</sub> 和 M<sub>2</sub> 都要有一个从高到低的转换, 在第二种情况下, 晶体管 M<sub>1</sub> 的漏源电压是 V<sub>DD</sub> - V<sub>t1</sub>, 这是由于 M<sub>2</sub> 的弱高态而使晶体管 M<sub>1</sub> 避免遭受严重的失效; 在第三种情况中, M<sub>2</sub> 先开启, M<sub>1</sub> 的漏源电压直接就是 V<sub>DD</sub>, 造成 M<sub>1</sub> 在饱和区时间更长, 遭受更大的失效。由 CMOS 门构成的与非门中最上面的 NMOS 管更容易发生热载流子损伤。

表 1 三种不同输入信号导致 NMOS 的 HCE 失效

Table 1 HCE Failure of NMOS Induced by Three Kinds of Different Input Signals

| 失效率/%                   | 晶体管            | 情况 1                     | 情况 2                     | 情况 3                     |
|-------------------------|----------------|--------------------------|--------------------------|--------------------------|
| C <sub>L</sub> = 0.3pF  | M <sub>1</sub> | 7.615 × 10 <sup>-2</sup> | 3.114 × 10 <sup>-2</sup> | 1.376 × 10 <sup>-1</sup> |
| C <sub>L</sub> = 0.01pF | M <sub>2</sub> | 0                        | 3.648 × 10 <sup>-4</sup> | 0                        |
| C <sub>L</sub> = 0.3pF  | M <sub>1</sub> | 9.463 × 10 <sup>-2</sup> | 9.467 × 10 <sup>-2</sup> | 1.418 × 10 <sup>-1</sup> |
| C <sub>L</sub> = 0.03pF | M <sub>2</sub> | 0                        | 3.150 × 10 <sup>-4</sup> | 0                        |
| C <sub>L</sub> = 0.3pF  | M <sub>1</sub> | 1.617 × 10 <sup>-1</sup> | 1.415 × 10 <sup>-1</sup> | 1.476 × 10 <sup>-1</sup> |
| C <sub>L</sub> = 0.3pF  | M <sub>2</sub> | 0                        | 6.872 × 10 <sup>-5</sup> | 0                        |

## 4 结论

本文研究了深亚微米 MOS 器件中的衬底热载流子效应和沟道热载流子效应, 分析了沟道热载流子的产生和注入与器件的偏置条件的关系, 提出影响晶体管 HCE 退化的因素有: 晶体管的几何尺寸、开关频率、负载电容、输入转换速率及晶体管在电路中的位置。

## 参考文献

- [1] B. S. Doyle, K. R. Mistry and C. L. Huang, IEEE Trans. Electron Devices, 1995, **42**(1): 116—122.
- [2] F. Balestra, T. Matsumoto, M. Tsuno, H. Nakabayashi and M. Koyanagi, IEEE Electron Device Lett., 1995, **16**(2): 433—435.
- [3] J. E. Chung, M. Jeng, J. E. Moon, P. K. Ku and C. Hu, IEEE Trans. Electron Devices, 1990, **37**(8): 1651—1657.
- [4] YANG Mo-hua, YU Qi, WANG Xiang-zhan et al., Model Parameter Extraction for MOSFETs Hot Carrier Degradation/Age, Chinese Journal of Semiconductors, 2000, **21**(3): 268—273 (in Chinese) [杨谟华, 于奇, 王向展, 等, MOSFET 热载流子退化/寿命模型参数提取, 半导体学报, 2000, **21**(3): 268—273].
- [5] B. S. Doyle, M. Bourcerie, C. Bergonzoni et al., IEEE Trans. Electron Devices, 1990, **37**(9): 1869—1876.
- [6] C. Hu et al., IEEE Trans. Electron Devices, 1985, **32**(2): 375—382.
- [7] P. K. Ko et al., IEDM Tech. Dig., 1991, 600—605.

## Hot-Carrier Effects in Deep Sub-Micron MOSFET's<sup>\*</sup>

LIU Hong-xia, HAO Yue and SUN Zhi

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

**Abstract:** The hot carrier effects (HCE) in deep sub-micron devices has been studied. The relations between generation and injection of channel hot carriers and three kinds of main bias conditions: the high voltage, the medium voltage and the low voltage are investigated. The impact of hot-carrier effects on circuit performance is also discussed on the basis of mechanisms of hot carriers induced failure. It is presented that the factors that affect hot-carrier effects of transistors include: the size, frequency, load capacitors, input velocity and the positions of transistors. The device degradation induced by HCE can be reduced by studying these failure factors to resign the circuits.

**Key words:** deep submicron; MOSFET's; hot-carrier effects; reliability

**EEACC:** 2560B; 2560R

**Article ID:** 0253-4177(2001)06-0770-04

\* Project Supported by National Defence Scientific and Technical Program of China(No. G9825741).

LIU Hong-xia female, was born in 1968, Ph. D candidate. Her present interests and activities cover hot-carrier effects in deep submicron MOSFET's and reliability physics of thin dielectrics.

HAO Yue male, was born in 1958, professor. He is engaged in research on reliability model and design of IC, new device and circuits.

Received 3 April 2000, revised manuscript received 14 July 2000

© 2001 The Chinese Institute of Electronics