

# 一种采用新触发器的高速 CMOS 前置分频器\*

张春晖 李永明 陈弘毅

(清华大学微电子学研究所, 北京 100084)

**摘要:** 在锁相环设计中, 前置双模分频器(DMP)是一个速度瓶颈。文中提出一种新的分析方法, 将限制 DMP 速度的因素分为两个方面, 寄存器级限制(RLL)和电路级限制(PLL)。指出影响 DMP 速度的原因在 PLL。提出了时钟延迟技术(CDT)并采用高速触发器, 解决 PLL 问题。通过版图提取后仿真显示, 用这种触发器构成的 0.8μm n 块 CMOS DMP 在 5V 下工作频率达到 2.4GHz。

**关键词:** 锁相环; DMP; 特征尺寸

EEACC: 1250; 2570D; 1230B

中图分类号: TN 386 文献标识码: A 文章编号: 0253-4177(2001)06-0788-04

## 1 引言

在过去的十年中, CMOS 成为 VLSI 系统设计的主流。频率合成器是通讯系统中一个主要组成模块, 而绝大多数频率合成器由 PLL 构成, 使得 CMOS PLL 成为最近研究领域的热点。在吞脉冲 PLL 中, 压控振荡器和前置分频器是工作在最高频的部分<sup>[1]</sup>。因此, 提高前置分频器的速度等于解决 PLL 速度上限的一个关键因素。

高速器件和好的电路设计是提高数字电路速度的两种途径。然而, 在特定工艺下, 存在一个速度极限<sup>[2]</sup>。前置双模分频器由触发器构成, 建立时间、保持时间和传输延时是触发器三个主要参数, 也是寄存器的主要参数。通常 0.8μm CMOS 工艺下 Yuan-Svensson D-FF<sup>[3]</sup>的传输延时为 200ps, 由于沿触发机理, 建立时间和保持时间相对较短, 可以忽略。按照传统的分析方法, 0.8μm CMOS 工艺下前置双模分频器至少可以工作到 4GHz, 实际上, 几乎没有一种能超过 2GHz<sup>[4-7]</sup>。

其原因在于忽视了触发器的内部电路。任何门

电路甚至门的某一级电路都有非零传输延迟, 在一个时钟周期内, 一个节点在达到最终稳定的逻辑电平前可能呈现多种状态。这个从上一级到下一级的有限延迟有可能产生假信号。因此, 仅仅从寄存器级考虑频率极限(RLL, Register Level Limitation)是不够的, 还应该从管级或电路级进行分析(PLL, Circuit Level Limitation)。事实上, 至今多数前置双模分频器的速度受限于 PLL。

本文着重分析了导致 PLL 的因素, 并相应提出了一种解决的方案——时钟延迟技术(CDT, Clock Delay Technique)。与现有的结构比较, 0.8μm CMOS 工艺下使用 CDT 的 DMP 最高时钟频率达到了 2.4GHz。

第 2 节分析了 DMP 的最高频率极限。本文提出的新电路结构将在第 3 节阐述。第 4 和 5 节分别给出了实验结果和结论。

## 2 DMP 的最高频率极限

对于晶体管器件构成的电路, 几乎都属于广义上的低通或带通网络。MOS 管的特征尺寸很大程度

\* 国家重点基础研究专项经费资助项目。

张春晖 男, 1974 年出生, 硕士研究生, 主要从事集成高频锁相环设计与研究。

李永明 男, 1945 年出生, 副教授, 从事大规模模拟集成电路设计和教学, 语音信号处理及其集成电路设计和研究。

陈弘毅 男, 教授, 博士生导师, 中国电子学会高级会员。主要从事 VLSI 技术研究, 数字信号处理, 算法的硬件架构与实现。

上决定了它的传输特性。衡量特定工艺下 MOS 管传输速度特性的最好途径是 CMOS 反向器, CSMC 公司 (Central Semiconductor Manufacturing Corporation) 标准  $0.8\mu\text{m}$  CMOS 工艺下的 CMOS 反向器传输延迟约为 80ps。

多数 divide-by-64/65 DMP 电路如图 1 所示, 它由同步触发 divide-by-4/5 部分和异步触发的 divide-by-16 部分组成。其中, 唯独由 D-FF 和与非门构成的同步分频器工作在最高频率——输入频率, 链式 T 触发器构成的 divide-by-16 计数器属于低频级。

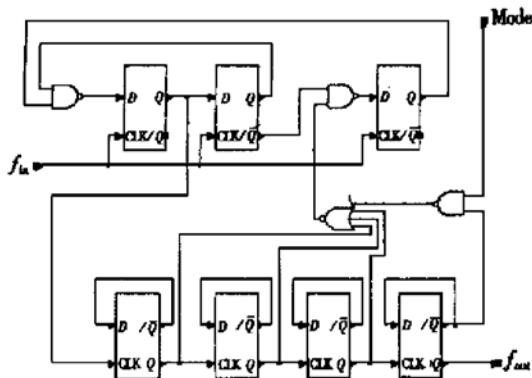


图 1 前置双模分频器结构

FIG. 1 Structure of DMP

显然, 这种拓扑结构使得同步分频器成为限制频率的关键, 因为其余部分的最高频率仅为输入频率的  $1/4$ 。为减少位于关键路径上的与非门造成最高工作频率下降, 可以把与非门嵌入 D-FF 构成一个逻辑触发器(L-FF)。尽管这种改进设计不能完全消除与非门的影响, 但 L-FF 的性能非常接近 D-FF, 因此, D-FF 是衡量最高频率的关键因素。

用作为高速数字电路最重要基本模块之一的 Yuan-Svensson D-FF<sup>[3]</sup>进行比较, 来讨论最高工作频率极限中的某些重要方面。

D-FF 具备寄存器级电路的三个基本时间参数: 建立时间、保持时间和传输延迟( $t_s, t_h, t_p$ )。在 DMP 拓扑结构中, 把 D-FF 看作理想的寄存器, 通常  $t_h < t_p$  (保持时间小于传输延迟) 是满足的, 最高工作频率  $f_{rmax}$  为  $1/(t_s + t_p)$ 。由于  $t_s \ll t_p, f_{rmax}$  可简化为  $f_{rmax} = 1/t_p$ 。D-FF<sup>[2]</sup> 输入到输出为 3—4 级, 由于动态工作, 预充电使信号传输过程减少到 2—3 级的 2—3 串 CMOS。对于  $0.8\mu\text{m}$  CMSC CMOS, 这个延迟约为 200—300ps, 与仿真结果相符。将该结果用

到 DMP 中, 可以得到 4GHz 工作频率的结论。不幸的是, 由 Yuan-Svensson D-FF<sup>[3]</sup> 派生出的  $0.8\mu\text{m}$  标准 CMOS 下 DMP 仅是接近 2GHz。可见, 仅从寄存器级考虑 D-FF 是不够的, 还存在着其它的原因限制了工作频率, 这些因素来自 D-FF 内部。

实际上, 当一个电路正常工作时, 其内部元件之间的关系是固定而且相互制约的。一个元件的输入可能由一个或几个元件的输出共同作用。当速度上升到一定程度时, 元器件广义上的低通特性导致的过量延迟会破坏这种正常的运作关系, 造成冲突。这个频率的极限无法用寄存器级的三个时间参数解释, 而必须从更基础的角度出发, 这就是 CLL。

图 2 为九管 D-FF<sup>[3]</sup>, 当  $D = 0$  及  $CLK = 0$  时, 将出现假信号。此时, 节点  $a$  变为逻辑“高”, 节点  $b$  也预充至逻辑“高”。在求值阶段,  $CLK = 1$ , 关闭 MPS2 的同时打开 MNS2。由于节点  $b$  无法立即放电至低电平, 这段节点  $b$  仍为“高”的阶段有可能足够长到使  $Q$  点放电到错误的逻辑“低”。取决于各晶体管的尺寸, 这个假信号可能导致严重的后果。该冲突即为限制频率上限的一个因素。

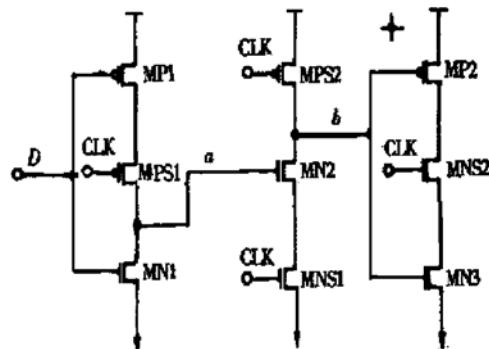


图 2 Yuan-Svensson 的九管 D-FF 结构

FIG. 2 Nine-Transistor D-FF by Yuan-Svensson

### 3 电路描述

虽然 D-FF<sup>[3]</sup> 的九管结构比较简单, 但它们之间的关系是非常复杂的。比如, 电平从低至高变化是伪 nMOS 门的弱点, 但却不能简单地加大 pMOS 管, 因为这样既降低了门速度又加重了时钟线的负载。同时, 寄生电容也不是固定的<sup>[8]</sup>。单从管级分析不仅繁复, 而且很难体现运转机理。因此, 需要在寄存器级和电路级作出折中。根据 D-FF<sup>[3]</sup> 的拓扑结构, 信号从左至右传递, 起点可能不同, 但方向是一致的。

因而有理由将 D-FF<sup>[2]</sup>分成三级, 如图 3 所示, 可以得到如下结论:

- (1) 每一级都存在传输延迟  $\tau_p$ , 并能够定义建立时间, 保持时间;
- (2) 信号从前一级传入后经过  $\tau_p$  输出稳定;
- (3) 建立时间可正可负, 取决于不同的级、不同的状态。如果存在正的建立时间, 则有可能产生同步电路的冲突, 并最终导致输出错误;
- (4) 以上的结论属于数字电路的分析方法。实际上, 数字电路和模拟电路之间没有绝对的界限, 只有程度上的区别, 并取决于不同需要下的不同出发点。从模拟电路的角度看, 当  $\tau_s > 0$  或  $|\tau_s| < |\tau_p|$  (建立时间负得不够), 输出可能发生错误。

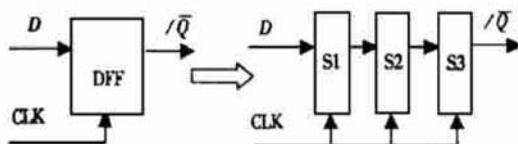


图 3 将 D 触发器分为三级

FIG. 3 D-FF is divided into three stages.

为消除动态电路的潜在危险, 时钟沿信号在正确的时刻到达是其中的关键。D-FF<sup>[3]</sup>中假信号的产生正是由于时钟上升沿无法满足第 3 级的建立时间而导致。因此, 本文的电路中, 在第 3 级和前两级时钟之间增加一个缓冲, 使得第 3 级的求值推迟到前一级输出稳定后才进行, 消除了假信号。为提高速度, 第 1 级采用了有比逻辑。图 4 显示了这种采用时钟延迟技术的 D-FF 和 L-FF。由于异步计数器工作频率相对较低, 为降低功耗, 不采用有比逻辑。

## 4 实验结果

该 DMP 采用 CMSC 公司  $0.8\mu\text{m}$  n 阵 CMOS 工艺。其中 nMOS、pMOS 的阈值电压分别为  $0.7\text{V}$ 、 $1.1\text{V}$ 。芯片面积为  $120\mu\text{m} \times 190\mu\text{m}$ 。图 5 为 DMP 的版图, divided-by-4/5 计数器的输出波形如图 6 示。结果显示 5V 下最高时钟频率超过  $2.4\text{GHz}$ 。HSPICE 仿真显示, 总功耗为  $83.5\text{mW}$ , 其中 divide-by-4/5 计数器、divide-by-16 计数器和门电路分别占  $68\%$ 、 $9\%$  和  $23\%$ 。

从 divided-by-4/5 计数器输出波形容易发现, D-FF 从“低”到“高”电平的延迟接近一个时钟周

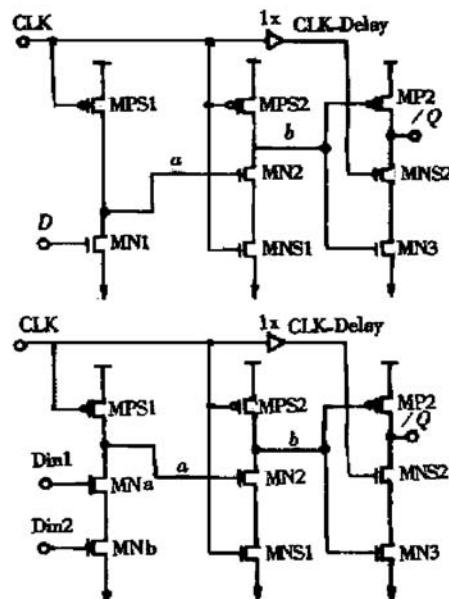


图 4 采用 CDT 的新的 D-FF 及 NAND-FF  
FIG. 4 Proposed D-FF and NAND-FF  
with CDT

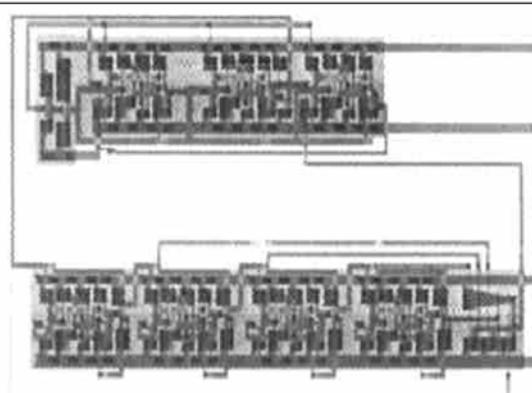


图 5 前置双模分频器版图

FIG. 5 Layout of the DMP

期, 这说明频率至少是受限于 RLL。附加的时钟延迟增大了触发器传输过程, 因而加重了 RLL 的影响。然而, 这个时钟延迟折中了 RLL 和 CLL 之间的差距, 最终提高了速度。

## 5 结论

许多因素影响着 CMOS 数字集成电路的工作速度, 本文以 DMP 设计为例进行了详尽的描述。结果显示 RLL 和 CLL 是决定最高频率的两个缺一不可的方面。并提出了采用 CDT 的  $0.8\mu\text{m}$  CMOS

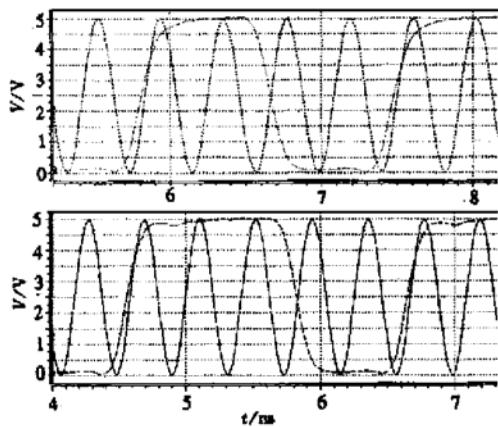


图 6 divide-by-4/5 分频器输出波形

FIG. 6 Output Waveforms of 4/5 Divider

DMP, 与传统的结构相比较, 很大程度上提高了速度。版图提取后仿真显示其在 5V 下最高时钟频率为 2.4GHz。

## 参考文献

- [1] HUANG Ru, ZHANG Xing, SUN Sheng and WANG Yangyuan, Chinese Journal of Semiconductors, 2000, **21**(6): 591—596 (in Chinese) [黄如, 张兴, 孙胜, 王阳元, 半导体学报, 2000, **21**(6): 591—596].
- [2] Zhang Chunhui, Li Yongming and Chen Hongyi, Proc. IS-SPIS, 1999, 94—97.
- [3] Jiren Yuan and Christer Svensson, IEEE J. Solid-State Circuits, 1989, **24**(1): 62—70.
- [4] Ching-Yuan Yang and Guang-Kaai Dehng, IEEE J. Solid-State Circuits, 1998, **33**(10): 1568—1571.
- [5] J. Navarro Soares, Jr., IEEE J. Solid-State Circuits, 1998, **33**(1): 97—103.
- [6] P. Larsson, IEEE J. Solid-State Circuits, 1996, **31**(5): 744—748.
- [7] Navid Forodi and Tadeusz A. Kwasniewski, IEEE J. Solid-State Circuits, 1995, **30**(2): 93—100.
- [8] Qiuting Huang and Robert Rogenmoser, IEEE J. Solid-State Circuits, 1996, **31**(3): 456—465.

## A CMOS High-Speed Dual-Modulus Prescaler with New Filp-Flop\*

ZHANG Chun-hui, LI Yong-ming and CHEN Hong-yi

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract:** In PLL design, Dual-Modulus Prescaler (DMP) is one of the bottlenecks in achieving a higher operation speed. To raise the speed, faster technologies or better designs are desirable. Actually, there exists a gap between the practical results and analytic results obtained by using the conventional method. A new analytic method is proposed to resolve this problem, which combines the digital and analog viewpoints. New D-FF and L-FF are such methods and the DMP formed with these flip-flops can raise the frequency greatly.

**Key words:** phase-locked loop; DMP; feature size

**EEACC:** 1250; 2570D; 1230B

**Article ID:** 0253-4177(2001)06-0788-04

\* Project Supported by the Special Foundation for State Major Basic Research Program of China.

ZHANG Chun-hui male, was born in 1974. He is a postgraduate in Institute of Microelectronics, Tsinghua University now. His main research area includes VLSI technology and high frequency integrated phase locked loop design.

LI Yong-ming male, was born in 1945, associate professor. He is working in the design and teaching of analog LSI, speech signal processing and ASIC design.

CHEN Hong-yi male, was born in 1942, professor, director of Institute of Microelectronics, Tsinghua University, senior member of The Chinese Institute of Electronics. He is working in the VLSI design, digital signal processing and hardware architecture of algorithms.