

一种适用于数字视频编码器的高性能 直接数字频率合成器

沈 泊 章倩苓

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 提出了一种适用于数字视频编码器的直接数字频率合成器 DDFS (Direct Digital Frequency Synthesizer) 新结构。通过采用相位截断噪声整形技术, 使所需要的 ROM 面积下降为传统结构的 1/8。同时采用了其它优化策略进一步减少了 ROM 的面积, 整个 DDFS 仅需要 1152bit 的 ROM。DDFS 输出在 PAL 制式下信噪比为 69dB, NTSC 制式下为 70.7dB。

关键词: 直接数字频率合成; 相位噪声谱; 噪声整形

EEACC: 2570; 1230; 1265D

中图分类号: TN741 **文献标识码:** A **文章编号:** 0253-4177(2001)06-0796-04

1 引言

数字视频编码器是 DVD、HDTV 等数字视频系统中的重要组成部分, 它接受 R、G、B 信号, 产生 Y、U、V 信号。两路色度信号 U、V 分别与相位相差 90° 的正弦副载波相乘, 随后相加得到一个统一的色度信号(Chroma)。Y 和 C 两路信号再相加合成电视信号。

为产生一对稳定、频谱纯净的正交副载波信号, 常采用直接数字频率合成器(DDFS) 电路。PAL 及 NTSC 两种视频制式, 采用不同的副载波频率, PAL 为 4.43MHz, NTSC 为 3.58MHz。与模拟方法相比, 采用 DDFS 进行副载波合成有如下好处: (1) 非常高的频率精度, 通常精度可达 1Hz 以内; (2) 易于产生正交信号; (3) 容易与系统其它部分集成到同一芯片内。

针对视频编码应用的 DDFS, 已有一些文献进行报道, 如文献[1, 2]等。文献[1]中采用了一个 $2^{12} \times 10$ 的 ROM 存储正弦波, 文献[2]中采用了 2 个 $2^9 \times 9$ 的 ROM 码表。由于采用了较大的码表, ROM

在整个 DDFS 中占了非常大的比例。本文提出了一种基于噪声整形的方法, 可以显著减少所需要的 ROM 面积。同时采用了诸如 sin、cos 共用 ROM 等方法进一步减小了 ROM 的大小。计算机仿真和逻辑综合的结果表明, 本文中的 DDFS 结构具有较好的性能/代价比。

2 数字视频编码器用 DDFS 的设计要求

DDFS 自 80 年代以来, 广泛应用于数字通信系统中^[3-6], 与传统的 PLL 频率合成技术相比, 它具有集成度高、性能好等优点。DDFS 在一个外部时钟的驱动下进行工作, 所有的频率合成功能均由数字电路完成。DDFS 的算法一般有泰勒展开近似、CORDIC 算法、ROM 查找表法等。泰勒展开法性能/代价比较低, 已很少使用; CORDIC 算法计算相对复杂, 比较适合于正弦波合成精度非常高的场合。在视频编码器中, 所合成的正弦波信噪比在 70dB 左右, 在这种中等精度的应用中, CORDIC 算法并不十分合适; ROM 查找表法是使用最广泛的一种方法, 本文所提出的 DDFS 结构就是建立在 ROM 查

沈 泊 男, 1975 年出生, 现为复旦大学专用集成电路与系统国家重点实验室博士研究生, 主要研究方向为 VLSI 设计。

章倩苓 女, 1936 年出生, 复旦大学首席教授, 博士生导师, 主要研究方向为 VLSI 系统集成等。

2000-04-26 收到, 2000-08-03 定稿

©2001 中国电子学会

找表法基础上的。

基于 ROM 查找表的 DDFS 结构首先由 Tierney^[3] 等人提出。系统主要由相位累加器和 ROM 组成。相位寄存器中的当前相位与频率控制字相加，产生下一时刻的相位。相位寄存器中的相位可用于 ROM 寻址，通过查表得出正弦波的幅度值，ROM 的输出再送到 DAC 得到模拟波形。所合成波形的频率满足

$$F_{\text{out}} = \frac{f_c f_{\text{clk}}}{2^L} \quad \forall F_c < 2^{L-1} \quad (1)$$

其中 f_c 为频率控制字； f_{clk} 为系统时钟； L 为相位累加器字长。

从(1)式可以看出，由于受采样定理的限制，所合成的正弦波频率小于系统时钟之半；同时，因受相位累加器有限字长的影响，所合成波形的最小频率间隔满足

$$\Delta f = \frac{f_{\text{clk}}}{2^L} \quad (2)$$

根据公式(2)，该结构 DDFS 所合成的频率与实际值最大误差 E_f 为频率间隔的一半，即

$$E_f \leq \frac{f_{\text{clk}}}{2^{L+1}} \quad (3)$$

对于视频编码应用来说，为了减少频率误差，相位累加器的字长通常满足 $24 \leq L \leq 32$ 。若相位寄存器的输出全部用来查表，则需要 2^L 字的码表，这显然不现实；因此通常截取相位寄存器的高 n ($n < L$) 位作为 ROM 的地址，这导致了相位截断误差的产生。相位截断误差是 DDFS 误差的主要来源，很大程度上影响了输出频谱的质量。显然，加大 n 可提高频谱的纯度，但随之带来 ROM 面积的指数增长和 ROM 工作速度的下降。

在视频编码器中，基于查找表的结构被广泛采用。对于广播级视频编码器，NTSC 制式要求载波信噪比大于 64 dB，而 PAL 制式要求信噪比大于 66 dB，这意味着 $n \geq 12$ ^[1]。若直接实现，需要两块大小为 $2^{12} \times 10\text{bit}$ 的 ROM (sin、cos 各一块)。当视频编码器工作时钟为 27MHz 时，DDFS 在 NTSC 制式下的输出频谱如图 1 所示。该频谱是 DDFS 的输出加 Hanning 窗，然后进行 8192 点 FFT 得到的。此时载波信噪比为 73dB，相应的 PAL 制式下信噪比为 71.7dB。

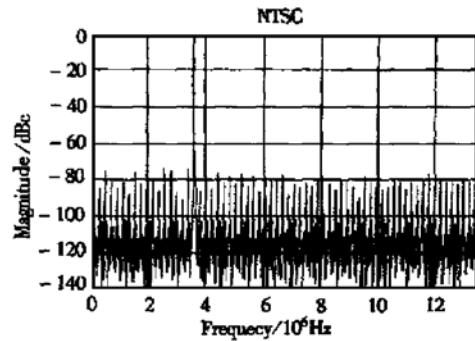


图 1 DDFS 输出频谱

FIG. 1 Output Frequency Spectrum of DDFS

3 一种新的电路结构

观察图 1 所示的 DDFS 输出频谱，可以发现，由于截断效应造成的噪声功率谱非白，在某些频率处出现一些尖峰；而正是这些尖峰限制了整个系统所能达到的性能。若能将截断效应造成的噪声谱白化，则可以大大提高系统的性能。这一点也可以从本文后面的分析得到证实。

对于传统的 DDFS 结构，其输出可表示为：

$$\begin{aligned} x(i) &= \sin\left[\frac{2\pi f_{ci}}{2^L} + \phi_e(i)\right] + e_w(i) \\ &= \sin\left[\frac{2\pi f_{ci}}{2^L}\right] \cos(\phi_e(i)) \\ &\quad + \sin(\phi_e(i)) \cos\left[\frac{2\pi f_{ci}}{2^L}\right] + e_w(i) \\ &\approx \sin\left[\frac{2\pi f_{ci}}{2^L}\right] + \phi_e(i) \cos\left[\frac{2\pi f_{ci}}{2^L}\right] + e_w(i) \end{aligned} \quad (4)$$

其中 ϕ_e 为相位截断误差(也即相位噪声)； e_w 为幅度截断误差。

当 ROM 的字长 W 较大时， e_w 近似为白噪声，并不影响 DDFS 的性能。从(4)式可以看出，相位噪声 ϕ_e 频谱中的任何尖峰将调制到载波频率上，从而造成输出频谱的非白。所以为了提高 DDFS 的性能，有必要改善相位噪声谱。有鉴于此，本文提出了一种新的电路结构，可以显著减轻相位截断效应。其结构如图 2 所示。

它与传统结构的一个显著区别就是相位寄存器的输出 n bit 并不直接寻址 ROM，而是先经过一个噪声整形器。然后再用其 m bit 的输出作为 ROM 的地址。噪声整形器结构见图 2 中阴影部分。通过噪声整形器，累加器截断造成的相位噪声 ϕ_e 的频谱可得到很大改善。根据计算机分析的结果，通常相位噪声谱的尖峰可降低 15dB 以上，相应的所需的 ROM 仅

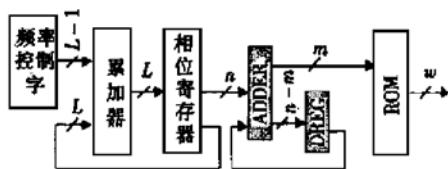


图 2 改进的电路结构

FIG. 2 Improved Circuit's Architecture

为原来的 1/4 到 1/8.

下面以 NTSC 制式举例说明. 传统结构所需 ROM 大小为 $2^{12} \times 10\text{bit}$, 而新结构仅需原来的 1/8, 即 $2^9 \times 10\text{bit}$. 此时图 2 中的参数 m 等于 9. 另外一个需要确定的参数为 n . n 越大, 性能越好, 但实现代价随之增大. 据计算机分析, 当 $n - m$ 的值大于 5 时, 性能趋于饱和, 于是我们选取 $n - m$ 为 6, 即 n 为 15. 若同样选取大小为 $2^9 \times 10\text{bit}$ 的 ROM, 传统结构的相位噪声谱如图 3 所示, 相位噪声 ϕ 频谱中的

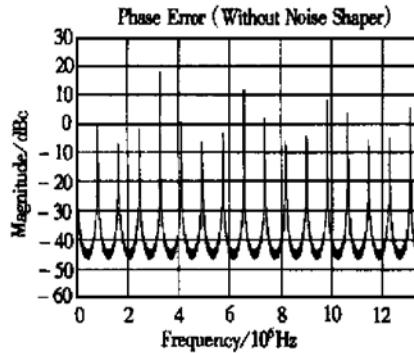


图 3 传统结构的相位噪声谱

FIG. 3 Phase Noise Spectrum of Conventional Structure

尖峰相当明显. 这导致了 DDFS 输出频谱性能较差. 而对于本文所提出的改进电路, 其相位噪声谱如图 4 所示. 显然, 相位噪声谱被白化了, 其尖峰比传统结构约低 18dB. 相位噪声谱的改善带来了 DDFS 性能的提高, 所能达到的信噪比从 54dB 提高到 70.7dB, 同时 DDFS 的输出频谱也得到了白化. 对于 PAL 制式, 信噪比可从 54.1dB 提高到 69dB. 显然, 大小为 $2^9 \times 10\text{bit}$ 的 ROM 即可以满足视频编码器的需要.

4 视频编码器用 DDFS 的 VLSI 实现

在采用上述方法之后, ROM 大小已减小到原来的 1/8, 我们可以采用其它技术进一步减小所需

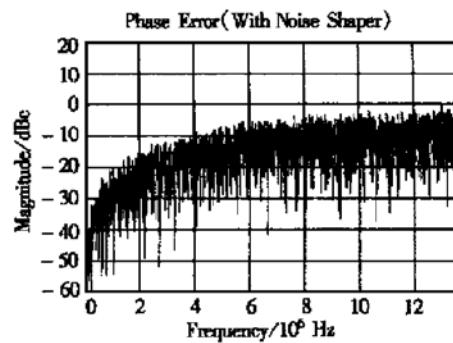


图 4 本文结构的相位噪声谱

FIG. 4 Phase Noise Spectrum of Modified Structure

ROM 的大小.

首先由于正弦信号的对称性, 仅需在 ROM 中存储第一象限的信号. 对于第 2、3、4 象限的信号可以通过对地址及输出作适当的变换(取补或不取补)来得到. 这样, ROM 的大小可进一步减小为 $2^7 \times 10\text{bit}$. 必须注意的是, 为了避免由于取补产生的误差^[4], 码表中存储的正弦信号采样在相位上偏移了 $1/2\text{LSB}$. 另外, 由于正弦与余弦信号仅在相位上差 90° , 两者可共用 ROM. 因此, 我们把 ROM 分成两块, 一块存储 $[0, \pi/4]$ 的正弦波形, 另一块存储 $[0, \pi/4]$ 的余弦波形.

采用了上述优化技术的正交 DDFS 如图 5 所示. 这里我们选取系统时钟为 27MHz, 相位累加器字长为 32 位, 可达到 0.003Hz 的频率精度. 相位寄存器的高 15 位送给噪声整形器, 整形器输出 9bit 地址来产生正交载波信号. 实际上 9bit 的相位信息, 只有最低 6bit 用于 ROM 寻址, 高三位用作控制信号.

在采用了以上的 ROM 压缩技术后, 整个电路仅需要两块 64×9 大小的 ROM. 虽然存在其他一些技术进一步减小 ROM 的尺寸, 但由于此时所增加的额外逻辑将大于 ROM 面积的减小, 所以并无进一步压缩 ROM 的必要.

采用硬件描述语言 VHDL 对电路进行设计, 然后用 Synopsys 的 class 库进行了逻辑综合, 等效面积为 1000 逻辑门加 $128 \times 9\text{bit}$ ROM. 表 1 是本文的设计与一些现有设计的对比, 显然, 本文设计的电路面积不到他们的一半.

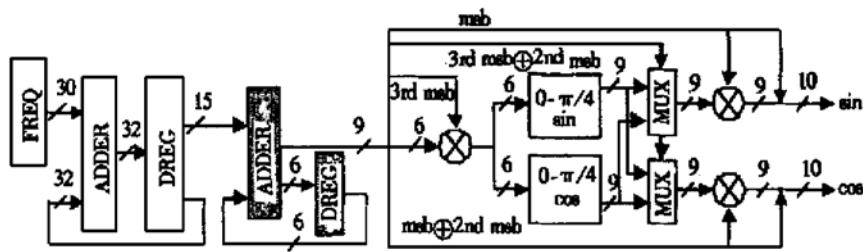


图 5 适用于视频编码器的正交 DDFS 的 VLSI 实现

FIG. 5 VLSI Implementation of Orthogonal DDFS Suitable for Video Encoder

表 1 本文设计与其他设计的比较

Table 1 Comparison of This Paper's Design with
Other's Design

	徐阳等 ^[2]	Cummins ^[1]	本文
ROM	1024×9	4096×10	128×9
总面积	3.2k gates	3k gates	< 1.5k gates

5 结论

本文研究了数字视频编码器用 DDFS 的 VLSI 实现方法, 提出了一种有效降低系统实现代价的新方法。通过对相位噪声谱的白化, 使 DDFS 所需的 ROM 大大减少; 另外利用了正弦波的对称性等其它方法, 进一步减小了 ROM 的面积。本电路结构不仅可以用在视频编码应用中, 而且可以应用于其它场合。

参考文献

- [1] T. Cummins, B. Murray and C. Prendergast, IEEE J. Solid-State Circuits, 1997, **32**(7): 1091—1100.
- [2] XU Yang, XU Zhiwei and MIN Hao, Microelectronics, 2000, **30**(1): 22—24[徐阳, 徐志伟, 闵昊, 微电子学, 2000, **30**(1): 22—24].
- [3] Tierney, C. M., Rader and B. Gold, IEEE Trans. Audio Electroacoust., 1971, **19**(1): 48—57.
- [4] H. T. Nicholas, III and H. Samueli, IEEE. J. Solid-State Circuits, 1991, **26**(12): 1959—1969.
- [5] A. Yamagishi *et al.*, IEEE. J. Solid-State Circuits, 1997, **33**(2): 210—217.
- [6] Q2334 Dual Direct Digital Synthesizer Technical Data Sheet, Qualcom Inc., San Diego, CA, June 1990.
- [7] A. Madisetti, A. Y. Kwentus and A. N. Willson, IEEE. J. Solid-State Circuits, 1997, **34**(8): 1034—1043.

A High Performance DDFS Suitable for Digital Vedio Encoder

SHEN Bo and ZHANG Qian-ling

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

Abstract: A DDFS (Direct Digital Frequency Synthesizer) suitable for the digital vedio encoder is presented. By adopting the technique of noise shaping, the size of ROM is reduced to 1/8 of conventional one. The circuit size is further reduced by using other optimization methods. The worst S/N under PAL mode is 69dB, while 70.7dB under NTSC mode.

Key words: DDFS; phase noise spectrum; noise shaping

EEACC: 2570; 1230; 1265D

Article ID: 0253-4177(2001)06-0796-04

SHEN Bo male, was born in 1975, Ph. D candidate. His research interests include ASIC, communication and multimedia system design.

ZHANG Qian-ling was born in 1936, professor. She is engaged in the research on VLSI System Integration.

Received 26 April 2000, revised manuscript received 3 August 2000

© 2001 The Chinese Institute of Electronics