

部分耗尽 CMOS/SOI 工艺

刘新宇¹ 孙海峰¹ 陈焕章¹ 扈焕章¹ 海潮和¹ 刘忠立² 和致经² 吴德馨¹

(1 中国科学院微电子中心, 北京 100029)

(2 中国科学院半导体研究所, 北京 100083)

摘要: 对部分耗尽 CMOS/SOI 工艺进行了研究, 成功地开发出成套部分耗尽 CMOS/SOI 抗辐照工艺。其关键技术包括: PBL (Poly-Buffered LOCOS) 隔离、沟道工程和双层布线等技术。经过工艺投片, 获得性能良好的抗辐照 CMOS/SOI 器件和电路(包括 101 级环振、5000 门门海阵列和 64K CMOS/SOI 静态存储器)。其中, NMOS: $V_t = 1.2V$, $BV_{ds} = 7.5\text{--}9V$, $\mu_{eff} = 425\text{cm}^2/(V \cdot s)$, PMOS: $V_t = -0.9V$, $BV_{ds} = 14\text{--}16V$, $\mu_{eff} = 240\text{cm}^2/(V \cdot s)$, 当工作电压为 5V 时, $0.8\mu\text{m}$ 环振单级延迟为 106ps, SOI 64K CMOS 静态存储器数据读取时间为 40ns。

关键词: PBL; 沟道工程; 双层布线

EEACC: 2570D

中图分类号: TN 386.12

文献标识码: A

文章编号: 0253-4177(2001)06-0806-05

1 引言

绝缘体上的硅(Silicon-On-Insulator, 简称 SOI)技术, 以其独特的材料结构有效地克服体硅材料的不足, 充分发挥了硅集成技术的潜力。因而它被称为是“二十一世纪的硅集成电路技术”。SOI 技术与体硅技术相比具有如下特点: 无闩锁效应; 源、漏寄生电容小; 较为陡直的亚阈值斜率; 较高的跨导和电流驱动能力; 易于形成浅结和全介质隔离; CMOS 工艺更为简单; 较好地抑制短沟道效应; 低压低功耗; 优良的抗辐照能力。这些特性都决定 SOI 技术将是研究和开发高速度、低功耗、高可靠性以及高集成度的深亚微米级超大规模集成电路和超高速集成电路的重要技术。特别在抗辐照领域, SOI 技术由于其材料结构的特点, 其器件仅制做在很小的硅岛上、源漏结的结面积小、且存在背栅, 这些都有利于 SOI 技术在抗辐照加固领域的应用。

九十年代以来, 随着我国宇航和国防事业的高

速发展, 对大容量、高速、高可靠性、抗辐照的静态存储器需求越来越多。在开展静态存储器电路设计的同时, 针对 SOI 材料和电路的特点, 我们对 CMOS/SOI 抗辐照工艺进行研究, 成功地开发出成套部分耗尽 CMOS/SOI 抗辐照工艺, 并获得性能良好的抗辐照 CMOS/SOI 器件和电路(包括 101 级环振、5000 门门海阵列和 64K CMOS /SOI 静态存储器)。

2 CMOS/SOI 关键工艺研究

0.8—1.2μm CMOS/SOI 工艺研究的关键工艺技术包括: PBL(Poly-Buffered LOCOS)隔离、沟道工程、注 Ge 硅化物和双层金属布线等技术。

2.1 PBL(Poly-Buffered LOCOS)隔离

SOI 器件隔离存在三种技术: LOCOS 技术、台面隔离技术和氧化台面技术, 它们各有优缺点。根据现有工艺设备和条件, 我们采用了一种改进的

刘新宇 男, 1973 年出生, 博士研究生, 现从事 PD/FDSOI 工艺、电路和抗辐照特性研究。

孙海峰 男, 1973 年出生, 硕士研究生, 现从事 PD/FDSOI 工艺和抗辐照特性研究。

海潮和 男, 研究员, 长期从事体硅、SOI 的工艺和电路研究。

吴德馨 女, 中国科学院院士, 长期从事体硅、SOI 和砷化镓的工艺和电路研究。

LOCOS 隔离技术——PBL 隔离。PBL 技术与常规的 LOCOS 相比, 只是在氧化层(SiO_2)和氮化硅(Si_3N_4)之间加一缓冲层—— $\alpha\text{-Si}$ 层, 使之吸收氮化硅的应力, 阻止氧的横向扩散, 从而减小“鸟嘴”。同时, 通过硅岛边缘注入, 能够有效地减少边缘漏电。

PBL 的主要工艺流程如下: (1) 生长垫氧 15nm; (2) LPCVD $\alpha\text{-Si}$ 5nm; (3) LPCVD Si_3N_4 150—200nm; (4) 光刻有源区; (5) RIE $\text{Si}_3\text{N}_4/\alpha\text{-Si}$; (6) 场氧 450nm; (7) 剥离有源区上掩蔽层。整个工艺中, 关键在于 $\text{Si}_3\text{N}_4/\alpha\text{-Poly}/\text{SiO}_2$ 的比例选择和有源区上掩蔽层的剥离。

鸟嘴是由于氧的横向扩散造成的, 它与 $\text{Si}_3\text{N}_4/\alpha\text{-Si}/\text{SiO}_2$ 的比例选择有关, 根据实验^[1], 最佳工艺参数为 $\text{Si}_3\text{N}_4(200\text{nm})/\alpha\text{-Si}(5\text{nm})/\text{SiO}_2(15\text{nm})$ 。在常规剥离掩蔽层后, 由于 Kooi effect^[2] 和 Twin-White-Ribbon effect^[3], 将在 Si 层表面引入大量的缺陷, 最终导致栅氧质量变差, 器件性能恶化。因此, 我们采用一种全新的剥离工艺: 湿法去除 Si_3N_4 ; BOE 处理 $\alpha\text{-Si}$ 表面; RIE $\alpha\text{-Si}$; 采用 Sacrifice-Oxide 技术。

采用上述参数和工艺流程, 可获得小于 $0.2\mu\text{m}$ 的鸟嘴, 其 SEM 照片见图 1。有源区栅氧质量是评估隔离工艺的重要因素, 图 2 为栅氧击穿统计图。栅氧的厚度为 18nm, 由此计算出氧化层的击穿强度为 12.4MV/cm。



图 1 PBL 隔离 SEM 照片

FIG. 1 Cross-Sectional SEM of Devices with PBL

2.2 沟道工程

在 $1.2\mu\text{m}$ CMOS/SOI 工艺中, 沟道掺杂采用深浅两次注入。一次注入为低能量、小剂量注入, 主要用于沟道表面掺杂, 调节阈值大小; 二次注入为大能量、中剂量注入, 主要用于抑制沟道穿通和背栅效应, 提高器件击穿电压和亚阈值特性。

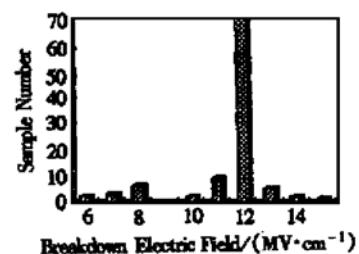


图 2 栅氧击穿统计图

Gate Oxide Breakdown Characteristics

由于部分耗尽 MOS 存在特有的“浮体”效应、单管“闩锁”效应和背栅效应, 为了抑制不良效应, 需对沟道注入条件进行优化。“浮体”效应导致阈值 V_T 随 V_{ds} 急剧变化, 一般采用 $V_{ds}=0.1\text{V}$ 时的 V_T 为基准调节一次注入条件; 单管“闩锁”效应导致源漏击穿电压显著下降, 通过二次注入提高沟道体内的掺杂浓度, 一方面, 可有效防止源漏穿通; 另一方面, 可提高寄生 NPN/PNP 的基区浓度, 降低 β 值, 减少寄生三极管对器件源漏击穿的影响; 背栅效应导致器件亚阈值特性变差, 通过二次注入提高背栅界面的掺杂浓度, 可有效地抑制背栅效应。图 3 为采用 Tsuprem-4 模拟的沟道掺杂分布图, 优化的注入条件为: NMOS: B 70keV $3 \times 10^{13}\text{ cm}^{-2}$, BF₂ 50keV $3 \times 10^{11}\text{ cm}^{-2}$; PMOS: P 160keV $2 \times 10^{11}\text{ cm}^{-2}$, P 100keV $8 \times 10^{10}\text{ cm}^{-2}$ 。最终所获器件: $V_{tn}=1.2\text{V}$, $V_{tp}=-0.9\text{V}$ ($V_{ds}=0.1\text{V}$), 背沟道开启电压为 15V, $\text{BV}_{dss}=7.5\text{--}9\text{V}$, $\text{BV}_{dsp}=14\text{--}16\text{V}$ 。

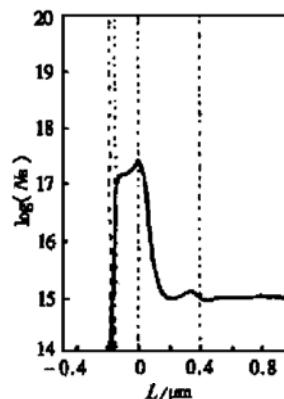


图 3 Tsuprem-4 模拟的沟道掺杂分布图

FIG. 3 Profile of Channel Doping with Tsuprem-4 Simulation

2.3 双层布线技术

随着器件高集成化、高速化和多功能化, 器件的

微细化、复杂化和结构的三维化日趋提高, 多层布线互连技术成为 VLSI 工艺中最重要和关键的技术之一。在 SOI 工艺中, 我们采用 SOG 法双层金属布线技术, 特别对双层金属间介质平坦化、接触孔和通孔的低阻欧姆接触及可靠的金属互连等进行研究。

SOG 作为金属层间平坦化和布线的填充介质采用夹层结构, 即 PECVD SiO₂-1/SOG/PECVD SiO₂-2 三层结构, SOG 平坦化的工艺采用“部分 ETCHBACK”法。双层布线金属采用多层金属的复合结构, 金属-1 为 TiN(顶层)/Al-Si-Cu/TiN/Ti 四层结构, 其中 TiN/Ti 为势垒阻挡层, 它即可防止 Al-Si 互扩散造成浅结失效或漏电, 且它本身具有低

电阻率, 与硅能形成低的接触电阻, 并有良好的台阶覆盖和抗电迁移性能; 顶层 TiN 为抗反射层, 它有利于保证光刻尺寸控制和边缘光滑平直。金属-2 由 TiN(顶层)/Al-Si-Cu/Ti 组成, 其中 Ti 的采用主要是考虑其优良的台阶覆盖性, 用于降低通孔接触电阻。接触孔和通孔的形成采用先在 BHF 溶液中腐蚀后再 RIE 刻蚀来完成, 通孔刻蚀中聚合物是最忌讳的问题, 在分析聚合物形成机理后, 我们通过改变刻蚀气体成分、完善等离子去胶工艺和选用适当的显影液处理时间^[4]来解决。图 4 为通孔工艺改进前、后的 SEM 照片, 可见工艺改进后聚合物明显减少。

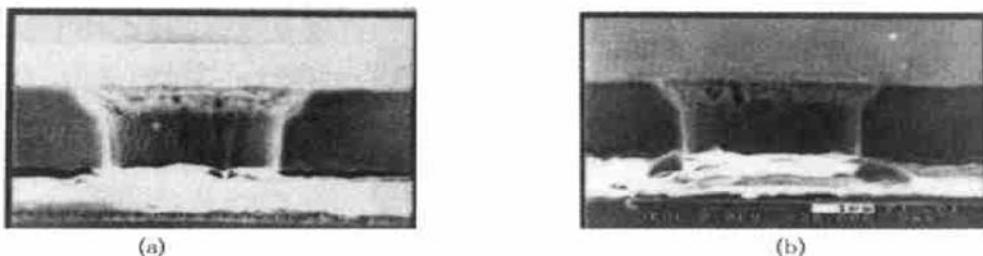


图 4 通孔工艺 SEM 照片 (a) 通孔工艺改进前; (b) 通孔工艺改进后

FIG. 4 Cross-Sectional SEM of via Contact (a) Before Improvement; (b) After Improvement

优化后的双层金属布线工艺流程如下:

(1) BPSG 淀积及回流; (2) 接触孔光刻和湿+干腐蚀; (3) 溅射金属-1 (TiN(顶层)/Al-Si-Cu/TiN/Ti); (4) 光刻和腐蚀金属-1; (5) PECVD SiO₂-1; (6) SOG 涂敷和热处理转换; (7) 部分 ETCHBACK; (8) PECVD SiO₂-2; (9) 通孔光刻和湿+干腐蚀; (10) 等离子去胶和显影液处理; (11) 溅射金属-2(TiN/Al-Si-Cu/Ti); (12) 光刻和腐蚀金属-2; (13) 退火。

3 1.2 m CMOS/SOI 工艺流程

在解决各关键工艺后, 我们将其融合在成套工艺中, 经过几轮工艺投片优化, 1.2 μm CMOS/SOI 工艺流程如下:

(1) 材料采用美国 IBIS 公司 SIMOX 基片, 其中 T_{BOX} : 382nm, T_{Si} : 198nm, 衬底 P {100}; (2) 作标记; (3) PBL(Poly-Buffered LOCOS) 隔离; (4) 预栅氧 18nm; (5) 沟道掺杂工程 NMOS: B 70keV $3 \times 10^{13} \text{ cm}^{-2}$, BF₂ 50keV $3 \times 10^{11} \text{ cm}^{-2}$; PMOS: P 160keV $2 \times 10^{11} \text{ cm}^{-2}$, P 100keV $8 \times 10^{10} \text{ cm}^{-2}$; (6) 抗

辐照薄栅氧 850°C 18nm; (7) LPCVD 多晶硅 350nm; (8) 多晶硅掺杂注入 P 70keV $5 \times 10^{15} \text{ cm}^{-2}$, 光刻和 RIE 多晶硅栅; (9) 源漏 Extention 掺杂 NMOS: P⁺ 30keV $2.5 \times 10^{13} \text{ cm}^{-2}$, PMOS: B⁺ 30keV $5 \times 10^{13} \text{ cm}^{-2}$; (10) 淀积 TEOS 330nm, RIE 形成 LDD 结构; (11) 源漏注入 NMOS: As⁺ 80keV $5.5 \times 10^{15} \text{ cm}^{-2}$, PMOS: BF⁺ 40keV $3 \times 10^{15} \text{ cm}^{-2}$; (12) RTA 1000°C 7s; (13) 注 Ge 硅化物工艺; (14) BPSG 淀积及回流; (15) 双层金属布线; (16) 化学机械抛光。

4 SOI 器件和电路研究

采用上述工艺流程, 我们获得性能良好的抗辐照 CMOS/SOI 器件和电路, 其中电路包括 101 级环振、5000 门门海阵列和 SOI 64K CMOS 静态存储器。表 1 给出 1.2 μm CMOS/SOI 电学参数和器件性能, 图 5 为 1.2 μm SOI 部分耗尽器件输出特性图, 其中, (a) 为 NMOS 器件输出特性图, 从图中可见在 1.5V 附近发生“Kink”效应; (b) 为 PMOS 器件输出特性图。图 6 为 0.8 μm CMOS/SOI 101 级环单级延迟时间与工作电压关系图, 从图中可见采用

硅化物工艺的环振比常规环振快 20%—30%, 在工作电压为 5V 时, 采用硅化物技术的环振单级延迟时间为 106ps, 最高可达 74ps。经过几轮工艺投片, 我们研制成功 1.2μm 64K CMOS/SOI 静态存储器, 芯片尺寸为 7.8mm×7.24mm, 包括 43 万只晶体管, 其直流测试电路性能良好, 动态数据读取时间测试见图 7, 仅为 40ns, 这是国内首次研制成功 SOI 大规模集成电路。



图 5 1.2μm SOI 部分耗尽器件输出特性图 (a) NMOS 器件输出特性图; (b) PMOS 器件输出特性图

FIG. 5 I-V Characteristics of 1.2μm Partially Depleted SOI Device (a) NMOS; (b) PMOS

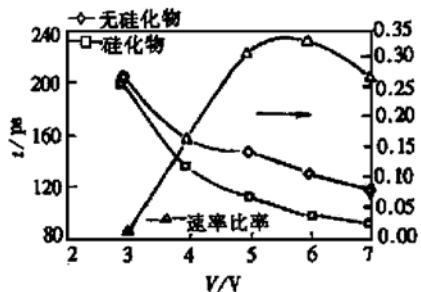


图 6 0.8μm SOI CMOS 101 级环单级延迟时间与工作电压关系图

FIG. 6 Propagation Delay Time of 0.8μm 101-Stage Ring Oscillator vs Supply Voltage

5 结论

SOI 技术作为“二十一世纪的硅集成电路技术”, 其工艺与体硅工艺基本兼容。本文对 SOI 64K CMOS 高速静态存储器所采用的工艺进行了研究, 其关键工艺包括: PBL (Poly-Buffered LOCOS) 隔离、沟道工程和双层布线等技术, 经过多次实验, 我们成功地开发出成套部分耗尽 CMOS/SOI 抗辐照工艺, 并获得性能良好的抗辐照 CMOS/SOI 器件和电路(包括 101 级环振、5000 门门海阵列和 64K

表 1 1.2μm CMOS/SOI 电学参数和器件性能

Table 1 Basic Characteristic and Device Parameters of 1.2μm Partially Depleted SOI Device

	NMOS	PMOS
硅层厚度/nm	1100	1100
阈值电压/V	1.2	-0.9
亚阈值斜率的倒数/(mV·dec ⁻¹)	94.4	96.7
迁移率/(cm ² ·V ⁻¹ ·s ⁻¹)	425	240
击穿电压/V	7.5—9	14—16

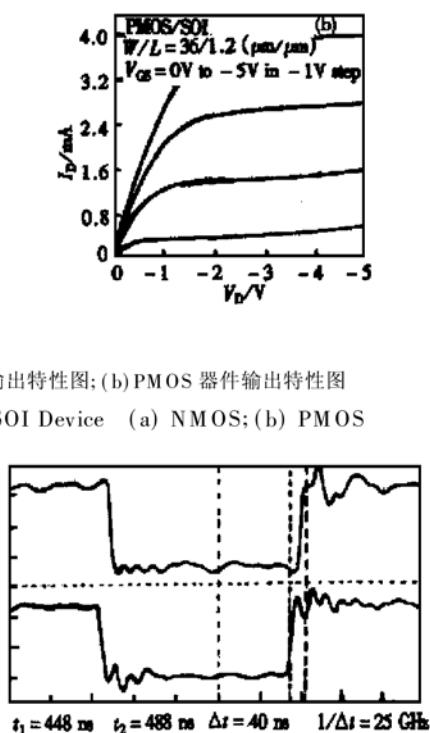


图 7 64K CMOS/SOI 静态存储器数据读取时间波形图

FIG. 7 Wavement of Ring Oscillator Under 5V Supply Voltage

CMOS/SOI 静态存储器)。其中, NMOS: $V_t = 1.2V$, $BV_{ds} = 7.5—9V$, $\mu_{eff} = 425\text{cm}^2/(\text{V}\cdot\text{s})$, PMOS: $V_t = -0.9V$, $BV_{ds} = 14—16V$, $\mu_{eff} = 240\text{cm}^2/(\text{V}\cdot\text{s})$, 当工作电压为 5V 时, 0.8μm 101 级 CMOS/SOI 环振单级延迟为 106ps, 64K CMOS/SOI 静态存储器数据读取时间为 40ns。该套工艺简单、实用, 与体硅工艺兼容, 完全达到生产要求。

致谢 感谢中国科学院微电子中心第一研究室全体工作人员对工艺研究和器件与电路测试的大力支持。

参考文献

- [1] 孙海峰, 刘新宇, PBL 隔离技术的研究, 第十一届全国半导体集成电路/硅材料学术会论文集, 1999, 227—230.
- [2] Viju K. Mathews and P. C. Fazan, Residues, Polycrystalline Silicon Voids, and Active Area Damage with the Polycrystalline Silicon Buffered Local Oxidation of Silicon

Isolation Process, Appl. Phys. Lett., 64(1), 3, 1994, 94—96.

- [3] T. H. Lin, N. S. Tsai and C. S. Yoo, Twin-White-Ribbon Effect and Pit Formation Mechanism in PBLOCOS, J. Electrochem. Soc., 1991, 138(7): 2145—2149.
- [4] 饶祖刚, 路红刚, 双层金属布线工艺通孔侧壁生成物对策, 第十一届全国半导体集成电路/硅材料学术会论文集, 1999, 255—258.

Technology of Partially Depleted CMOS/SOI

LIU Xin-yu¹, SUN Hai-feng¹, CHEN Huan-zhang¹, HU Huan-zhang¹, HAI Chao-he¹, LIU Zhong-di², HE Zhi-jing² and WU De-xin¹

(1 Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

(2 Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The partially depleted CMOS/SOI technology is studied. And the PD CMOS/SOI radiant technology has been developed successfully, including the key technologies, such as poly-buffered LOCOS, channel engineer and double-level metallization. Well-behaved devices and circuits are obtained, in which NMOS: $V_t = 1.2V$, $BV_{ds} = 7.5\text{--}9V$, $\mu_{eff} = 425\text{cm}^2/(V \cdot s)$; PMOS: $V_t = -0.9V$, $BV_{ds} = 14\text{--}16V$, $\mu_{eff} = 240\text{cm}^2/(V \cdot s)$; the per-stage propagation delay of 101-stage $0.8\mu\text{m}$ CMOS/SOI ring oscillator is 106ps under 5V supply voltage; and the SOI 64Kb CMOS SRAM is obtained with the fast access time of 40ns.

Key words: poly-buffered LOCOS; channel engineering; double-level metallization

EEACC: 2570D

Article ID: 0253-4177(2001)06-0806-05

LIU Xin-yu male, born in 1973, postgraduate for Ph. D. He is now engaged in research on PD/FDSOI process, circuits and their radiant hardness characteristics.

SUN Hai-feng male, born in 1973, postgraduate for MSc. He is now engaged in research on PD/FDSOI process, circuits and their radiant hardness characteristics.

HAI Chao-he male, researcher. He is engaged in research on bulk silicon, SOI process and circuits.

WU De-xin female, Academician of Chinese Academy of Sciences. She is engaged in research on the process and circuit of bulk silicon, SOI and GaAs.