

多晶硅发射极超高速集成电路工艺

张利春 倪学文 王阳元

(北京大学微电子所, 北京 100871)

摘要: 报道了具有先进双极关键技术特征的多晶硅发射极集成电路的工艺, 重点介绍了用难熔金属氮化物 (ZrN) 作为新的刻蚀掩模实现器件的硅深槽隔离; E-B 间自对准二氧化硅侧墙隔离; 快速热处理实现多晶硅发射区浅结及薄基区; E、B、C 区自对准钴硅化物形成, 明显地减少串联电阻和双层金属 Al 间可靠互联等先进的工艺研究。用此套工艺技术研制出工作频率达 3.1GHz 的硅微波静态分频器实验电路, 集成度为 600 门的双层金属 Al 的 ECL 移位寄存器电路, 最高移位频率达 450MHz。19 级环振电路平均门延迟小于 50ps。

关键词: 多晶硅发射极; 超高速; 集成电路; 工艺研究

EEACC: 2560J

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2001)06-0811-06

1 引言

多晶硅发射极技术已成为硅双极集成电路的主流技术和各种双极电路的基础技术。先进的双极技术具有三个关键的技术特征: 多晶硅发射极接触^[1,2]、自对准结构和深槽隔离^[3]。采用多晶硅发射极接触可以提高电流增益, 使得双极器件能够在不降低发射极-集电极穿通电压和不损失电流增益的情况下, 实现器件的纵向按比例缩小, 可以显著改善电路性能。自对准结构和深槽隔离可实现器件横向按比例缩小, 大大减小器件和电路的面积和相应的寄生电容, 显著地减小双极电路的功耗-延迟积, 提高双极电路的集成度。为了进一步减小晶体管串联电阻, 先进的自对准硅化物或多晶硅/硅化物技术成为又一项关键技术。我们采用单层多晶硅发射极自对准结构, 避免了双层多晶硅发射极技术中发射区表面易受损伤的缺点, 同时在工艺中也完全与 CMOS 工艺相容。我们开发出了包括多晶硅发射极技术、浅结薄基区、E-B 侧墙氧化物自对准隔离、先进的深槽隔离技术^[4,5]、自对准钴硅化物技术^[6]等先进亚微米技术。研制出工作频率为 3.1GHz 的二分频和四分频两种微波静态分频器实验电路, 并研制

成功了集成度为 800 门和 600 门两种超高速 ECL 双极集成电路, 19 级 ECL 环振电路的平均门延迟已小于 50ps。

2 主要工艺流程和单管特性

图 1 是给出的单层多晶硅自对准超高速双极集成电路中晶体管的横截面结构示意图。这种结构的

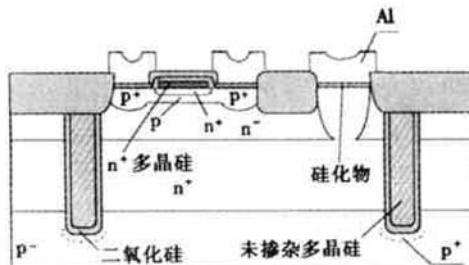


图 1 单层多晶硅自对准的双极晶体管横截面示意图

FIG. 1 Schematic Cross Section of single-Level Polysilicon Self-Aligned Transistor

晶体管具有先进双极技术标志的三大关键技术特征, 采用多晶硅发射区浅结、薄基区; 用侧墙氧化物自对准地形成 E-B 间的隔离; 采用深槽隔离技术形成晶体管之间的隔离等。此外, 还采用硅化物技术自

对准地形成 E、B 和 C 的接触. 多晶硅发射极超高速集成电路的主要工艺流程如下:

材料制备(外延)→硅的深槽隔离→场区局部氧化→ n^+ 集电区形成→内基区注硼→淀积多晶硅, 注砷→RIE 多晶硅→内外基区连接注硼→淀积氧化层→基区、发射区 RTA 退火→RIE 氧化层形成自对准的侧墙隔离→外基区注 B 及 RTA→自对准钴硅化物的形成→接触孔、铝引线的形成→封装

表 1 列出了晶体管的主要结构参数. 使用 HP4145B 半导体参数分析仪测量晶体管的直流特性, 用 HP4192A 低频阻抗分析仪测量了晶体管的结电容, 用 HP8510A 网络分析仪测量晶体管的频率特性. 表 2 给出了器件的主要电学参数测量结果. 图 2 是典型晶体管的 Gummel 图, 从 Gummel 图可以看出, 晶体管的集电极电流和基极电流呈现理想的指数关系. 晶体管的截止频率 f_T 为 5GHz.

表 1 晶体管的主要结构参数

Table 1 Structure Parameters of Transistor

外延层厚度	1.5μm
埋层深度	3μm
硅槽深度	6μm
发射结深	0.10μm
基区宽度	0.10μm
外基区结深	~ 0.2μm
发射区面积	3μm × 10μm
基区面积	14μm × 15μm
晶体管面积	22μm × 32μm

表 2 晶体管的主要电学参数测量结果

Table 2 Electrical Parameters of Transistor

h_{FE}	75
BV_{CEO}	4.9V
BV_{CBO}	24V
BV_{CEO}	10V
R_E	20Ω
R_B	250Ω
R_C	30Ω
C_{BE}	69fF
C_{BC}	76fF
f_T	5GHz

3 关键工艺研究

3.1 硅深槽隔离技术

对超高速集成电路而言, 早期的 PN 结隔离和常规等平面氧化物隔离有较大的寄生效应, 而且不能按比例缩小, 为此开发了先进的硅深槽隔离工艺.

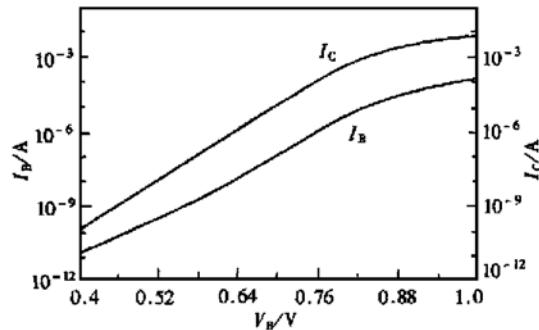


图 2 多晶硅发射极晶体管典型的 Gummel 图

FIG. 2 Typical Gummel Plot of Polysilicon Emitter Transistor

硅深槽隔离技术主要包括深槽刻蚀、沟阻注入、氧化、深槽填充和填充后的表面平坦化等主要工艺步骤. 重点阐述深槽刻蚀和隔离的性能.

3.1.1 深槽刻蚀

深槽的剖面形状是决定深槽隔离技术应用成败的关键, 理想的深槽形状应当是侧壁陡直接近 90°, 底部呈圆角, 槽的深宽比足够大. 为此, 我们发明了一种新的硅深槽刻蚀技术^[4,5], 采用难熔金属氮化物材料氮化锆(ZrN)作为新的刻蚀掩模, 其特点是硅/掩模的刻蚀选择比极高, 可达 150 : 1 以上, 比常用的氧化物掩模约高一个数量级, 这样既克服了入射反应离子在厚掩模侧壁散射造成槽内横向腐蚀问题, 又大大提高了工艺条件选取的灵活度, 使得反应气体中允许有氧存在. 在氧等离子体的作用下, 我们采用氟基气体 SF₆ 和 Ar 刻蚀硅槽. 由于氧等离子体的作用, 硅槽侧壁会形成一定的阻挡刻蚀层, 保护侧壁免遭进一步腐蚀, 而槽底部的氧化层能够被反应离子的物理轰击作用除去, 使刻蚀反应能够继续向下进行, 从而获得各向异性的刻蚀效果. 对上述侧壁垂直的深槽进行多晶硅填充时, 由于淀积的多晶硅并不是完全共形覆盖, 结果易形成空洞. 为此, 我们研究了侧壁陡度为 80—85°的 U 形槽形成工艺. 通过研究 SF₆、Ar 和 O₂ 的气体流量和相对比例, 刻蚀时的衬底温度, 反应室的气体压力, 射频功率以及相应的自偏压等工艺条件对硅槽刻蚀速率和各向异性的影响, 获得了一些较为明确的结果, 制备出了宽约 3μm 深 6μm, 侧壁陡度约 80°, 槽底部圆滑的 U 形深槽. 对于实际流片中所选用的 3μm 深的 N⁺ 埋层和 1.5μm 厚的外延层结构, 6μm 深的硅槽已完全切断外延层和埋层, 直至衬底.

此外,为了减少刻蚀深槽时由 RIE 引起的表面损伤,需要在多晶硅填充之前对深槽内部进行一次消耗性热氧化($\sim 70\text{nm}$),接着再进行一次热氧化($\sim 100\text{nm}$),再低温淀积氧化层($\sim 200\text{nm}$),进一步保证多晶硅填充深槽的隔离性能。非掺杂多晶硅填槽时要保证槽中无空洞,图 3 给出了用上述办法得到的硅槽剖面的扫描电子显微镜照片,填完后进行表面平坦化。

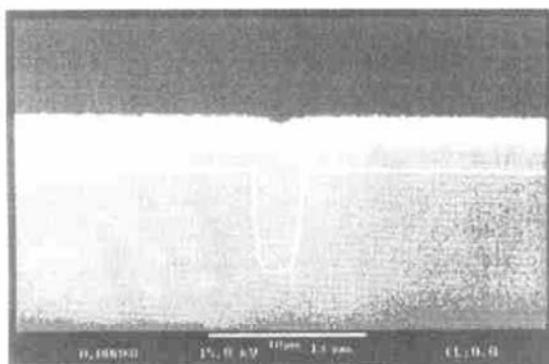


图 3 硅深槽剖面的 SEM 照片

FIG. 3 SEM Cross Section of Deep Trench Isolation

3.1.2 深槽隔离的性能

为提高沟槽的隔离性能,在多晶硅填充之前需要对深槽底部进行一次硼离子注入,形成 P^+ 沟阻区,以改善相邻 N^+ 埋层间的隔离特性。选择注入能量和剂量时需要折衷地考虑,如果注入剂量偏大,形成的 P^+ 区浓度偏高,那么 $\text{P}^+ \text{N}^+$ 结的隧道电流将增大深槽隔离的漏电,并使得埋层与衬底间的电容增大;如果注入剂量偏小,形成的 P^+ 区浓度不够高,那么相邻 N^+ 埋层间的穿通漏电较大,且容易形成沟道。对于 $10\text{--}15\Omega \cdot \text{cm}$ 的 P 型衬底片,我们比较了 $8 \times 10^{12}\text{--}5 \times 10^{13}\text{cm}^{-2}$ 范围内的注入剂量对深槽隔离特性的影响,优化的结果是当注入能量为 30keV 、剂量为 $3 \times 10^{13}\text{cm}^{-2}$ 时,深槽隔离的漏电流为 10^{-10}A 量级,击穿电压可控制在 30V 以上。这一测试结果是由包含 42 个拐角,总长度为 $451\mu\text{m}$ 的深槽隔离测试图形得到的。图 4 是这种深槽隔离测试图形的击穿和漏电性能。

3.2 E-B 自对准的侧墙氧化物隔离技术

E-B 间自对准的侧墙氧化物隔离技术目前已成为减小器件横向尺寸、提高器件和电路速度的重要手段。我们采用了一种与 CMOS 工艺完全兼容的单

层多晶硅自对准方案,此种方案采用侧墙氧化硅作隔离。

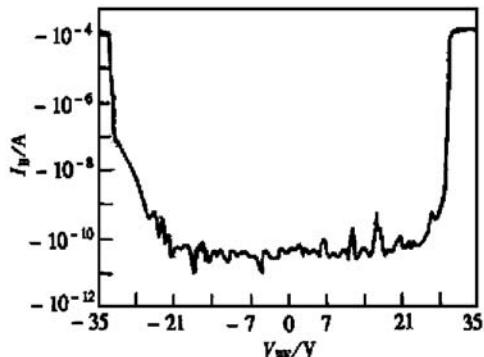


图 4 深槽隔离测试图形的击穿和漏电性能

FIG. 4 Breakdown Voltage and Leakage Characteristic of Deep-Trench Isolation

3.2.1 多晶硅的刻蚀

为了形成良好的侧墙氧化物隔离,要求刻蚀出侧壁陡直接近 90° 的多晶硅条。首先,由于干法刻蚀工艺对多晶硅和外延层单晶硅的腐蚀速率差别不明显,而多晶硅又是直接淀积在单晶硅表面,这样多晶硅的过刻蚀控制变得十分困难。因此,对多晶硅的刻蚀速率和刻蚀均匀性的要求非常高。其次,由于单晶硅与多晶硅之间不存在类似 MOS 结构的栅氧化层,因此不能通过过腐蚀来避免在多晶硅侧壁的底部形成圆角,而只能要求刻蚀工艺本身具有很好的各向异性。一种有效的解决办法是用一种新材料 ZrN 替代光刻胶作为反应离子刻蚀的掩模,并在反应气体中增加适量氧气。在氧离子体的作用下,多晶硅侧壁能够形成阻挡刻蚀层,从而达到各向异性的效果,形成侧壁陡直的多晶硅条。

3.2.2 侧墙氧化物的形成

在获得了侧壁陡直的发射极多晶硅条之后,选择在 720°C 下 LPCVD 淀积氧化硅并经热退火。在侧墙氧化物的刻蚀过程中,采用了两步刻蚀法:第一步选择 SF_6 流量相对较多,并且是主要的刻蚀步骤,目的是使刻蚀具有较好的各向异性和较高的刻蚀速率。第二步相对减少 SF_6 流量,目的是为了提高氧化层与硅的刻蚀选择比,得到良好的刻蚀终点控制,这样就形成 E-B 间自对准的侧墙氧化物隔离。侧墙底部宽度约 $0.3\mu\text{m}$ 。E-B 结特性测量结果表明, E-B 结为 5V ,是陡峭的硬击穿结。

3.3 多晶硅发射区和浅结、薄基区工艺

为了减小影响高速双极晶体管截止频率 f_T 的两个重要的参数 τ_B 和 τ_E ,多晶硅发射区浅结和薄基区工艺成为又一项关键技术.从理论上讲,只有发射结深度小于少子空穴的扩散长度时,这种多晶硅接触才可称作多晶硅发射区.根据我们的计算,为了形成多晶硅发射区,发射结深度至少要小于170nm.设计发射结深约为0.1μm,相应的基区宽度约为0.1μm.

3.3.1 基区的形成

基区由内基区、外基区和内外基区连接组成.针对要求小于0.2μm的B-C结深和0.1μm的基区宽度,我们采用降低注入能量和通过薄氧化层注入等方法形成内基区,尽量避免硼注入所产生的沟道效应和拖尾效应.研究了注入能量、注入剂量、退火温度以及薄氧化层厚度对注入杂质分布的影响,杂质分布用扩展电阻法和二次离子质谱等手段进行分析,经过反复实验,基区掺杂浓度约为(1—2)×10¹⁸cm⁻³,获得了满足上述要求的可行工艺条件.

对于外基区注入,首先要求它能够形成良好的欧姆接触,同时又要考虑结不能太深,否则将增大B-C电容,此外还要求结特性良好,反向漏电小.

内外基区连接注入可大大提高工艺的可控性,并使得电流增益与基极电阻、B-E击穿特性和C-E穿通等特性之间的矛盾关系易于调整.我们在发射极多晶硅条刻蚀之后、侧墙氧化物形成之前,进行了一次低能量、小剂量的硼离子注入,我们进行的连接注入和非连接注入对此研究结果表明,连接注入后晶体管特性有三个特点,(1)晶体管的发射极-基极间反向击穿电压数值比较一致,没有观察到由发射结边缘的隧道电流引起的基极电流拖尾现象;(2)不同尺寸的晶体管的电流增益差值变小;(3)晶体管的BV_{ceo}值的分布比较集中,较好地满足了电路要求.

3.3.2 多晶硅发射极的形成及控制

采用离子注入砷掺杂多晶硅驱进扩散形成发射结,不仅可以方便地形成浅结及引线,如果工艺控制适当,还可以提高发射结的注入效率,从而提高电流增益.影响多晶硅发射极性能的两项重要工艺因素,一是多晶硅/单晶硅之间的界面控制,一是发射区退火.对于前者,目前我们采取的工艺方法是,在淀积多晶硅之前用稀释的HF溶液腐蚀掉界面处的自然氧化层,在装片过程中用N₂保护,尽量减少在界面

处形成氧化层.

用低压化学气相淀积的方法在620℃下淀积多晶硅薄膜.选择多晶硅的厚度时要考虑到侧墙氧化物形成过程中要消耗掉一部分多晶硅,最后实际的多晶硅厚度至少要包含2个以上晶粒间界,以充分发挥少子迁移率阻碍作用,还要考虑到多晶硅厚度对形成侧墙氧化物的影响.目前多晶硅的厚度选为约350nm.

用砷离子注入(注入剂量2×10¹⁶cm⁻²)对多晶硅进行掺杂.不同能量的注入结果表明,150keV的能量有利于形成浅发射结,此时注入的砷杂质基本处于多晶硅之内,而且对界面影响很小.

基区和发射区注入后进行一次退火,与基区硼注入后先进行一次预退火,发射区注入后进行第二次退火形成发射区和基区的二次退火相比,一次退火能够形成较浅的发射结深和较薄的基区.实际工艺流片中我们采用了1120℃的一次快速热退火形成发射区和基区,退火时间根据电流增益的需要适当加以调整.

3.4 自对准钴硅化物引线技术

为了减少器件的接触电阻、连线电阻和制备性能良好的浅结,自对准硅化物技术已成为先进超高速双极电路的一个基本组成部分.我们首次把自对准钴硅化物应用于双极电路.其原因除了钴硅化物具有电阻率低、稳定性好和能选择腐蚀等许多优点外,还在于(1)钴硅化物在自对准工艺中,钴为移动原子,因而不易出现“桥连”,自对准特性好;(2)硅化物有较好的温度稳定性,能经受双极工艺所要求的高温热退火;(3)钴硅化物与其它硅化物相比还具有耐干法刻蚀和抗HF酸腐蚀的能力,与集成电路的工艺更为兼容.研究结果表明,自对准钴硅化物用于双极工艺后,能显著地减小器件的串联电阻和接触电阻,明显地改善了器件和电路性能.

实验表明^[6],经不同温度快速热退火后,Co与Si发生固相反应,其相序过程为Co-Co₂Si-CoSi(与CoSi₂共存)-CoSi₂.当退火温度达到800—1000℃时,薄膜中仅存在CoSi₂相.其电阻率很低,约为19×10⁻⁶Ω·cm.钴硅化物与其它硅化物相比,还具有很强的耐干法刻蚀能力和抗HF酸腐蚀的性能,未反应的钴可用选择腐蚀液去除.在后序工艺加工中十分有利.为了适应双极工艺的需要,我们对比研究了注入和未注入BF₂的钴硅化物的高温稳定性.实

验发现,当快速热退火温度低于1000℃时,两者的薄层电阻都很小,几乎没有差别。但当退火温度升高到1050℃时,没有注入BF₂的钴硅化物的薄层电阻增大,到1100℃时,其薄层电阻增大更为迅速。而注入BF₂的钴硅化物的薄层电阻仍很小,至1100℃也基本保持不变。结果表明,BF₂的注入使CoSi₂结构变得稳定。

自对准钴硅化物双极工艺过程如下:

- 多晶硅(发射极)刻蚀
- LPCVD SiO₂ 并致密
- RIE 形成 Sidewall spacer
- 溅射 Co
- RTA 形成钴硅化物(680℃)
- 选择腐蚀未反应的 Co, 形成自对准的钴硅化物接触
- RTA 形成 CoSi₂(800℃)

在形成钴硅化物自对准发射极、基极电极双极工艺中,应注意:(1) RIE 形成侧墙时,要求多晶硅侧墙陡直,从而使侧墙氧化物有合适的宽度,这是防止E-B 短路的关键之一;(2)干法刻蚀中容易产生聚合物,从而影响形成良好性能的钴硅化物,因此刻蚀中要注意避免聚合物的产生;(3)要尽一切可能减少氧的沾污。

自对准钴硅化物的引入大大减少了发射区和基区的薄层电阻,以外基区为例,一般器件其 R_{\square} 为 60—100Ω/□,采用钴硅化物后,其 R_{\square} 降为 3Ω/□ 左右,薄层电阻值减小了约三十倍。表 3 给出了有自对准钴硅器件和无自对准钴硅化物器件特性的对比。

表 3 CoSi₂ 对器件性能的影响

Table 3 Performance Comparison Between Devices with and Without CoSi₂ Layer

	无 CoSi ₂ 的器件	有 CoSi ₂ 的器件
R_E/Ω	155	20
R_B/Ω	1250	595
R_C/Ω	184	57
$S_E/\mu\text{m}^2$	30	30

CoSi₂ 和硅、多晶硅之间由于晶格失配会产生应力,我们用显微喇曼光谱技术对CoSi₂引起的应力大小及与图形尺寸的关系和不同厚度的CoSi₂引起的应力大小进行了测量和研究^[7]。根据实验我们得出了如下结果:①当CoSi₂薄膜厚度分别为35nm、52.5nm 和 105nm 时,它们相对应的应力分

别为-0.008、-0.11 和-0.36(10^8N/m^2),即随着CoSi₂薄膜厚度的增加而应力增大,其在多晶硅上形成的CoSi₂薄膜的应力为压应力。②当CoSi₂在 $10 \times 10\mu\text{m}^2$ 、 $4 \times 4\mu\text{m}^2$ 的区域内形成时,它们在其区域中心位置和在边界处的应力大小分别为-0.19、0.42 和-0.21、0.44(10^8N/m^2)。我们可以清楚地看出:随着CoSi₂面积的减小应力增大。在CoSi₂薄膜与多晶硅的交界区域应力的类型正好与中心部位的应力类型相反,而且其绝对值大于中心部位的一倍,反映存在边界效应。上述结果表明,在大规模集成电路的制作中,对CoSi₂薄膜的使用要有适当的厚度,且对CoSi₂引起的应力的面积效应和边界效应必须加以注意。

3.5 双层金属互连技术

集成电路进入超大规模阶段后,互连线所占芯片面积的比例迅速增加。同时从性能上来看,对于超高速集成电路,互连系统引起的时延已不可忽略,甚至可能超过器件本身的时延,成为制约集成电路进一步发展的主要因素,因此研究开发多层金属互连技术变得十分重要而紧迫。为满足多晶硅发射极 ECL 超高速集成电路的研究需要,我们成功地开发出两种双层布线技术。一种是双层金属结构;另一种是单层铝和一层是钴硅化物的双层布线结构。这里主要介绍双层金属互连技术。我们采用以LPCVD SiO₂作一次介质、Ti/Al-Si/Ti 夹层结构作为互连金属层 1、PECVD SiO_xN_y/PECVD SiO₂复合结构作层间隔离介质和 Al-Si/Ti 作互连金属层 2 的双层金属互连系统,并对各层材料的选取、特性和制备工艺进行了详细研究。本互连技术特点是:(1)采用 Ti/Al-Si/Ti 互连金属层 1 具有电阻率低、表面平滑、与有源区和上层金属接触特性好等优点;(2)层间隔离介质膜有均匀性好、击穿特性优良、与相邻材料间应力低、且易刻蚀等优点;(3)采用了侧墙半平坦化技术,明显改善互连金属层 2 的台阶覆盖特性;(4)深入研究了过刻蚀、反溅射及专用清洗剂对获得清洁金属表面、改善接触特性的作用,优化了工艺条件。测试结果表明,制备的双极金属互连系统平均接触电阻率 R_c 为 $3.48 \times 10^{-9}\Omega \cdot \text{cm}^2$, 主要分布范围为 2×10^{-9} — $6 \times 10^{-9}\Omega \cdot \text{cm}^2$, 性能十分理想。含有 200 个通孔的接触链的导通率,在管芯有效区域内达 100%;隔离介质击穿电压 350V 以上(8000A)。

我们开发的双层金属互连技术已应用于

ECL600 门移位寄存器电路, 其最高移位频率达 450MHz, 与一层是 Al 和一层是钴硅化物的双层布线结构 ECL800 门电路相比, 速度将近快一倍.

4 结论

我们对单层多晶硅发射极双极工艺进行了研究, 取得了一系列的结果: 用一种新的硅深槽刻蚀技术制备硅深槽隔离, 其深槽隔离的漏电流为 10^{-10}A 量级, 击穿电压可控制在 30V 以上. 发射区-基区间采用的是二氧化硅侧墙隔离, 隔离效果良好. 离子注入和快速热退火处理成功实现了多晶硅发射区浅结和薄基区; 研究钴硅化物特性, 开发自对准钴硅化物结构, 并首次用于双极集成电路, 有效地减少串联电阻; 并研制出集成度分别为 600 门和 800 门两种超高速 ECL 移位寄存器电路, 最高移位频率达 450MHz; 微波静态二分频器工作频率为 3.1GHz. 标志电路速度水平的环振电路平均门延迟为 50ps.

致谢 本工作是由北京大学微电子所高速电路室和工艺研究室同志们完成的, 在此一并表示感谢.

参考文献

[1] T. H. Ning and D. D. Tang, Proceedings of IEEE, 1986, 74

- (12): 1669—1677.
- [2] C. R. Selvakumar, Polysilicon Emitter Bipolar Transistors, IEEE Press, 1989.
- [3] C. T. Chung and P. F. Lu, IEDM Tech. Digest, 1989, 799—802.
- [4] Zhang Lichun *et al.*, 182nd Meeting of the Electrochemical Soc., 1992, 92(2): 384.
- [5] Qian Gang, Zhang Lichun *et al.*, A New Development of Silicon Deep Trench Etching Process, Chinese Journal of Semiconductors, 1994, 15(1): 29—34(in Chinese) [钱钢, 张利春等, 一种新的硅深槽刻蚀技术研究, 半导体学报, 1994, 15(1): 29—34].
- [6] Zhang Lichun, Gao Yuzhi *et al.*, Formation and Characterization of CoSi₂/n-Si Schottky Barriers, Chinese Journal of Semiconductors, 1993, 14(1): 48—55(in Chinese) [张利春, 高玉芝, 等, CoSi₂/n-Si 肖特基势垒的形成和特性, 半导体学报, 1993, 14(1): 48—55].
- [7] Li Bibo, Huang Fumin, Zhang Shulin, Gao Yuzhi and Zhang Lichun, Stress Induced by CoSi₂ Grown on Polycrystalline Si Measured by Micro-Raman Spectroscopy, Chinese Journal of Semiconductors, 1998, 19(4): 299—303(in Chinese) [李碧波, 黄福敏, 张树霖, 高玉芝, 张利春, 用显微喇曼扫描成像(mapping)法测集成电路中 CoSi₂ 电极引起的应力, 半导体学报, 1998, 19(4): 299—303].

Super High Speed Polysilicon Emitter Integrated Circuit Technology

ZHANG Li-chun, NI Xue-wen and WANG Yang-yuan

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: The polysilicon emitter circuits with advanced bipolar technologies have been reported, with the emphasis on the refractory metal nitride (ZrN) as the etching mask to realize the deep-trench isolation, emitter-base oxidation spacer self-aligned isolation, Rapid Thermal Annealing(RTA) to achieve the shallow junction and thin base region, self-aligned formation of the cobalt silicide in E, B and C areas to reduce the series resistance considerably and the double metallization interconnection to improve the reliability. Based on the above technologies, a static microwave frequency divider that is operated up to 3.1GHz, as well as a 600-gate double metallization Al ECL shift register with operating frequency up to 450MHz are fabricated. As for a 19-stage ring oscillator, the delay per stage is within 50ps under - 5V.

Key words: polysilicon emitter; high speed; integrated circuits; process

EEACC: 2560J

Article ID: 0253-4177(2001)06-0811-06