

# 采用异步电路的低功耗微控制器的 VLSI 设计与实现

俞 颖 周 磊 闵 昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

**摘要:** 介绍了一个采用异步电路设计的低功耗微控制器的电路结构及其 VLSI 的实现. 该设计利用异步电路具有的低功耗特性, 用异步逻辑设计并实现了一个 8 位低功耗微控制器. 该微控制器与用传统同步方法设计 PIC16C61 的指令集兼容, 功能相仿, 在 CHARTERED 0.6 $\mu$ m 的工艺条件下, 平均功耗只有 PIC16C61 的 16%.

**关键词:** 异步逻辑; 低功耗设计; 微控制器设计; 集成电路设计

**EEACC:** 1130B; 1265B; 1265F

**中图分类号:** TN492

**文献标识码:** A

**文章编号:** 0253-4177(2001)10-1346-06

## 1 引言

同步电路是当今集成电路设计的主流, 大多数的数字电路系统都采用同步设计形式, 所有的模块在一个全局时钟的控制下进行工作. 与之相反, 异步电路设计不采用全局时钟, 各模块通过局部握手信号进行模块间的通讯. 随着半导体制造工艺, 尤其是深亚微米工艺的发展, 在集成电路设计中出现了一系列急需解决的问题, 例如电路的低功耗要求, 同步电路中全局时钟产生的时钟偏移, 电路中连线的延迟大于门的延迟等. 由于异步电路在解决这些问题中具有较大优势, 因此近年来对它的研究成了 IC 设计中的新课题. 在过去的十年中, 工业界的项目和学术界的研究所都证明了异步电路设计的可行性及由此带来的很多电路性能上的改进, 尤其是电路功耗的降低. 事实上, 1998 年, 市场上已经出现了一些完整的异步 IC 芯片<sup>[1,2]</sup>. 近几年来, 各个国家对异步微处理器的研究较多<sup>[3]</sup>, 这说明用异步逻辑来实现微处理器的优越性已被大家普遍认可, 现正处在设计的实践和研究阶段. 但是, 大多数已实现的异步微处理器的指令集都是自定义的, 这对用户来说使用起来

不方便, 不能普及, 因此大多数的异步微处理器还未

能代替市场上的现有微处理器. 与同步电路相比较, 异步电路设计在低功耗设计中有着很大的潜力, 因此许多的低功耗电路采用异步电路来达到低功耗的目的. 一个 CMOS 电路的功耗大约 90% 是动态功耗, 若用  $\alpha$  表示每个时钟内电路输出翻转(包括 0-1 和 1-0)的次数(也称为翻转活动率),  $f$  表示电路的时钟频率,  $C_L$  表示电路的负载电容,  $V_{DD}$  表示电路的电源电压, 则动态功耗的大小是:

$$P = 0.5\alpha C_L V_{DD}^2 f \quad (1)$$

对于异步电路来说, 由于它没有全局时钟, 减少了高负载高频的时钟信号抖动引起的功耗(可多达系统功耗的 40%); 并且它对各模块的分别控制使得各模块仅在需要工作时才工作, 减少了模块无效的翻转, 降低了电路的翻转活动率, 根据公式(1), 降低了功耗; 同时异步电路没有全局时钟, 它的速度是根据输入情况变化的, 是各种输入的“平均情况”; 而同步电路中全局时钟的周期必须大于最坏情况, 故同步电路的速度是“最坏情况”. 异步电路速度“平均情况”要比同步电路的“最坏情况”快, 故异步电路可在低电压下达到所要求的速度, 降低了电路所需电

俞 颖 女, 1975 年出生, 博士研究生, 主要研究领域有 VLSI 设计、低功耗集成电路设计、异步电路设计.

2000-11-01 收到, 2001-04-18 定稿

压, 根据公式 (1), 大幅度降低了电路的功耗. 适当的异步电路还能减少电路的面积, 根据公式 (1), 降低了电路的负载电容, 减少电路功耗. 由此可见, 异步电路设计具有很大的降低电路功耗的潜力<sup>[1,2]</sup>.

本文介绍一种利用异步电路低功耗潜力设计的异步低功耗 8 位微控制器, 其指令集与 Microchip 公司的 PIC16C6X 兼容, 与 PIC16C61 功能相仿. 通过选择恰当的体系结构和异步通讯信号协议, 权衡速度、面积、性能和功耗, 达到低功耗的目的. 同时, 电路设计中还采用了一些其他的低功耗手段.

## 2 异步低功耗微控制器的结构设计

### 2.1 低功耗微控制器的体系结构设计

研究发现, 在基本的体系结构(冯纽曼结构、哈佛结构)和指令集风格(CISC, RISCLIKE 和 RISC)中, 使用哈佛结构和 RISCLIKE 指令集的微控制器结构简单, 执行指令较快, 指令集密度适中, 是最适合低功耗应用的微控制器. 因此, 本文设计的微控制器采用哈佛结构, 并与最典型的哈佛结构微控制器 PIC 系列中 PIC16C61 指令集兼容. 图 1 是我们设计的异步低功耗微控制器的结构框图.

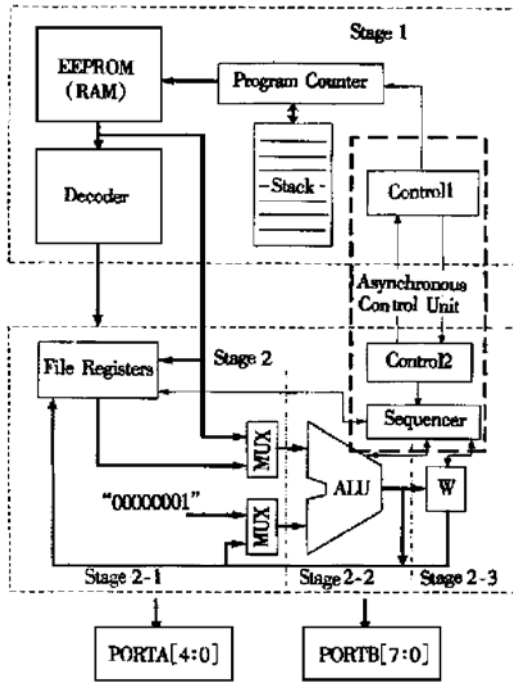


图 1 本文设计的异步低功耗微控制器的结构框图  
FIG. 1 Block Diagram of the Asynchronous Low Power MCU

我们采用二级流水线, 其功能分别定义为: 第一级, 取指, 译码; 第二级, 读数据存储器, 计算, 写回数据存储器/寄存器(见表 1). 这样分配的流水线结构, 除所有的条件跳转指令在需要跳转时的执行周期为 2, 其它所有指令, 包括条件跳转指令在条件不满足无须跳转时, 及跳转指令(Goto)和调用子程序指令(Call)的执行周期都为 1, 而不是传统 PIC 结构中的 2. 这加快了 MCU 的执行速度.

表 1 流水线任务的分配

Table 1 2-Stage Pipeline

取指	译码	从 RAM 读数据	ALU 计算	写回 RAM/寄存器 T
Stage 1		Stage 2-1	Stage 2-2	Stage 2-3
Stage 1	Stage 2			

### 2.2 低功耗微控制器的“异步控制”工作原理

由于异步电路中没有全局时钟来协调各部分的工作, 是由各模块之间的握手信号来互相控制, 因此我们采用“异步控制单元”来产生握手信号并控制各个模块的工作. “异步控制单元”(Control1, Control2, Sequencer)是此微控制器中最重要的部分.

为了达到低功耗的目的, 此异步微控制器中的控制单元要尽可能准确地控制各模块何时应进行何种计算, 以避免模块无效的翻转. 它也要尽可能准确地判断出流水线中的每一级何时结束工作, 以加快微控制器的速度, 减少被浪费的时间. 同时, 也要注意控制单元本身的面积、电容负载及功耗消耗情况, 以避免增加额外的电路功耗. 因此, 异步控制单元的设计是一个权衡各方面因素的过程. 本文的二级流水线的异步控制单元如图 1 所示. 其中, Control1 是第一级流水线的异步控制单元, Control2 和 Sequencer 是第二级流水线的异步控制单元. Control1 和 Control2 进行两级流水线之间的通讯, Control1 控制第一级的工作, Sequencer 控制第二级流水线中三个串行处理阶段的分别工作.

## 3 异步低功耗微控制器的电路实现

### 3.1 异步握手信号协议

异步握手信号协议是各个模块之间进行通讯时信号所遵守的规定及信号变化所表示的意义. 由于本文微控制器设计的目标是低功耗, 故采用结构简

单, 控制信号翻转较少的两相/单轨握手信号协议, 而非四相/双轨协议. 其中, 两相/单轨协议的接口与具体时序如图 2 和 3 所示.

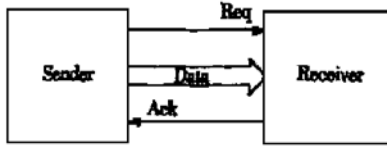


图 2 两相/单轨协议的接口

FIG. 2 Interface of 2-Phase/Single-Rail Protocol

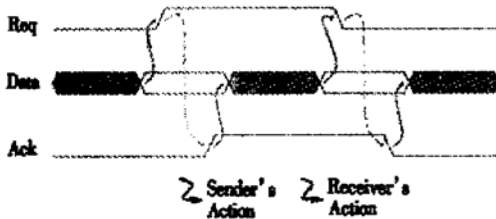


图 3 两相/单轨信号协议的时序

FIG. 3 Timing of 2-Phase/Single-Rail Protocol

异步信号协议中另一个很重要的部分是输出指示方式, 它指用何种方式来表示此模块的工作与运算已结束且模块输出值已为有效值. 异步逻辑的输出指示模式可分为两种: 一是使用带冗余的逻辑表达式的 Self-Timed 逻辑; 另一种是采用传统的逻辑表达式的 Bundled-Data 逻辑, 包括一根附加的控制线. 利用 Self-Timed 逻辑, 设计的电路的功能正确与否与实现的工艺是无关的, 并且电路的速度非常快. 但它所花费的芯片面积几乎是标准单轨编码逻辑的两倍. 而 Bundled-Data 逻辑中所采用的延迟匹配方法所设计的电路是与工艺有关的, 并且延迟匹配是固定的, 不会随输入数据而变化, 必须大于最坏情况的电路延迟. 它减慢了电路的速度. 但是, 它的优点是与相对应的同步电路比起来面积增加得不多.

由于本文设计的异步微控制器的主要目标是低功耗, 故异步输出指示方式的设计必须适合低功耗. 我们采用了两者的组合, 较好地进行了电路可靠性、面积、速度与功耗的折衷, 在下文将会介绍到.

### 3.2 异步控制单元的电路设计

本文的二级流水线的异步控制单元的工作原理如图 4 所示.

通常情况下, 异步流水线的控制器采用了一些

异步电路特有的元件, 如 ‘Celemnt’ 和 ‘Toggle’ 等, 这使得异步电路的设计变得复杂. 我们采用了用同步标准单元来实现控制器的方法, 虽然控制器的面积比原来略大, 但使得设计方法和流程可用同步电路设计的方法和流程, 相应的 CAD 工具也更多, 设计更简单.

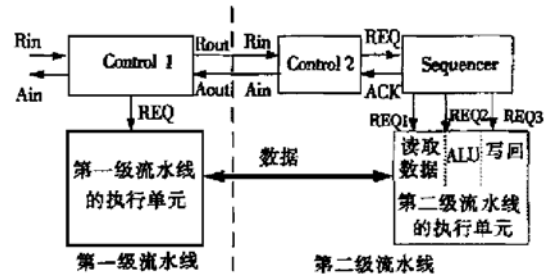


图 4 异步低功耗微控制器中异步控制单元的结构

FIG. 4 Structure of all Asynchronous Control Units in MCU

我们采用的异步逻辑控制器结构原型如图 5 所示<sup>[6]</sup>.

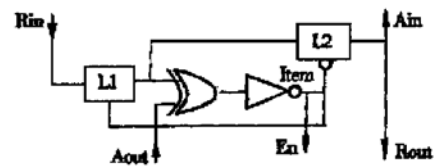


图 5 异步控制器的结构原型

FIG. 5 Prototype Circuit of Asynchronous Control Unit

此控制器是这样工作的:

初始状态时, item 信号为高, 其余所有信号皆为低. 此时锁存器 L1 是透明的, L2 是不透明的. Rin 发生的变化(变高)将会通过 L1, 使得 XOR 门的输入发生变化. 然后, item 就变低, 锁存 L1, 使 L2 变透明, 且 Ain, Rout 发生变化(变高), 即告诉下一级此级已开始向它传输数据. 此时, Rin 的其它变化将不能通过 L1. 直到下一级作出反应, 使得 Aout 变高, 即表示已接受好数据, 本级的 item 重新变高, 并且 L1 重新变为透明, 接受 Rin 的变化<sup>[6]</sup>.

### 3.3 第一级流水线中的异步逻辑控制单元设计

第一级流水线中的异步逻辑控制单元 Control1 控制着取指、译码及程序计数器和堆栈的工作, 其电路结构与图 5 相似, 见图 6.

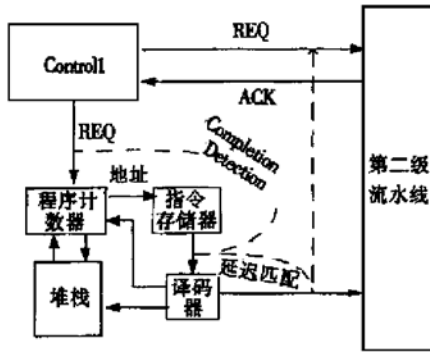


图 6 第一级流水线控制单元的结构

FIG. 6 Structure of Asynchronous Control Unit of 1st Stage in the Pipeline

由于取指过程的时间是一个较长的延迟,且随半导体工艺变化很大,采用固定的延迟匹配将会造成电路性能和速度的降低.而普通的 Self-Timed 逻辑,面积花费太大,不利于电路的低功耗.在这里,我们专门设计了“专用于判断取指过程的 Completion-Detection 方法”来判断取指过程何时结束.它相对于普通的 Self-Timed 逻辑,具有面积花费小很多,但电路性能大致相当的特点,这对低功耗的电路实现是很有益处的.

本文设计的低功耗微控制器的指令集是由 32 条 14Bit 的指令组成的.实际的程序中,若在每条指令后加两位的冗余识别位,可将每条指令与它相邻的每条指令辨别开.此方法可用图论来证明它的可行性与正确性.

用电路来实现以上的 Completion-Detection 判断取指过程是否已结束,相对比较简单.只要比较取指的数据线上的最后两位是否发生了变化,即可判断是否有新的指令到达.因此,只要用两个触发器将上次的最后两位锁存,再用两个异或门将数据线上的数据与被锁存的数据进行比较.此电路的实现方法花费面积很小,与一般的 Self-Timed 逻辑要增加近一倍的面积相比,无疑具有很大的低功耗优势.

### 3.4 第二级流水线中的异步逻辑控制单元设计

第二级流水线中的异步逻辑控制单元包括总控制器 Control2 和各部分控制器 Sequencer. Control2 的主要工作是和第一级流水线进行通讯,其电路结构与图 5 相似,见图 7.它同时也向 Sequencer 发出何时应工作的命令,Sequencer 的工作是控制第二级流水线中三个阶段的工作,并回答 Control2 何时

整个第二级流水线中的所有模块已全部工作完. Sequencer 的工作原理与电路结构见图 7、8.

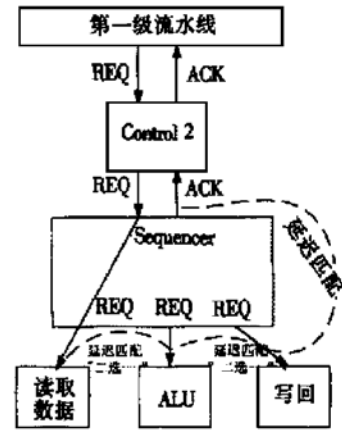


图 7 第二级流水线中的控制单元

FIG. 7 Structure of Asynchronous Control Unit of 2nd Stage in the Pipeline

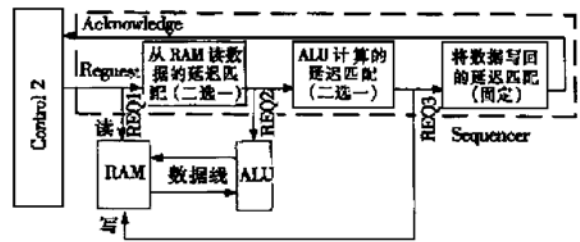


图 8 Sequencer 的工作原理与电路结构

FIG. 8 Structure and Implementation of “Sequencer”

Sequencer 的电路实现见图 9.其中最重要的部分就是各部分的延迟匹配.由于普通的延迟匹配设计固定,不能发挥出微控制器延迟与指令有关的特性,故我们采用带选择的延迟匹配,对每个模块在执行各条指令时的工作情况及工作设计作了仔细的分析,以帮助 Sequencer 对第二级流水线中各个模块最有效的控制,以达到各模块不作无效翻转且不作无谓的等待,即降低电路的翻转率,增加电路的速度,以达到低功耗的目的.

在读取数据的延迟匹配中,可将延迟匹配分为两种:一种是执行需要从数据寄存器堆的指令的延迟,例如 ADDWF,另一种是执行不需从数据寄存器读取数据的指令的延迟,例如 CLRW.这两种情况的延迟时间差别较大,可用已有的译码器输出对延迟输出进行选择.这样分类既节省了选择匹配延迟的复杂性,又能最大限度地发挥执行时间的指令相关性.

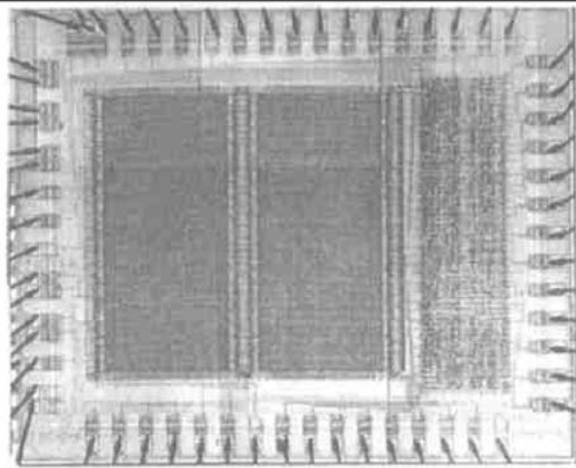


图 9 异步低功耗微控制器芯片的照片

FIG. 9 Microphotograph of the Asynchronous Low Power MCU Chip

在 ALU 计算的延迟匹配中,也可分为两大类:一类时间较长,进行算术或逻辑运算,一类时间较短,进行左移、右移或 MOVE 操作及一些根本不须 ALU 的运算,如 CLRW, CLRF. 选择哪种匹配延迟要根据 ALU 的操作类型来决定,由于它已由译码器给出,无须增加新的译码电路.

写回数据寄存器的时间本来就较短,故没有必要再选用选择性的匹配延迟了,本文在这里采用固定的匹配延迟.

## 4 其他低功耗设计方法

本文的设计除了仔细分析和衡量了各种因素(包括面积、速度、功耗),选用了恰当的异步电路的信号协议和电路实现来降低电路功耗外,还采用了

以下设计方法来减小电路的功耗:

1. “门控时钟”的广泛应用:在堆栈和寄存器堆的设计中,对每个寄存器的时钟都进行门控,大大减少了无效翻转,降低了电路的功耗;同时,在电路实现上,大规模地减小了电路面积.

2. 设计了“睡眠”低功耗模式:大大降低了待机时的功耗.由于采用异步控制,此微控制器在“睡眠”模式时不消耗动态功耗,仅有很小的漏电流功耗.

3. 逻辑优化:在译码器的设计中,对组合电路进行了逻辑优化,避免对结果无影响的操作,降低电路功耗,同时也降低了电路面积.

4. 设计中的权衡:低功耗设计是一个需要精打细算的权衡过程,因此在任何模块的设计中,只要有一种以上的方案来实现电路,就需要选择一个从各方面权衡下来最有利于实现低功耗的电路结构.

## 5 设计流程与模拟结果

### 5.1 设计流程

本文利用异步电路的模块性,用同步电路 CAD 工具实现了整个流程.流程大致如下:各模块 VHDL 描述→整体功能仿真(SYNOPSYS)→各模块综合(SYNOPSYS)→整体门级仿真(SYNOPSYS)→自动布局布线(Silicon Ensemble & Cadence)→DRC, LVS 验证→流片(SGP Chartered 0.6 $\mu$ m, 5V)→测试.图 9 是芯片的照片.

### 5.2 设计与比较结果

此 8 位异步低功耗 MCU 在 Chartered 0.6 $\mu$ m, 5V 的工艺条件下,设计结果见表 2.其中电路由 SYNOPSYS 综合得出,速度为门级仿真的结果.平均功耗是用 HSPICE 模拟得出的功耗结果.

表 2 本文提出的 MCU 与 PIC16C61 的设计结果及比较结果

Table 2 Comparison of the MCU Proposed and Conventional PIC16C61

		本文设计的低功耗 MCU CORE	传统方法设计的 PIC16C61 CORE	前者/后者
电路规模/门		2762	3009	91.8%
5V 电源 电压下 工作时	速度/MIPS	55	40	137.5%
	平均电流/mA	8.3016	17.587	—
	平均功耗/mW	41.508	87.935	47.20%
	速度/平均功耗	1325	455	291.2%
两者以相同 速度工作时	电源电压/V	3.7	5	—
	速度/MIPS	40	40	100%
	平均电流/mA	3.7178	17.587	—
	平均功耗/mW	13.756	87.935	15.64%
	速度/平均功耗	2908	455	639.2%

在设计此 MCU 的同时, 我们也将传统的 PIC16C61 用相同的设计流程设计了一遍, 并在相同的工艺条件下进行了综合、门级仿真及功耗模拟, 设计结果与比较结果见表 2. 由此表可见, 我们设计的微控制器在电路面积、执行速度、功耗方面都比传统方法设计的微控制器要优越. 尤其是功耗方面, 本文设计的微控制器的功耗只有传统方法设计的 PIC16C61 功耗的 16%.

## 6 结论

本文利用异步电路的低功耗特性, 设计实现了一个采用异步电路的低功耗微控制器芯片. 该微控制器该 MCU 的指令集与 PIC16C6X 兼容, 功能与 PIC16C61 相仿, 具有市场潜力. 在功耗模拟中, 将该微控制器与用传统同步方法设计的功能和实现工艺完全相同的微控制器进行了比较, 本文设计的异步低功耗微控制器的功耗仅为传统同步微控制器的

16%, 且具有更小的电路面积. 该异步低功耗微控制器电路已于 1999 年 12 月在新加坡 Chartered 0.6 $\mu\text{m}$  工艺线上进行了流片, 现在正在进行测试.

## 参考文献

- [ 1 ] Scott Hauck, Asynchronous Design Methodologies: An Overview, Proceedings of the IEEE, 1995, **83**( 1 ): 69—93.
- [ 2 ] G. Gopalakrishnan, Guest Editor's Introduction to the Special Issue on Asynchronous Systems, Integration, the VLSI Journal, 1993, **15**: 233—239.
- [ 3 ] Gary Yeap, Practical Low Power Digital VLSI Design, Motorola Inc.
- [ 4 ] S. B. Furber *et al.*, AMULET2e: An Asynchronous Embedded Controller, Proceedings of the IEEE, 1999, **87**( 2 ): 243—255.
- [ 5 ] I. E. Sutherland, Micropipeline, Communications of the ACM, 1989, **32**( 6 ): 720—738.
- [ 6 ] G. S. Taylor *et al.*, Reduced Complexity Two Phase Micropipeline Latch Controller, IEEE Journal of Solid-State Circuits, 1998, **33**( 10 ): 1590—1593.

# VLSI Design and Implementation of A Low Power Microcontroller Using Asynchronous Logic

YU Ying, ZHOU Lei and MIN Hao

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

**Abstract:** A novel VLSI design and implementation of a low power 8-bit microcontroller using asynchronous logic is proposed. Taking advantage of the low power potential of asynchronous logic, the 2-stage pipelined MCU is carefully designed by choosing proper architecture as well as suitable asynchronous signal protocols that include a combination of a specific “completion detection method” and “matching delay method”. Other low power design techniques such as “Gating Clock” are also applied to the design. Using synchronous design flow and standard-cell library facilitates the asynchronous VLSI design and circuit implementation. Fabricated in Chartered 0.6 $\mu\text{m}$  CMOS technology, this power of asynchronous MCU, from simulation on power dissipation, would be only 16% of power dissipation of the conventionally designed PIC16C61, which shares the same instruction set and function as the designed MCU.

**Key words:** asynchronous logic; low power design; microcontroller design; VLSI design

**EEACC:** 1130B; 1265B; 1265F

**Article ID:** 0253-4177(2001)10-1346-06

YU Ying female, was in 1975, PhD candidate. Her research interests include VLSI design, low power IC design, asynchronous circuit design, etc.

Received 1 November 2000, revised manuscript received 18 April 2001

©2001 The Chinese Institute of Electronics