

# PMOSFET's 热载流子退化模拟及寿命评估的统一模型\*

张进城 郝 跃 朱志炜

(西安电子科技大学微电子研究所, 西安 710071)

**摘要:** 对 PMOSFET's 几种典型器件参数随应力时间的退化规律进行了深入研究, 给出了一个新的器件退化监控量, 并建立了不同器件参数退化的统一模型。模拟结果和测量结果的比较表明, 新的退化模型具有较高的准确性和较宽的适用范围。新的退化模型不但可以用于器件参数退化量的模拟, 也可以用于器件寿命评估。

**关键词:** PMOS 器件; 热载流子退化; 退化模拟; 寿命评估

**EEACC:** 0170N; 2560R; 2570D

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)12-1586-06

## 1 引言

随着 MOS 器件尺寸的不断缩小, PMOS 器件热载流子退化越来越严重, PMOS 器件退化已经成为 CMOS 电路退化及其失效不可忽视的因素。虽然对各种 PMOS 器件参数的退化已经能够较好地进行物理解释, 但是有关 PMOS 器件热载流子退化模拟和器件寿命评估的研究还不完善, 现有的方法都有不同的局限性。

PMOS 器件的热载流子退化机制相对简单, 虽然已经发现了三种热载流子退化机制, 但是 PMOS 的热载流子损伤主要还是由雪崩产生热电子注入氧化层引起的<sup>[1,2]</sup>。由于 PMOS 器件的主要退化机制是漏区局部氧化层中的陷阱电子, 而陷阱电子和栅电流之间具有直接关系, 所以 PMOS 器件参数退化和栅电流应该有很强的相关性。基于此, Ong 等人<sup>[3]</sup>提出了一种寿命评估方法, 该方法中寿命只是栅电流的函数。Doyle 等人<sup>[4]</sup>和 Huang 等人<sup>[5]</sup>提出了一种新的基于注入电荷总量的寿命评估方法。但是现有方法都显得不够准确和通用性不强, 而且目前大

多退化模型和寿命模型都是基于最大线性区跨导退化, 实际上跨导退化并不能表征器件在整个工作区的特性退化。对于不同电路和应用场合, 对不同器件参数的关注程度不同, 比如在数字电路中, 更关心饱和漏电流退化, 因为饱和漏电流直接决定器件的工作频率。为了能够完整地描述器件特性的退化, 就需要采用多个不同器件参数。

本文主要考察了四种典型器件参数的热载流子退化, 分别为: 最大线性区跨导、饱和漏电流、线性漏电流和阈值电压。这四个参数基本能够反映器件的线性区和饱和区特性的退化。本文首先研究了这四种器件参数退化的规律, 然后建立了一个统一的退化模型, 该模型不但可以表征这四种器件参数的退化, 而且可以应用到不同偏置条件下。

## 2 实验样品与测量方法

本文所用器件是采用  $0.8\mu\text{m}$  硅栅 CMOS 工艺制造的表面沟道 PMOS 器件, 掩模沟道长度为  $0.8\mu\text{m}$ , 沟道宽度为  $50\mu\text{m}$ , 栅氧化层厚度为  $17.5\text{nm}$ 。本文使用了同一圆片上一组相同的器件,

\* 国防预先研究资助项目(项目编号: 8.5.3.4)。

张进城 男, 1976 年出生, 博士研究生, 主要从事 MOS 器件可靠性及宽禁带半导体器件研究。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 IC 可靠性、可制造性、设计方法学以及半导体新器件与电路研究。

2001-01-12 收到, 2001-04-06 定稿

© 2001 中国电子学会

确保了测量数据的可比性。

本文所加的热载流子应力均为典型的最大栅电流应力,此时退化最大。表1给出了本文所加的四种热载流子应力条件,应力过程中衬底和源区始终接地。应力前,首先测量线性区和饱和区特性,得到器件的阈值电压 $V_{tei}$ 、跨导 $G_m$ 、线性区漏电流 $I_{dlin}$ 和饱和区漏电流 $I_{dsat}$ ;在应力时间为1、10、100、1000、10000s时分别测量一组器件的上述参数。应力过程中连续监控栅电流的退化。

表1 所加的热载流子应力条件

Table 1 Applied Hot-Carrier Stress Conditions

参数	应力 A	应力 B	应力 C	应力 D
$V_d/V$	-8	-7.5	-7	-6.5
$V_g/V$	-1.8	-1.65	-1.5	-1.4

本文的器件特性测量和器件参数确定方法如下:线性区特性的测量条件为: $V_d = -0.1V$ ,  $V_g$ 从0到-5V变化。本文的跨导 $G_m$ 指最大线性区跨导;取 $V_d = -0.1V$ 和 $V_g = -5V$ 时的漏电流为线性漏电流 $I_{dlin}$ ;把漏电流 $I_d = 0.1\mu A \times (W/L)$ 对应的栅电压定义为阈值电压 $V_{tei}$ 。饱和区特性的测量条件: $V_d$ 为-5V,  $V_g$ 从0到-5V变化。取 $V_d = -5V$ 和 $V_g = -3V$ 时的漏电流为饱和漏电流 $I_{dsat}$ 。

### 3 器件静态参数随应力时间的退化

经过一定时间的热载流子应力,PMOS器件的线性区和饱和区特性均会发生漂移。为了能够更细致地描述器件特性的退化,下面考察器件参数随应力时间的退化规律。图1给出了双对数坐标系中跨导 $G_m$ 随应力时间的退化曲线,可以看出, $G_m$ 和应力时间在双对数坐标系中基本呈线性关系,可以用下面的方程表示:

$$\lg \left[ \frac{\Delta G_m}{G_{m0}} \right] = A + Blgt \quad (1)$$

用(1)式对图1中的四条曲线进行拟合,可以得到每条曲线的拟合参数(见表2)。表2同时给出了以 $\Delta G_m/G_{m0} = 10$ (以%为单位)作为寿命判据由(1)式得到的器件寿命 $\tau$ 。

从表2可以看出,如果以跨导退化10%作为器件寿命判据,我们可以得到该器件在四种应力下的寿命分别为8小时、4.62天、1.78月、4.03年。

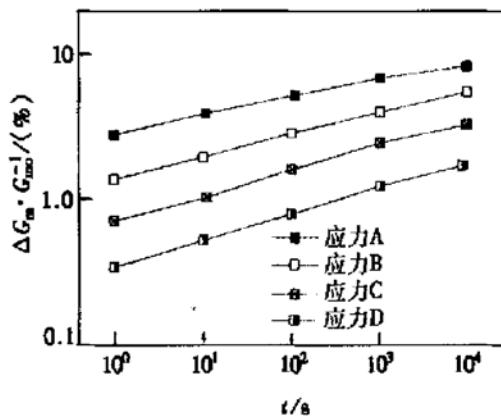


图1 不同偏置应力下跨导的退化规律

FIG. 1 Transconductance Degradation Under Different Stress Conditions

表2 不同应力下的拟合参数和器件寿命

Table 2 Fitting Parameters and Device Lifetimes Under Different Stress Conditions

参数	应力 A	应力 B	应力 C	应力 D
A	0.46575	0.14561	-0.14565	-0.45863
B	0.11981	0.15254	0.17191	0.18001
$\tau/s$	$2.88 \times 10^4$	$3.99 \times 10^5$	$4.62 \times 10^6$	$1.27 \times 10^8$

图2给出了不同应力下饱和漏电流的退化曲线。在双对数坐标系中饱和漏电流退化和应力时间同样满足线性关系,也可以采用和(1)式相同的函数

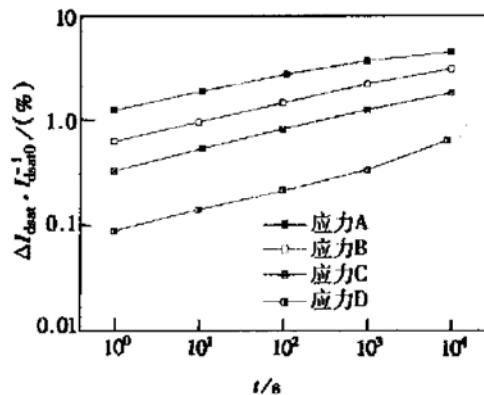


图2 不同偏置应力下饱和漏电流的退化规律

FIG. 2 Saturated Drain Current Degradation Under Different Stress Conditions

来描述饱和漏电流的退化。惟一不同的是拟合参数会有所不同,外推得到的器件寿命会有所不同。这是因为相同器件损伤对不同器件参数的影响是不同的,再加上寿命判据设定的主观性,所以器件寿命会有所不同。

用上述方法来表征器件退化有一个明显的缺点, 就是每个偏置条件和器件参数都对应一组不同的模型参数, 这使得不管是外推某个偏置条件下器件寿命还是比较不同工艺和结构器件的可靠性, 都很不方便。所以希望能构造这样一个物理量, 称它为器件退化监控量, 对于同一种器件, 不管它处于什么样的偏置条件, 只要在经过一定时间的应力后退化监控量达到相同数值, 那么器件退化就是相同的。具体地讲, 就是相同数量的退化监控量对应相同的器件参数退化, 而且该退化监控量也应该很容易测量或者很容易通过模拟得到。器件退化监控量完全包含了偏置条件和应力时间对器件退化的影响, 这样得到的器件参数退化与退化监控量之间的函数关系就可以作为器件退化模拟和寿命评估的模型, 模型参数只是与器件工艺、器件结构和器件参数的类型有关。

#### 4 新的器件退化监控量

Huang 等人<sup>[5]</sup>提出了用注入电荷总量来表征 PMOSFET's 的热载流子退化。这里的注入电荷总量是通过对栅电流随应力时间进行积分得到的。已经提到 PMOSFET's 热载流子退化的主要机制是氧化层陷阱电子, 所以器件参数的退化量应该和氧化层陷阱电子直接相关, 而氧化层陷阱电荷和栅注入电荷直接相关, 所以器件参数退化量和注入电荷总量之间应该直接相关。他们的研究结果表明器件寿命和注入电荷总量之间保持线性关系, 而且对于不同工艺的器件也处于相同的直线上, 所以通过注入电荷总量可以很方便地对不同的工艺进行比较。但是器件寿命与注入电荷总量的关系是不能用于器件参数退化模拟和器件寿命评估的, 因为在相同寿命判据下, 不同偏置条件下器件退化达到寿命判据时对应的注入电荷总量是不同的。这说明注入电荷总量还不足以完全包含偏置条件和应力时间对器件退化的影响, 所以需要得到新的器件退化监控量。

为了找到更好的退化监控量, 本文考察了多个器件特征量, 如  $Q_{\text{inj}}/W$ 、 $I_g(0)Q_{\text{inj}}/W$ 、 $I_gQ_{\text{inj}}/W$  等。实验发现  $I_gQ_{\text{inj}}/W$  是一个更好的 PMOS 器件退化监控量, 这里  $I_g$  表示瞬态栅电流,  $Q_{\text{inj}}$  为注入电荷总量,  $W$  为器件沟道宽度。在 Doyle 等人的文章<sup>[4]</sup>中, 跨导相对退化和  $I_gQ_{\text{inj}}/W$  的关系给出了, 并给出了器件寿命外推的方法。然而除跨导退化以外其它器

件参数退化和  $I_gQ_{\text{inj}}/W$  的关系并没有给出, 所以本文对此进行了深入研究并最终得到了一个满意的可以直接用于器件退化模拟和寿命评估的模型。

图 3—6 分别给出了不同偏置条件下跨导退化、饱和漏电流退化、阈值电压退化和线性漏电流退化与注入电荷总量的关系, 其中图(a)给出了器件参数退化量与  $Q_{\text{inj}}/W$  的关系; 图(b)给出了器件参数退化量与  $I_gQ_{\text{inj}}/W$  的关系。

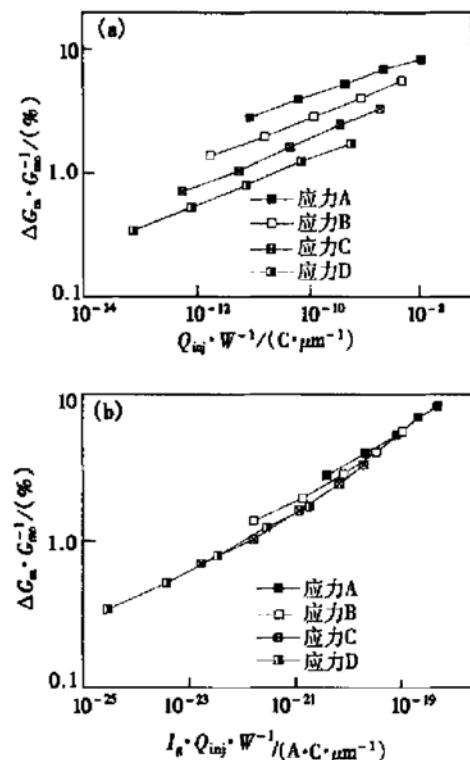


图 3 跨导退化与注入电荷总量的关系

FIG. 3 Relation Between Transconductance Degradation and Total Injected Charge

从图(a)可以看出, 不同偏置下相同注入电荷量引起的器件参数退化量是不同的, 这是因为不同应力下氧化层电荷陷落几率不同<sup>[6]</sup>。在不同应力下, 相同数量的注入电荷引起的陷阱电荷数量也是不同的, 应力越高, 陷落几率越大, 因此, 当应力较高时, 相同数量的注入电荷可以引起更大的参数退化量。这说明, 注入电荷总量  $Q_{\text{inj}}/W$  虽然包含了偏置电压对器件参数退化的影响, 但是所包含的信息还不足以完全描述偏置电压对器件参数退化的影响。

从图(b)可以看出, 不同应力下器件参数退化量和  $I_gQ_{\text{inj}}/W$  的曲线基本位于同一条直线上, 这表明, 不管应力如何, 只要  $I_gQ_{\text{inj}}/W$  数值相同, 器件参

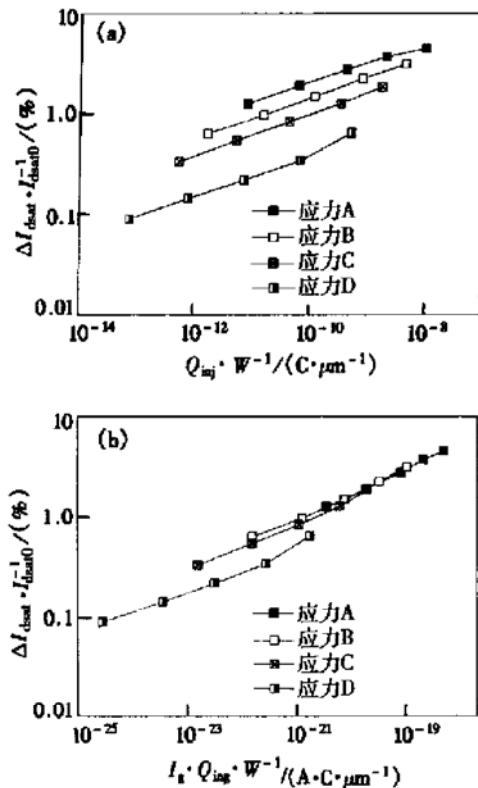


图4 饱和漏电流退化与注入电荷总量的关系

FIG. 4 Relation Between Saturated Drain Current Degradation and Total Injected Charge

数的退化量就基本相同.特别是对图3(b)的跨导退化曲线,这种现象更为明显,而跨导是PMOS器件中最为关心而且退化最为严重的器件参数,因此用 $I_g Q_{inj}/W$ 作为PMOS器件退化监控量是一个更好的选择.

与这种单一直线关系偏差较大是应力D即应力偏置较低时器件参数的退化,这种偏差更多的来自于测量中引入的误差,如果忽略应力D曲线的影响,只考虑其它三种应力的曲线,不管是哪种器件参数的退化,都能得到较好的直线关系.

对图3—6中的(b)进行线性拟合(不考虑应力D的情况),我们可以得到如下退化方程:

$$\Delta D = A (I_g Q_{inj}/W)^n \quad (2)$$

其中  $\Delta D$  指PMOS器件参数退化量,可以具体为跨导退化、饱和漏电流退化等;  $I_g$  为时间为  $t$  时的瞬态栅电流;  $Q_{inj}$  为时间为  $t$  时的注入电荷总量;  $W$  为器件沟道宽度;  $A$  和  $n$  为模型参数,与工艺和参数类型有关.

用(2)式对图3—6中的(b)进行线性拟合,可以得到每个器件参数对应的模型参数(见表3). (2)式

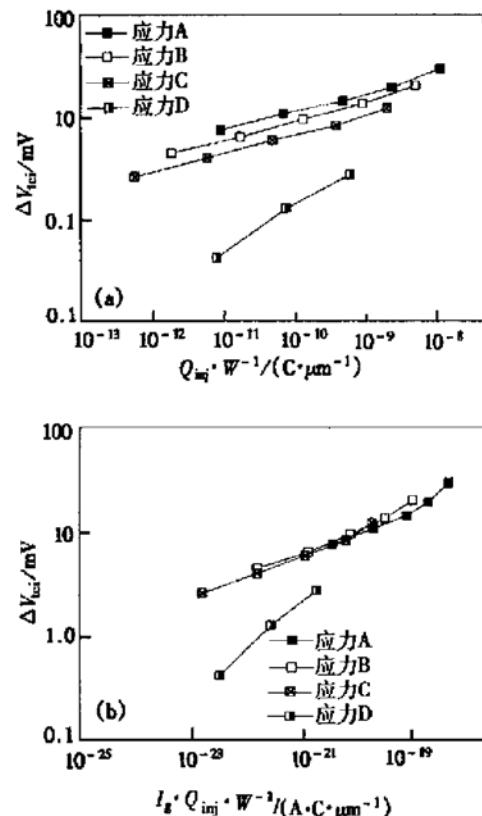


图5 阈值电压退化与注入电荷总量的关系

FIG. 5 Relation Between Threshold Voltage Degradation and Total Injected Charge

给出的退化方程能够表征任意偏置应力下各种器件参数的退化,通过该退化方程可以确定给定退化量对应的应力时间,这说明该退化方程具有很强的通用性.

表3 不同器件参数的退化模型参数

Table 3 Degradation Model Parameters for Different Device Parameters

参数	跨导退化 $\Delta G_m/G_{m0}$	饱和漏电流退化 $\Delta I_{dsat}/I_{dsat0}$	阈值电压退化 $\Delta V_{ice}$	线性漏电流退化 $\Delta I_{dlin}/I_{dlin0}$
A	$1.13 \times 10^5$	$2 \times 10^5$	$3.02 \times 10^5$	$5.13 \times 10^4$
n	0.22815	0.25464	0.22378	0.24447

## 5 器件退化模型的验证

以跨导退化为例,给出(2)式器件参数退化模型的实验验证.利用上述退化模型,可以给定应力时间和偏置条件来求器件参数的退化量;也可以求出器件参数退化量达到一定数值所对应的退化监控量 $I_g Q_{inj}/W$ 的数值,只要栅电流 $I_g$ 的模型和退化模型

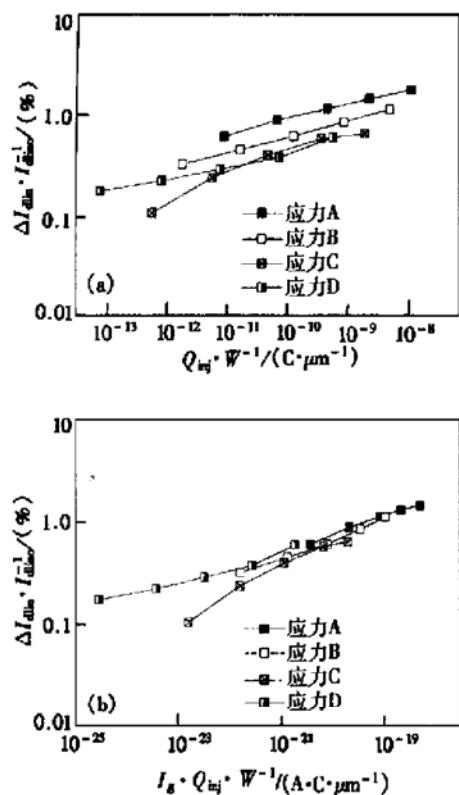


图 6 线性漏电流退化与注入电荷总量的关系

FIG. 6 Relation Between Linear Drain Current Degradation and Total Injected Charge

足够准确,就可以确定一定偏置下器件的寿命。由于根据参数退化量求解器件寿命需要有一个准确的栅电流模型和栅电流退化模型,将在专文研究。这里只给出通过给定应力时间求解器件参数退化量的验证,是因为栅电流和栅电流的退化规律可以通过测量得到。表 4 给出了一定偏置条件和一定时间下测量得到的跨导退化量和模型计算的跨导退化量之间的比较。此时的偏置条件为:  $V_g = -1.8V$ ,  $V_d = -8V$ 。

从表 4 可以看出模拟结果和测量值之间的最大偏差为 10.89%,由于模型要兼顾不同偏置条件的情况,再加上退化测量的误差往往较大,所以该模型

的模拟结果已经相当准确。

表 4 跨导退化的测量值和模拟值的比较

Table 4 Comparison Between Measured Results and Simulated Results of Transconductance Degradation

应力时间 /s	测量退化量 /%	$I_g Q_{inj} W^{-1}$ (A·C·μm <sup>-1</sup> )	模拟退化量 /%	偏差 /%
10	3.97704	$2.10033 \times 10^{-20}$	3.661	7.95
100	5.26618	$8.42229 \times 10^{-20}$	5.026	4.56
1000	6.96242	$2.12031 \times 10^{-19}$	6.204	10.89
10000	8.38922	$4.98053 \times 10^{-19}$	7.539	10.13

## 6 结论

本文通过对不同偏置下不同器件参数退化规律的研究,得到了一个新的能够准确表征器件在不同应力下的退化监控量,并得到了一个统一的退化模型,该模型不但可以描述不同偏置下的器件退化,而且对于不同器件参数的退化可以用相同模型来表征。实验表明该模型具有很高的准确性。该退化模型可以用于 PMOS 器件参数退化模拟和器件寿命评估。

## 参考文献

- [1] R. Voltjer, G. M. Paulzen, H. G. Pomp *et al.*, IEEE Trans. Electron Devices, 1995, **42**(1): 109—115.
- [2] Y. Pan, IEEE/IRPS, 1993, 43—47.
- [3] Tong-chern Ong, Ping-keung Ko and C. Hu, IEEE Trans. Electron Devices, 1990, **37**(7): 1658—1666.
- [4] Brian S. Doyle and Kaizad R. Mistry, IEEE Trans. Electron Devices, 1990, **37**(5): 1301—1307.
- [5] Di-Hui Huang, Everett E. King and L. J. Palkuti, IEEE/IRPS, 1994, 34—41.
- [6] D. J. DiMaria and J. W. Stasiak, J. Appl. Phys., 1989, **65**: 2342—2356.

## A Unified Model for Hot-Carrier-Induced Degradation Simulation and Lifetime Prediction of PMOSFET's<sup>\*</sup>

ZHANG Jin-cheng, HAO Yue and ZHU Zhi-wei

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

**Abstract:** The degradation characteristics of several typical device parameters in PMOSFET's with stress time are studied. A new degradation monitor is presented and a unified degradation model for different device parameters is proposed. Comparison between simulation results and measurement results shows that the degradation model has good accuracy and wide applicable range. The new model is useful for both simulation of device parameter degradation and device lifetime prediction.

**Key words:** PMOSFET's; hot-carrier-induced degradation; degradation simulation; lifetime prediction

**EEACC:** 0170N; 2560R; 2570D

**Article ID:** 0253-4177(2001)12-1586-06

\* Project Supported by National Defense Advanced Research Program of China Under Grant No. 8.5.3.4.

ZHANG Jin-cheng male, was born in 1976. He is currently pursuing the PhD degree at Xidian University.

HAO Yue male, was born in 1958. His interests included IC reliability, manufacturability, methodology for IC design, and new semiconductor device and circuit.