

一种新的可编程、可扩展的 Hamming 神经网络*

林 谷 石秉学

(清华大学微电子学研究所 北京 100084)

摘要 提出了一种新的可编程、可扩展 Hamming 神经网络. 它采用电流镜计算待识模式与标准模式的匹配度. 然后, 通过电流型排序电路进行匹配度的排序操作并输出识别结果. 该 Hamming 神经网络中的标准模式模板是可编程的, 以满足不同场合的应用要求. 另外, 该网络芯片在规模上可以很容易地进行扩展, 这较大地提高了该处理芯片应用的灵活性. 由于网络电路中模拟部分完全采用电流型电路, 使其可完全直接采用标准数字 CMOS 工艺进行制作, 并易于模/数混合集成. 已经采用单层金属、单层多晶的 $2\mu\text{m}$ N 阱标准数字 CMOS 工艺成功地制作了该 Hamming 网络中的核心单元电路芯片, 测试结果表明, 该核心单元电路芯片的性能很好, 完全可以满足处理器的性能要求.

关键词: 神经网络, Hamming, 可编程, 可扩展

EEACC: 1295, 1285, 2570D, 1280

文章编号: 0253-4177(2000)01-0069-07

Novel Programmable and Expandable Hamming Neural Network*

LIN Gu and SHI Bing-xue

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Received 18 August 1998, revised manuscript received 7 April 1999

Abstract A novel programmable and expandable Hamming neural network is proposed. The calculating circuit for template matching is composed of current mirrors. The matching degrees are compared in the current-mode sorter based on magnitude and the results are outputted. The exemplars of standard patterns are programmable to meet different application fields. In addition, the proposed Hamming neural network

* 国家自然科学基金(编号: 69636030)资助项目(Project Supported by National Natural Science Foundation under Grant No. 69636030).

林 谷 男, 1972 年出生, 博士研究生, 从事人工神经网络及模糊逻辑系统的集成电路实现、数字和模拟集成电路研究.

石秉学 男, 1936 年出生, 教授, 博士生导师, 从事人工神经网络和模糊逻辑系统及其集成电路实现、高性能 DC-DC 变换器, 模拟和数/模混合集成电路与系统研究.

1998-08-18 收到, 1999-04-07 定稿

circuit chip is able to be used in the expandable way to advance the performances of the system. Since current-mode structure is employed in the analog part of the network circuit, this network is able to be fully compatible with a standard digital CMOS process and easily implemented in VLSI technology. At present, the core circuit in the fuzzy processor has been successfully manufactured in $2\mu\text{m}$ N-well standard digital CMOS process. Experimental results show the circuit has correct function and good performances.

Key Words: Neural Network, Hamming, Programmable, Expandable

EEACC: 1295, 1285, 2570D, 1280

Article ID: 0253-4177(2000)01-0069-07

1 引言

目前, 人工神经网络已经成为一个热门的研究领域. 神经网络理论已成为解决许多人工智能问题的极有潜力的方法. 但基于软件的神经网络系统不能够满足许多要求进行实时处理的应用, 因此设计 VLSI 神经网络系统已成为一个重要的研究课题.

由于许多神经网络中神经元间的连接密度高, 并且要求连接权值可灵活调节, 因而用 VLSI 技术制作包含神经元数目较多的网络是比较困难的. Hamming 神经网络的结构简单, 并且在许多应用中, 连接权值可预先设定后固化到电路中, 因而 Hamming 神经网络已成为集成电路神经网络中的一种重要结构^[1-3].

典型的 Hamming 神经网络为二层结构, 如图 1 所示. 在模式识别应用中, 网络中的第一层用于计算输入

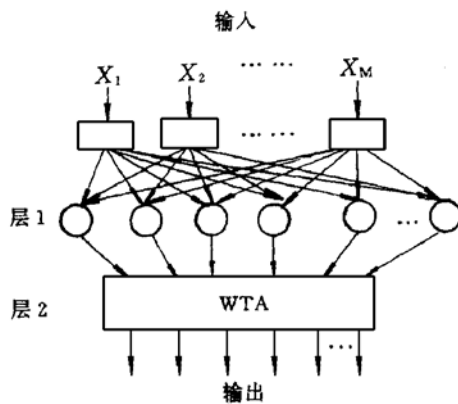


图 1 Hamming 神经网络

FIG. 1 Hamming Neural Network

待识模式与所存 N 个标准模式模板之间的匹配度, 其中, 最上边一层的方框点是输入象素点. 第一层中有 N 个神经元, 每个神经元的输入同所有象素点的输入相连, 在每个神经元的这一组连接权中存入一个标准模式的模板; 第二层是一个求最大网络, 即 Winner-Take-All (WTA) 网络^[4-7]. 其输出端数同输入端数都为 N 个, 并为一一对应的关系. 该 WTA 网络的作用是找出输入端中输入值最大的一端, 并在相应的输出端输出状态 1, 而其它端的输出为状态 0. 同时, 将状态 1 相应的标准模式作为识别结果输出. 从结构框图和工作原理可以看出, 典型的 Hamming 网络虽然结构简单, 但它只能找出与待识模式最接近的那一个标准模式. 然而, 随着系统复杂程度的提高、标准模式数目 N 的增加, 尤其是具有多级的级联系统的发展, 这种仅求出最接近的那一个标准模式的方法已远不能满足系统性能的要求. 为了提高系统性能, 就非常有必要根据标准模式与待识模式的匹配度, 找出最接近的两个甚至三个以上的标准模式. 本文中的 Hamming 神经网络可以按匹配度大小的顺序依次输出相应的标准模式, 即可以依次找出与待识模式最接近和较接近的 m 个标准模式, 其中 $1 \leq m \leq N$. 这将较大地改善系统的性能, 如识别率的提高(一般对于较为简单的模式识别系统来说, 往往三选后的识别率可以达到 100%)、多级级联系统的数据再处理和再利用等.

为了满足该 Hamming 神经网络在不同场合的应用, 网络中标准模式的模板被设计为可编程的, 这样就可以根据不同需要写入不同的模板. 另外, 该电路在芯片级上被设计为可扩展的, 即 H 个处理器芯片(每个处理器芯片可识别 N 个标准模式)经过扩展后, 就可以识别 $H \times N$ 个标准模式, 这较大增强了该网络的灵活性.

为了满足该 Hamming 神经网络在不同场合的应用, 网络中标准模式的模板被设计为可编程的, 这样就可以根据不同需要写入不同的模板. 另外, 该电路在芯片级上被设计为可扩展的, 即 H 个处理器芯片(每个处理器芯片可识别 N 个标准模式)经过扩展后, 就可以识别 $H \times N$ 个标准模式, 这较大增强了该网络的灵活性.

2 可编程、可扩展的 Hamming 神经网络的结构和工作原理

图 2 给出了可编程、可扩展的 Hamming 神经网络的系统结构框图, 它为两层结构. 第一层是模板的存储及匹配度运算电路. 该层主要用于存储 N 个标准模式的模板, 并计算待识模式模板与 N 个标准模式模板的匹配度. 图中 SPM (Standard Pattern Memory) 为标准模式模板的存储电路, 其中 $SPM_i (1 \leq i \leq N)$ 存储着第 i 个标准模式的模板. PMCC (Pattern Matching Calculation Circuit) 为模板匹配度运算电路, 其中, $PMCC_i (1 \leq i \leq N)$ 用于计算待识模式与第 i 个标准模式的匹配度. 图 2 的第二层是进行匹配度比较的电路, 该电路将按大小对 N 个匹度进行排序, 最后输出识别结果.

图 2 中输入/输出 (I/O) 电路用于 Hamming 电路与外界进行数据交换, 图中 R 和 W 为标准模式模板的读和写信号. CS 为用于芯片扩展的片选信号. 当 CS 为有效电平时, I/O 电路工作以进行数据交换; 当 CS 为无效电平时, I/O 电路不工作. 为了减小芯片的管脚数, 并共享 I/O 电路, 对 Hamming 网络进行标准模式模板的编程是以串行方式工作的, 即 N 个标准模式模板被分时写入网络中的相应模板存储电路 SPM 单元. 而在模式识别过程中, 网络是并行工作的, 即 N 个标准模式模板同时与待识模式进行比较, 然后得出识别结果. 为此, 图 2 中的双向传输门阵列被用于 SPM 单元与 I/O 电路的数据交换, 编程信号 P 用于控制传输门的导通. 当编程时, 置信号 P 为高电平, 传输门导通, 在地址译码器输出的控制下, 各个 SPM 单元通过 I/O 电路分时地与外部进行数据交换; 当识别模式时, 置信号 P 为低电平, 传输门不导通, SPM 单元与 I/O 电路隔离, 所有的 SPM 单元并行输出数据给 PMCC 单元进行处理. 关于具体的模式编程和识别原理将在后面具体讨论.

由于图 2 中 I/O 电路、传输门阵列、地址译码器以及控制逻辑电路都为简单的数字电路, 这里就不作讨论. 下面主要讨论 SPM、PMCC 以及匹配度比较电路的结构和工作原理.

2.1 模板存储和匹配度运算电路

2.1.1 模板存储电路

模板存储单元 SPM 电路如图 3 所示. 图中 $SPM_i (1 \leq i \leq N)$ 是第 i 个标准模式的模板存储单元, 它是由图 4 的六管 SRAM 单元组成的. 其中, $SRAM_{ij} (1 \leq i \leq N, 1 \leq j \leq M)$ 存储着第 i 个标准模式的第 j 个像素点的模板特征值, $D_{ij} (1 \leq i \leq N, 1 \leq j \leq M)$ 为 $SRAM_{ij}$ 的数据传输线. 图 3 中 SRAM 单元的选通由图 2 中地址译码器的输出 $A_i (1 \leq i \leq N)$ 和编程控制信号 P 的组合来控制.

参考图 2, 当 Hamming 网络进行模式编程时, 置信号 CS 为有效电平以使 I/O 电路工作, 并置信号 P 为高电平以使传输门导通. 此时, 在写信号 W 以及地址信号 A_i 的控制下, 可以将各标准模式模板依次写入相应的模板存储电路 SPM 单元. 同时, 在读信号 R 以及地址信号的控制下, 可以将相应存储单元的数据读出以验证写入的数据是否正确. 当 Hamming 网络进行模式识别时, 置信号 CS 无效以使 I/O 电路不工作, 同时置信号 P 为低电平以使传输门不导通, 并使所有 $SPM_i (1 \leq i \leq N)$ 单元都同时输出数据, 这些数据将被输出到模板匹配度运算电路进行并行处理. 从上面的分析可以看出, $SPM_i (1 \leq i \leq N)$ 的编程过程是串行工

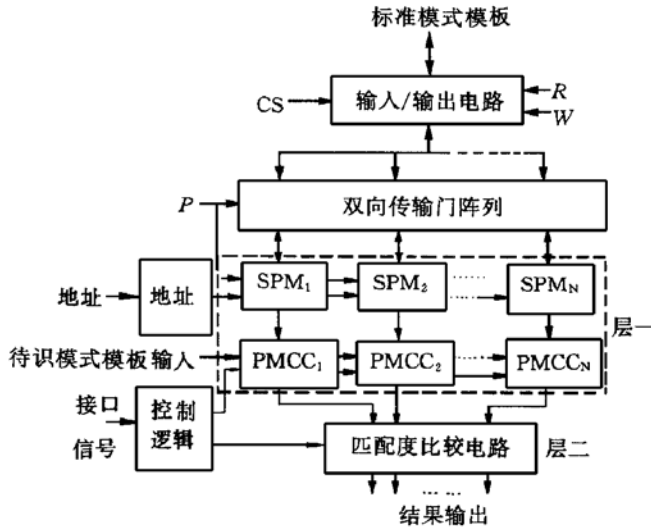


图 2 Hamming 神经网络结构框

FIG. 2 Structure Diagram of Hamming Network

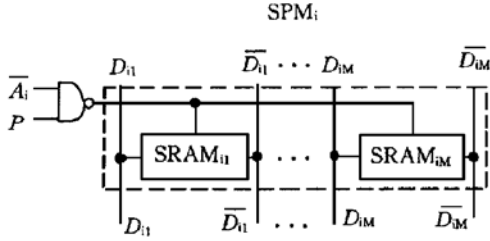


图 3 标准模式模板存储电路图

FIG. 3 The Circuit Diagram of SPM

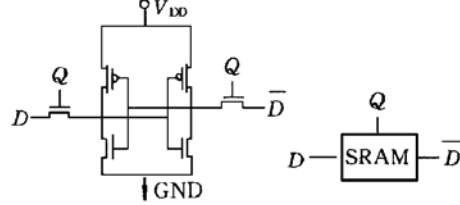


图 4 六管 SRAM 单元电路图

FIG. 4 The Circuit Diagram of SRAM Cell with 6 Transistors

作的,而在识别过程中,SPM 是全并行工作的,这样可以大大地提高识别速度。

2.1.2 匹配度运算电路

模板匹配度运算电路如图 5 所示。图 5 中 $PMCC_i (1 \leq i \leq N)$ 是第 i 个标准模式的模板与待识模式模板 $X (X_1, X_2, \dots, X_M)$ 进行匹配度计算的单元,它主要由等比例电流镜和同或门组成,图 5 中 CL 是偏置支路中 NMOS 晶体管 M1 的偏置电压,当 PMCC 工作时,CL 上电为电流镜产生偏置电流 I_{bias} ,当 PMCC 不需要工作时(如 Hamming 网络进行标准模式模板的编程时),CL 下电以减小 PMCC 的功耗。 $D_{i1} \sim D_{iM}$ 为第 i 个标准模式的模板存储器输出, $X_1 \sim X_M$ 为输入的待识别模式,通过各个像素的同或操作,对待识别模式与标准模式进行匹配度计算,输出电流 $I_{ini} (1 \leq i \leq N)$ 正比于待识模式和第 i 个标准模式的匹配度,其表达式为

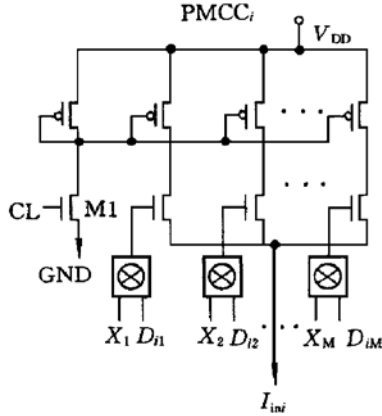


图 5 模板匹配度计算电路图

FIG. 5 The Circuit Diagram of PMCC

$$I_{ini} = \left[\sum_{j=1}^M X_j \odot D_{ij} \right] \times I_{bias} \quad (1)$$

$$\text{同或逻辑 } \odot : A \odot B = AB + \bar{A}\bar{B} \quad (2)$$

式(1)中 I_{bias} 为 NMOS 晶体管 M1 支路的偏置电流。 I_{ini} 越大表明待识模式与第 i 个标准模式的匹配度越高,待识模式也越接近于第 i 个标准模式。为了下面讨论方便起见,这里将 I_{ini} 直接定义为待识模式和第 i 个标准模式的匹配度。

2.2 匹配度比较电路

匹配度比较电路用于对 N 个标准模式与待识模式的匹配度 $I_{ini} (1 \leq i \leq N)$ 进行比较排序,然后根据匹配度的大小顺序依次在相应标准模式的输出端产生一个高电平脉冲,作为识别结果。另外,从该 Hamming 网络电路芯片的扩展应用方面来说,对于图 2 中各个部分电路,仅要求匹配度比较电路在扩展的各个电路芯片之间进行数据交互,以使得在 H 个芯片(每个芯片可识别 N 个标准模式)进行扩展以识别 $H \times N$ 个标准模式的过程中,匹配度比较电路可以对 $H \times N$ 个标准模式的匹配度值进行相互比较排序,这就要求匹配度比较电路是可扩展的。从上面的分析可以看出,匹配度比较电路要具有排序功能,并且可扩展。在文献 [8, 9] 我们提出了一种开关电流型排序电路,但它的结构非常复杂,而且还不能在芯片级上扩展。而本文给出的电流型匹配度比较电路是一种结构较简单、并可在芯片级上扩展的电流型排序电路,下面就对它进行讨论。

为了方便起见,这里讨论具有三个电流输入的匹配度比较电路,其电路和时序如图 6 所示,其中 TRANS 单元的电路如图 7 所示。该比较电路具有两种工作模式:单独工作模式,即一个具有 N 个电流输入端的芯片单独进行工作,可对 N 个待排序电流进行比较排序;扩展工作模式,即将 H 个具有 N 个电流输入端的电路进行扩展,可对 $H \times N$ 个待排序电流进行比较排序。下面分析其工作的原理。在单独工作模

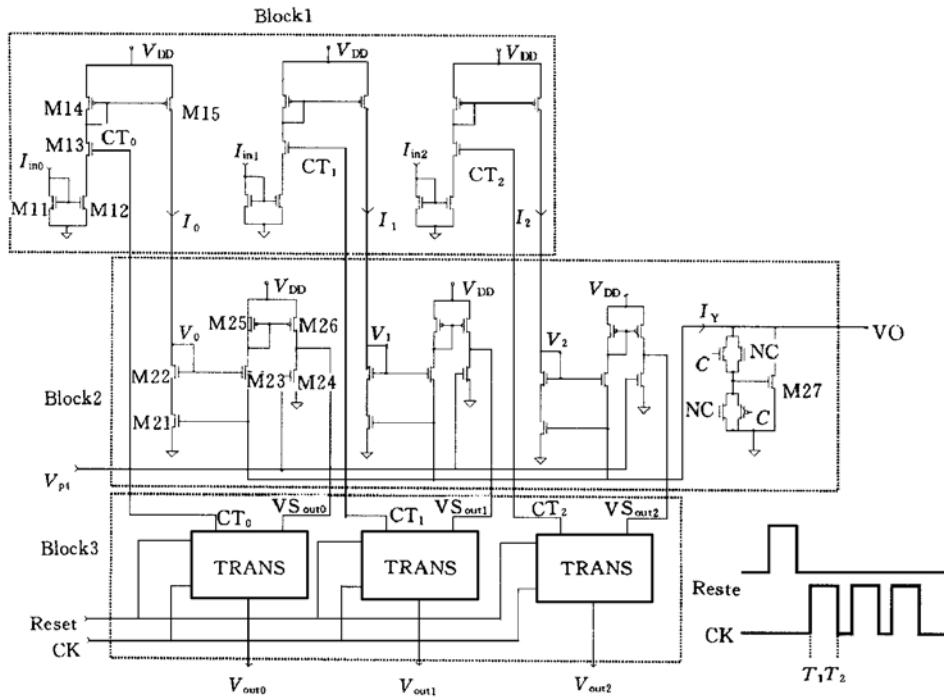


图 6 具有三端待比较电流的可扩展匹配度比较电路图和时序图

FIG. 6 The Circuit and Timing Diagram of the Expandable PM Comparator

式, VO 端悬空, C 端接高电平, 以使得 M27 的栅漏短接, 工作于饱和区下. 参考图 6 中的时序, 首先, 信号 Reset 高电平使 Block 3 中的 $V_{outi} (0 \leq i \leq 2)$ 为低电平, 同时 $CT_i (0 \leq i \leq 2)$ 为高电平, VS_{out} 这使得在 Block 1 中 $I_i (0 \leq i \leq 2) = I_{in_i} (0 \leq i \leq 2)$. 另外, 高电平的 CT 使 Block 3 中的电路可对 Block 2 的输出 VS_{out} 进行采样. Block 2 是一个全对称的三端 WTA, 求大电路网络, 其中, 相应于 M21、M22 和 M23 的所有 NMOS 管的尺寸都相同, M27 的宽长比与 M21 的宽长比相同. 这个 WTA 是一种具有高精度、高速度的侧向抑制互连网络. 当 WTA 网络工作时, 电压 V_0 、 V_1 和 V_2 分别由网络的输入电流 I_0 、 I_1 和 I_2 建立. 为讨论方便起见, 设 $I_0 = \max(I_0, I_1, I_2)$, 则有 $V_0 = \max(V_0, V_1, V_2)$. 显而易见, M23 及相应位置的 NMOS 晶体管组成了一组差分对电路, 电压 V_0 、 V_1 和 V_2 是差分电路的输入电压. 当满足 $|V_0 - V_i| > \left(\frac{I_Y}{\beta}\right)^{1/2}$, $i = 1, 2$ 时, 其中 $\beta = [\mu C_{ox}/2](W/L)$, W/L 为 M27 的宽长比, 具有最大输入电压的差分管将流过 I_Y , 即 M23 的漏电流将为 I_Y , 而其它相应差分晶体管的漏电流为零. 以致于使得 VS_{out0} 输出高电平, 而 VS_{out1} 和 VS_{out2} 输出低电平, 即完成求大操作. 在 T_1 时刻, 信号 CK 变高. 在 Block3 中, 高电平的 VS_{out0} 使 V_{out0} 变高, 而对于具有低电平的 VS_{out1} 和 VS_{out2} , V_{out1} 和 V_{out2} 将仍为低电平. 在 T_2 时刻, 信号 CK 变低. 在 Block3 中, CK 变低使 V_{out0} 和 CT_0 为低, 对于 V_{out1} 和 V_{out2} 将仍为低电平, CT_1 和 CT_2 仍为高电平. 这样, 在 V_{out0} 端输出了一个高电平脉冲. 另

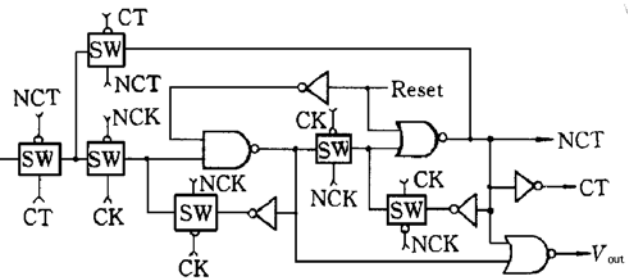


图 7 TRANS 单元的电路图

FIG. 7 The Circuit Diagram of TRANS Cell

式, VO 端悬空, C 端接高电平, 以使得 M27 的栅漏短接, 工作于饱和区下. 参考图 6 中的时序, 首先, 信号 Reset 高电平使 Block 3 中的 $V_{outi} (0 \leq i \leq 2)$ 为低电平, 同时 $CT_i (0 \leq i \leq 2)$ 为高电平, VS_{out} 这使得在 Block 1 中 $I_i (0 \leq i \leq 2) = I_{in_i} (0 \leq i \leq 2)$. 另外, 高电平的 CT 使 Block 3 中的电路可对 Block 2 的输出 VS_{out} 进行采样. Block 2 是一个全对称的三端 WTA, 求大电路网络, 其中, 相应于 M21、M22 和 M23 的所有 NMOS 管的尺寸都相同, M27 的宽长比与 M21 的宽长比相同. 这个 WTA 是一种具有高精度、高速度的侧向抑制互连网络. 当 WTA 网络工作时, 电压 V_0 、 V_1 和 V_2 分别由网络的输入电流 I_0 、 I_1 和 I_2 建立. 为讨论方便起见, 设 $I_0 = \max(I_0, I_1, I_2)$, 则有 $V_0 = \max(V_0, V_1, V_2)$. 显而易见, M23 及相应位置的 NMOS 晶体管组成了一组差分对电路, 电压 V_0 、 V_1 和 V_2 是差分电路的输入电压. 当满足 $|V_0 - V_i| > \left(\frac{I_Y}{\beta}\right)^{1/2}$, $i = 1, 2$ 时, 其中 $\beta = [\mu C_{ox}/2](W/L)$, W/L 为 M27 的宽长比, 具有最大输入电压的差分管将流过 I_Y , 即 M23 的漏电流将为 I_Y , 而其它相应差分晶体管的漏电流为零. 以致于使得 VS_{out0} 输出高电平, 而 VS_{out1} 和 VS_{out2} 输出低电平, 即完成求大操作. 在 T_1 时刻, 信号 CK 变高. 在 Block3 中, 高电平的 VS_{out0} 使 V_{out0} 变高, 而对于具有低电平的 VS_{out1} 和 VS_{out2} , V_{out1} 和 V_{out2} 将仍为低电平. 在 T_2 时刻, 信号 CK 变低. 在 Block3 中, CK 变低使 V_{out0} 和 CT_0 为低, 对于 V_{out1} 和 V_{out2} 将仍为低电平, CT_1 和 CT_2 仍为高电平. 这样, 在 V_{out0} 端输出了一个高电平脉冲. 另

一方面,低电平的 CT_0 将相应于 I_{in0} 的 Block3 部分同 Block2 部分隔离,这使得 V_{out0} 和 CT_0 将一直保持为低电平,直到下一个 Reset 到来为止.在 Block1 中,低电平的 CT_0 将 M13 截止使 I_0 为零,则 I_0 将不再影响其它电流的比较.这样,排序电路将按上面的工作原理求出次最大电流,并在相应的 V_{out} 端输出一个高电平脉冲.依此类推,根据输入电流(匹配度电流值)的大小顺序,依次在相应的 V_{out} 端输出一个高电平脉冲,这些高电平脉冲就是模糊处理的最终识别结果.

在扩展工作模式下,将 H 个具有 N 个待排序电流输入端的匹配度比较电路芯片进行扩展就可以对 $H \times N$ 个电流同时进行比较排序操作.在扩展工作模式下,各芯片的 Reset、CK 及 VO 端分别相连;同时,将其中一个芯片的控制信号 C 接高电平,其余芯片的控制信号 C 全部接低电平.为便于讨论,取 $N = 3, H = 2$.在这里我们将芯片 1 中的 C_1 接高电平,将芯片 2 中的 C_2 接低电平.参考图 6,由于 C_2 为低电平,则芯片 2 中的 NMOS 管 M27 的栅电平为低电平,即芯片 2 中 M27 将不起作用,则芯片 1 和 2 中的 Block2 将共享一个 M27.很显然,独立的两个三输入的匹配度比较电路经过扩展后,实际上变为一个六输入的匹配度比较电路,其工作原理同一个六输入的匹配度比较电路单独工作完全相同.扩展的两个比较电路在时钟的控制下,将根据输入电流 $I_{in}(0 \leq i \leq 5)$ 的大小顺序依次在 $V_{out_i}(0 \leq i \leq 5)$ 输出相应的高电平脉冲.

从上面的分析可以看出,该 Hamming 网络电路既可以根据 N 个标准模式与待识模式的匹配度的大小顺序,确定匹配度相应的标准模式.由于匹配度比较电路的工作是在时序控制下进行的,所以可以通过控制 CK 的脉冲个数 $m(1 \leq m \leq N)$,来任意地选择与待识模式相接近的标准模式个数 m .例如,当 $m = 1$ 时,该 Hamming 网络电路的识别原则可简化为引言中的传统 Hamming 网络电路的工作原理,即只输出与待识模式最接近的那一个标准模式;当 $m = N$ 时,该网络将按与待识模式的接近程度顺序列出所有的标准模式.这可用于进行待识模式与所有标准模式贴近性的统计处理.

由于匹配度比较电路可以进行扩展,这将使得该 Hamming 网络电路可以方便地进行扩展应用,较大

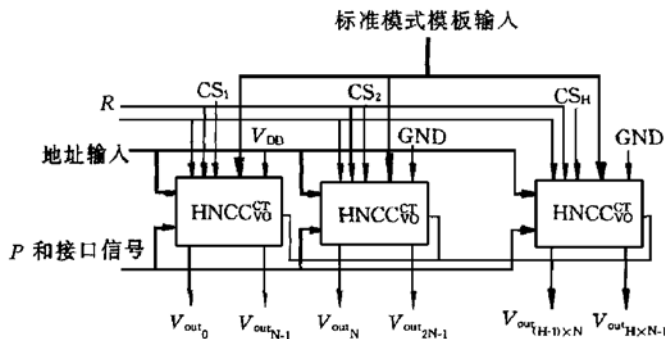


图 8 H 个 Hamming 网络芯片在扩展模式下的芯片连接图

FIG. 8 Connect-Diagram of H Hamming Network Chips under Expandable Mode

增强了网络工作的性能.图 8 为 H 个 Hamming 网络电路芯片 (Hamming Network Circuit Chip, 简称 HNCC) 在扩展模式下的连接图,其中每个 HNCC 可以识别 N 个标准模式.在对标准模式模板进行编程状态下,每个 HNCC 是分时工作的,即依次使片选信号 $CS_i(1 \leq h \leq H)$ 赋能,将 $H \times N$ 个标准模式的模板依次写入 H 个 HNCC 中,每个 HNCC 写入 N 个标准模式的模板.在模式识别状态下, H 个 HNCC 是全并行工作,即输入的待识模式模板与 $H \times N$ 个标准模式的模板同时进行匹配度的计算,然后对 $H \times N$ 个匹配度进行排

序,最后输出识别结果.

3 实验结果

由于匹配度比较器是该 Hamming 网络电路的核心单元,为此,我们采用单层金属、单层多晶的 $2\mu\text{m-N}$ 阱标准数字 CMOS 工艺对匹配度比较器(具有三个待排序输入端)进行了工艺制作.图 9 为三输入匹配度比较器的芯片显微照片.我们对该电路进行了测试,表 1 给出了匹配度比较器电路的主要测试性能指标.通过测试,结果表明该电路工作正确、性能好,完全可以满足 Hamming 网络电路的工作要求.

表 1 匹配度比较器的主要性能测试指标

Table 1 Parameters of PM Comparator

工作频率	> 5MHz
标准工作电压	+ 5V
平均排序分辨率	约 5 μ A
最高排序分辨率	2 μ A
平均排序精度	约 10 μ A
待排序的输入电流范围	15~ 200 μ A

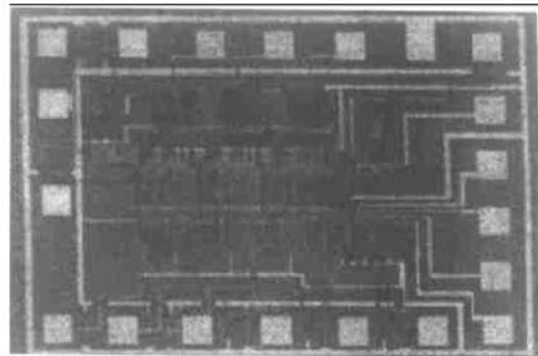


图 9 匹配度比较电路的芯片显微照片

FIG. 9 Micrograph of PM Comparator Circuit

4 总结

本文提出了一种新的可编程、可扩展 Hamming 神经网络, 该 Hamming 神经网络的标准模式模板可以进行编程, 该网络芯片在规模上可以很容易地进行扩展. 另外, 该网络电路可以按匹配度大小的顺序确定相应的标准模式, 这有利于改善了系统的性能. 我们采用单层金属、单层多晶的 2 μ m N 阱标准数字 CMOS 工艺成功地制作了该 Hamming 网络中的核心单元电路芯片, 测试结果表明, 核心单元电路芯片的性能很好, 完全可以满足处理器的性能要求.

参 考 文 献

- [1] U. Clingiroglu, IEEE J. Solid-State Circuits, 1993, 28(1): 59~ 67.
- [2] Binqiao Li, Zhijian Li and Bingxue Shi, An Analogue Integrated Circuit of a Hamming Neural Network Designed and Fabricated in CMOS Technology, IJCNN93, nagoya, Japan, 1993.
- [3] Wei Lu, Zhijian Li, Bingxue Shi, A Current-Mode Hamming Neural Network, ICONIP '94, seoul, Korea, pp. 145~ 148
- [4] J. A. Starzyk and X. Fang, Electron. Lett., 1993, 29(10): 908~ 910.
- [5] C. Y. Huang and B. D. Liu, Electron. Lett., 1994, 30(23): 1924~ 1925
- [6] I. Baturone, J. L. Huertas, A. Barriga, Electron. Lett., 1994, 30(9): 678~ 679.
- [7] 栗国星, 石秉学, 路伟, 半导体学报, 1998, 19(7): 532~ 537 [Li Guoxing, Shi Beingxue, Lu Wei, Chinese Journal of Semiconductors, 1998, 19(7): 532~ 537 (in Chinese)].
- [8] 林 谷, 石秉学, 半导体学报, 1998, 19(2): 144~ 150 [Lin Gu, Shi Bingxue, Chinese Journal of Semiconductors, 1998, 19(2): 144~ 150 (in Chinese)].
- [9] 林 谷, 石秉学, 半导体学报, 1998, 19(4): 291~ 298 [Lin Gu, Shi Bingxue, Chinese Journal of Semiconductors, 1998, 19(4): 291~ 298 (in Chinese)].