

固体 C₇₀/Si 异质结的界面电子态*

陈开茅 孙文红 吴 克 武兰青

(北京大学物理系, 北京 100871)

周锡煌 顾镇南

(北京大学化学系, 北京 100871)

卢殿通

(北京师范大学低能核物理研究所, 北京 100875)

摘要: 用深能级瞬态谱和高频电容-电压技术研究了固体 C₇₀/Si 异质结的界面电子态. 研究结果表明在 C₇₀/Si 的界面上明显存在三个电子陷阱 E_{i1} (0.194)、 E_{i2} (0.262)、 E_{i3} (0.407) 和一个空穴陷阱 H_{i1} (0.471), 以及在 C₇₀/Si 界面附近存在着固体 C₇₀ 的电子和空穴陷阱引起的慢界面态. 结果还表明 C₇₀ 膜的生长温度对 C₇₀/Si 的电学性质有重大影响, 200℃ 生长的 C₇₀/Si 界面远优于室温生长的.

关键词: C₇₀; 异质结; 界面电子态

PACC: 7320; 7340L; 7155

中图分类号: O485 **文献标识码:** A **文章编号:** 0253-4177(2000)04-0333-07

Interface Electron States of Solid C₇₀/Si Heterojunctions*

CHEN Kai-mao, SUN Wen-hong, WU Ke and WU Lan-qing

(Department of Physics, Peking University, Beijing 100871, China)

ZHOU Xi-huang and GU Zhen-nan

(Department of Chemistry, Peking University, Beijing 100871, China)

LU Dian-tong

(Institute of Low Energy Nuclear Physics, Beijing Normal University, Beijing 100875, China)

Received 18 December 1998, revised manuscript received 11 May 1999

* 国家自然科学基金资助项目 [Project Supported by National Natural Science Foundation of China].

陈开茅 男, 教授, 多年从事半导体杂质缺陷和界面态研究, 近几年主要研究富勒烯与传统半导体接触. 1998-12-18 收到, 1999-05-11 定稿

Abstract: The interface states of solid C_{70}/Si heterojunctions have been studied by both a deep level transient spectroscopy (DLTS) and a high frequency $C-V$ technique. Three electron traps, E_{it1} (0.194), E_{it2} (0.262) and E_{it3} (0.407), and one hole trap, H_{it1} (0.471) are observed at solid C_{70}/Si interfaces. Slow electron states are also observed, which associated with deep electron and hole traps in the solid C_{70} forbidden band near the C_{70}/Si interface. The electronic properties of the solid C_{70}/Si interfaces depend strongly on the temperature of the Si substrate during C_{70} deposition, and the interface of the sample grown at $200^\circ C$ is much better than that grown at room temperature.

Key words: C_{70} ; heterojunctions; interface electron states

PACC: 7320; 7340L; 7155

Article ID: 0253-4177(2000)04-0333-07

1 引言

固体 C_{70} 或 C_{70} 是一种具有复杂性质的材料. 与它们所含的杂质或缺陷的种类和数量有关, 它们可以是绝缘体、半导体、类金属或超导体^[1-4]. 一般情况下, 非掺杂固体 C_{60} 或 C_{70} 是分子半导体^[2, 5-7]. 它们的结构和传统半导体 (Ge, Si, GaAs 和 InP) 是不同的, 当它们与传统半导体接触时, 所产生的物理现象将是十分有趣的. 扫描隧道显微镜 (STM) 和扫描隧道谱 (STS) 的研究已揭示 C_{60} 分子和 Si 衬底形成强键, 同时有电子从 Si 转移到 C_{60} ^[8]. 我们以前的研究表明, $C_{60}(C_{70})/Si$ 、 $C_{60}/GaAs$ 都是强整流的异质结^[9-14], 并且在 C_{60}/Si (111) 和 $C_{60}/GaAs$ 接触中未曾观察到有高密度界面电子态存在^[13-15]. 但是至今未见到 C_{70}/Si 接触界面态研究的报道.

本文报道固体 C_{70}/Si (111) 界面电子态的研究, 深能级瞬态谱 (DLTS) 和高频 $C-V$ 测量表明在 C_{70}/Si 接触中存在着快和慢两种界面态, 而且这些界面态的性质受到 C_{70} 膜的生长温度的强烈影响.

2 实验和结果

2.1 样品制备

用于制作本文样品的衬底有两种. 一种是 (111) 晶向、电阻率为 $40\Omega \cdot cm$ 的 n-Si 单晶片; 另一种是 (111) 晶向、电阻率为 $50\Omega \cdot cm$ 的 p-Si 单晶片. 经深能级瞬态谱测量, 均未发现在两种 Si 片中含有可探测到的深能级杂质和缺陷. 在上述 Si 片的背面做好欧姆接触以后, 将它们放入稀 HF 酸溶液 (HF : $H_2O = 1 : 20$) 中漂 15s, 以便去除 Si 片正面的氧化物. 然后用去离子水冲洗并用高纯 N_2 气吹干, 将它们立刻装入高真空 (UHV) 室等待淀积 C_{70} . 在一个 BALZERS UMS-500UHV 系统中, 将纯度为 99% 的 C_{70} 粉末蒸发到 Si 衬底上. 蒸发前真空室的气压为 $1.33 \times 10^{-7} Pa$. 为了观察 C_{70} 膜生长温度对 C_{70}/Si 界面的影响, 在 C_{70} 淀积期间, 将衬底温度 T_s 分别固定于室温 T_R 和 $200^\circ C$. C_{70} 膜的生长速率为 $1nm/min$. C_{70} 膜的厚度用一个石英振荡器作适时监测, 膜的最终厚度约为 $200nm$. 低能电子衍射的结果表明 C_{70} 膜为面心立方为主的多晶膜. 在同一真空系统中, 将面积为 $5.03 \times 10^{-3} cm^2$ 的 Ti 电极蒸发在 C_{70} 膜上, 蒸发时, 衬底温度为 $100^\circ C$. 这样就制成了固体 $C_{70}/n-Si$ 和 $C_{70}/p-Si$ 异质结.

电流-电压 ($I-V$) 测量表明室温 T_R 和 $200^\circ C$ 生长的两种 C_{70}/Si 接触都是反向漏电很小的强整流异质结, 在偏压为 $\pm 2V$ 时, 其整流比大于 10^4 . 利用这些结的势垒和采用 DLTS 和高频 $C-V$ 测试方法, 分别研究了样品中的深能级和界面电子态.

2.2 固体 C₇₀/Si 界面快电子态

2.2.1 室温生长 C₇₀/Si 接触的深能级

在作 DLTS 测量的过程中, 我们观测到在取样时间 t_1 、 t_2 不变的情况下, 在先后两次温度扫描中, 同一室温生长的 C₇₀/n-Si 样品的 DLTS 谱线明显不同, 谱线的峰位和形状有显著变化. 这表明室温生长 C₇₀/n-Si 样品存在测量不可重复性. 我们还观测到在取样时间 t_1 和 t_2 以及在同样的偏压和同样的脉冲下, 对同在一个 Si 衬底上的室温生长 C₇₀/n-Si 异质结二极管, 仅仅由于二极管在 Si 片上的位置不同, 它们的 DLTS 谱线就会有很大的差别. 图 1 给出表明这一情况的一组典型的 DLTS 谱线. 图中的三条谱线是很不同的, 它们各有自己独特的峰. 这表明室温生长的 C₇₀/n-Si 样品的均一性是很差的. 产生图 1 三个峰的 C₇₀/n-Si 界面电子陷阱分别被用 E_{i1a} (0.182)、 E_{i1b} (0.289)、 E_{i1c} (0.461) 表示.

对于室温生长的 C₇₀/p-Si 样品, 同样存在类似于上述室温生长 C₇₀/n-Si 样品的缺点, 所不同的只是它的测量不重复性和不均匀性的严重程度小了许多. 图 2 的实线示出这类样品的一典型 DLTS 谱. 由图可见, 它是由一连续谱叠加上一个宽峰组成. 可以想象宽峰是由若干能级相近的 C₇₀/Si 界面空穴陷阱共同引起的, 其所对应的组缺陷可以用一个符号 H'_{a1} (0.432) 表示.

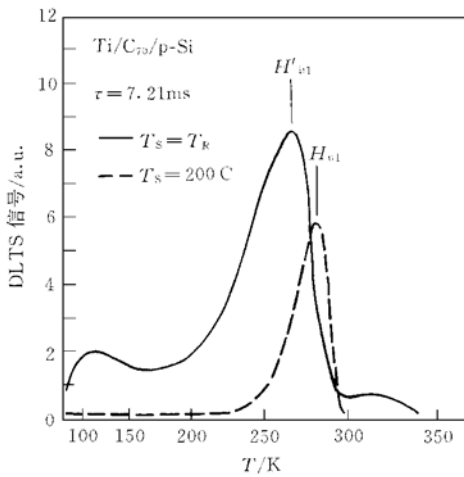


图 2 C₇₀/p-Si 界面缺陷 DLTS 谱
实线和虚线分别表示室温和 200°C 生长的 C₇₀膜. 测量条件: 率窗 $\tau = 7.21\text{ms}$, 脉冲宽度 $t_p = 1\text{ms}$; 对于实线 $V_R = 5\text{V}$, $V_P = -5\text{V}$, 对于虚线 $V_R = 1\text{V}$, $V_P = -1\text{V}$.
FIG. 2 DLTS Spectra of Defects at C₇₀/p-Si Interface
Measurement Condition: Rate Windows $\tau = 7.21\text{ms}$, Pulse Width $t_p = 1\text{ms}$, $V_R = 5\text{V}$, $V_P = -5\text{V}$ for Solid Curve and $V_R = 1\text{V}$, $V_P = -1\text{V}$ for Dashed Curve

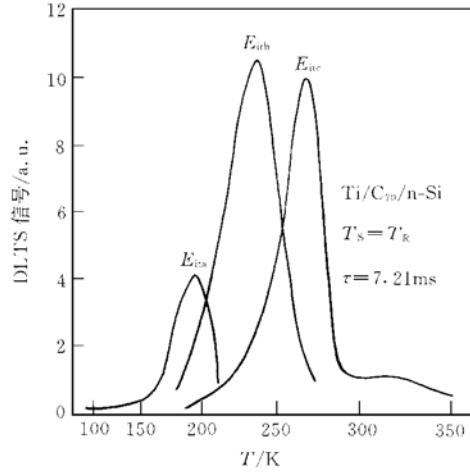


图 1 室温生长 C₇₀/n-Si 界面缺陷 DLTS 谱
三谱线分别来自同一 Si 衬底上的 A、B、C 管芯. 测量条件: 偏压 $V_R = -5\text{V}$, 脉冲电压 $V_P = 5\text{V}$, 脉冲宽度 $t_p = 1\text{ms}$, 率窗 $\tau = 7.21\text{ms}$.
FIG. 1 DLTS Spectra of Defects at C₇₀/n-Si Interface
Measurement Condition: Bias $V_R = -5\text{V}$, Pulse Voltage $V_P = 5\text{V}$, Pulse Width $t_p = 1\text{ms}$, Rate Window $\tau = 7.21\text{ms}$.

2.2.2 200°C 生长 C₇₀/Si 接触的深能级

在测量过程中, 我们看到 200°C 生长 C₇₀/Si 异质结的 DLTS 谱线是稳定的和可重复测量的, 以及对于同一个 Si 衬底上的不同异质结二极管, 在测量条件不变的情况下, 所得到的 DLTS 谱线基本是相同的. 图 2 虚线和图 3 示出 200°C 生长 C₇₀/Si 异质结的典型 DLTS 谱线. 这些谱线表明在这种 C₇₀/Si 的界面上存在一个空穴陷阱和三个电子陷阱. 这些陷阱被依次表示为 H'_{a1} 、 E_{n1} 、 E_{n2} 和 E_{n3} . 应该注意, 在图 3 中在 245K 附近虚线表示的谱线有一个凸起, 它是 E_{n3} 缺陷峰的残部, 而不是新峰. 这种残缺的原因是费米能级的切除效应造成的. 图 4 给出电子 (空穴) 陷阱的电子 (空穴) 热发射率与温度的关系. 由这些数据可以确定空穴陷阱 H'_{a1} 的空穴表观激活能和空穴俘获截面分别为 0.471eV 和 $3.0 \times 10^{-16}\text{cm}^2$, 以及确定电子陷阱 E_{n1} 、 E_{n2} 和 E_{n3} 的电子表观激活能依次为 0.194、0.262 和 0.407eV, 并确定它们的电子俘获截面分别为 2.3×10^{-18} 、 5.9×10^{-18} 和 $2.6 \times 10^{-17}\text{cm}^2$. 另外, 利用图 2 虚线和图 3 各线所示的 DLTS 峰高及所测样品的高频 C-V 分析可以确定 H'_{a1} 、 E_{n1} 、 E_{n2} 和 E_{n3} 各缺陷的密度分别为 1.9×10^9 、 3.9×10^{10} 、 1.2×10^{10} 和 $1.6 \times 10^{10}\text{cm}^{-2}$. 为了便于比较和分

析, 现将上述界面快电子态的动力学参数列于表 1.

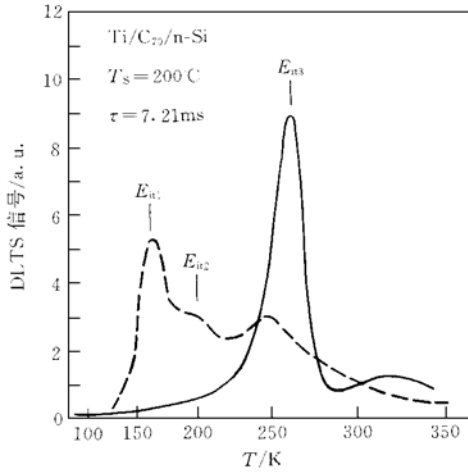


图 3 200°C 生长 C₇₀/n-Si 界面缺陷 DLTS 谱
率窗 $\tau = 7.21\text{ms}$, 脉冲宽度 $t_p = 1\text{ms}$; 对于实线:
 $V_R = -5\text{V}$, $V_P = 5\text{V}$, 对于虚线: $V_R = -1\text{V}$, $V_P = 1\text{V}$.

FIG. 3 DLTS Spectra for Interface Defects
of C₇₀/n-Si Grown at 200°C

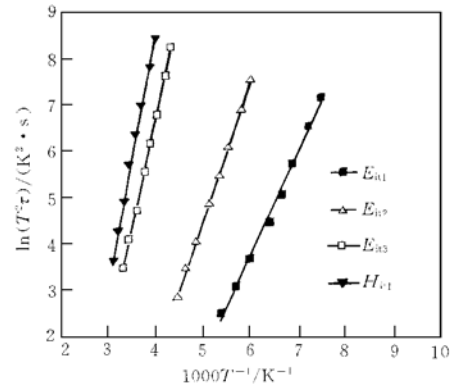


图 4 200°C 生长 C₇₀/Si 界面缺陷的电子或空穴
热发射率与温度的关系

FIG. 4 Thermal Emission Rate of Electrons and
Holes Versus Temperature

表 1 200°C 生长固体 C₇₀/Si 界面快电子态的参数

Table 1 Parameters of Rapid Electron States

缺陷符号	电子(空穴)表观激活能/eV	电子(空穴)俘获截面 $\sigma_n(\sigma_p)/\text{cm}^2$	密度 D_n/cm^{-2}
E_{it1}	0.194	2.3×10^{-18}	3.9×10^{10}
E_{it2}	0.262	5.9×10^{-18}	1.2×10^{10}
E_{it3}	0.407	2.6×10^{-17}	1.6×10^{10}
H_{v1}	(0.471)	(3.0×10^{-16})	1.9×10^9

2.3 固体 C₇₀/Si 界面慢电子态

如果 Ti/C₇₀/Si 结构中的 C₇₀ 层的载流子是完全耗尽的, 则我们可以用它的高频 C-V 特性和高频电容-时间(C-t)特性研究 C₇₀/Si 界面慢电子态. 在 Ti/C₇₀/Si 结构中 C₇₀ 层是非掺杂的弱 n 型半导体, 其电阻率高达 $10^6 \Omega \cdot \text{cm}$ 以上, 而且 C₇₀ 层很薄 (~ 200nm), 在异质结自建势的作用下, 该层的载流子是完全耗尽的^[12]. 从而使 C₇₀ 层对 Ti/C₇₀/Si 结构高频 C-V 的贡献和绝缘层的作用是类似的. 由于 Ti/C₇₀/Si 存在着微弱的反向漏电, 在其结构的 Si 表面处不会有少子积累和反型的情况出现, 因此反向偏置下的 Ti/C₇₀/Si 异质结的高频 C-V 特性和 MOS 结构的深耗尽高频 C-V 曲线是类同的. 在样品的高频 (1MHz) C-V 测量中, 我们发现室温生长 C₇₀ 膜的 Ti/C₇₀/n-Si 和 Ti/C₇₀/p-Si 以及 200°C 生长的 C₇₀ 膜的 Ti/C₇₀/n-Si 的回扫曲线都有显著的滞后效应存在, 即回扫曲线在正扫描曲线之上, 整个曲线形成反时针转. 这种效应表明在 C₇₀/Si 界面附近存在着慢电子态. 为了使这种效应更明显, 我们采用了特殊的测量方法, 即在正扫描结束之后不马上回扫, 而是在正扫描的终止电压上停留 15min, 以便使束缚在 C₇₀/Si 界面附近慢态上的电子(空穴)更充分地发射到 Si 的导带(价带), 然后接着回扫. 图 5—7 依次示出室温生长 C₇₀ 膜的 Ti/C₇₀/n-Si 和 Ti/C₇₀/p-Si 以 200°C 制备的 Ti/C₇₀/n-Si 的高频 C-V 曲线, 它们都出现显著的滞后效应. 但是在 200°C 制备的 C₇₀ 膜的 Ti/C₇₀/p-Si 异质结的高频 C-V 曲线中, 不仅不存在滞后效应, 而且出现微弱的超前现象, 即回扫曲线在

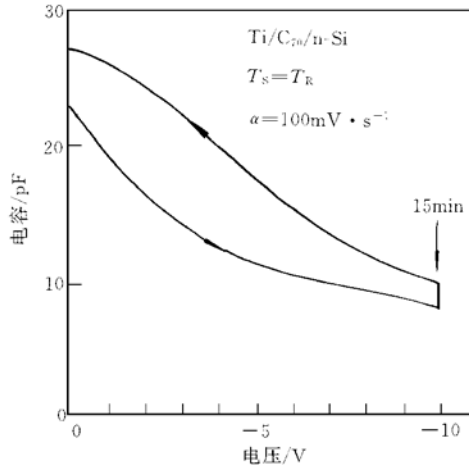


图5 室温生长 Ti/C₇₀/n-Si 高频
(1MHz) C-V 曲线

α 为电压扫描速度, 测量温度为室温.
FIG. 5 High Frequency C-V Curves for
Ti/C₇₀/n-Si

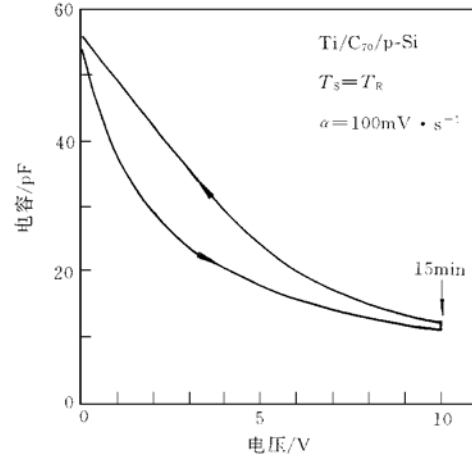


图6 室温生长 Ti/C₇₀/p-Si 高频
(1MHz) C-V 曲线

α 为电压扫描速度, 测量温度为室温.
FIG. 6 High Frequency C-V Curves for
Ti/C₇₀/p-Si

正扫描曲线之下, 整个扫描曲线呈顺时针转动 (见图 8) 这表明在 200°C 生长的 C₇₀/p-Si 不存在可以测量到的慢电子态, 同时在这种 C₇₀ 膜中可能存在少量的可动离子. 经过分析和计算, 我们确定在室温生长的 C₇₀/Si 界面附近, 在 C₇₀ 禁带的上半部和下半部分别存在着 $8.1 \times 10^{11}/\text{cm}^2$ 、 $1.6 \times 10^{11}/\text{cm}^2$ 的慢电子态, 在 200°C 生长 C₇₀/Si 界面附近的 C₇₀ 禁带上半部存在 $2.3 \times 10^{11}/\text{cm}^2$ 慢电子态. 为了便于后面的比较, 现把 C₇₀/Si 界面慢态的测量结果列于表 2.

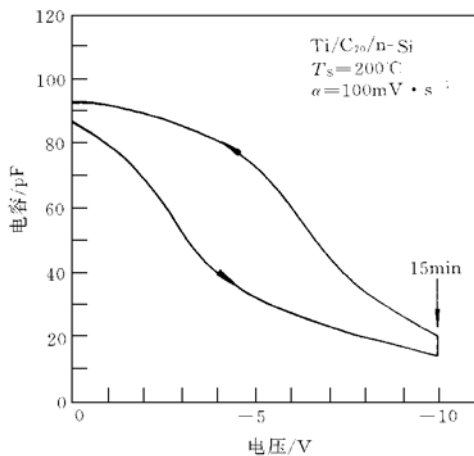


图7 200°C 生长 Ti/C₇₀/n-Si 高频
(1MHz) C-V 曲线

α 为电压扫描速度, 测量温度为室温.
FIG. 7 High Frequency C-V Curves for
Ti/C₇₀/n-Si

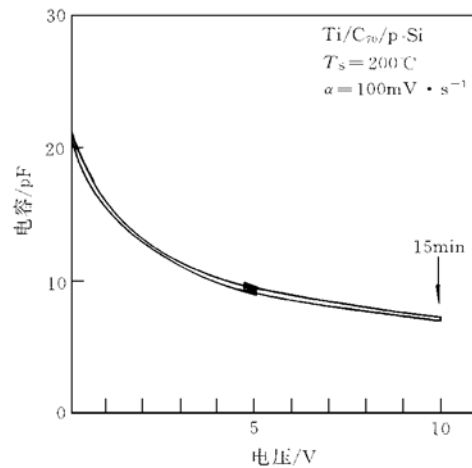


图8 200°C 生长 Ti/C₇₀/p-Si 高频
(1MHz) C-V 曲线

α 为电压扫描速度, 测量温度为室温.
FIG. 8 High Frequency Curves for
Ti/C₇₀/p-Si

表 2 固体 C₇₀/Si 界面慢电子态的部分参数
Table 2 Parameters of Slow Electron States for Solid C₇₀/Si

C ₇₀ 膜的生长温度	室温		200℃	
缺陷位置	C ₇₀ 禁带上半部	C ₇₀ 禁带下半部	C ₇₀ 禁带上半部	C ₇₀ 禁带下半部
密度/cm ⁻²	8.1 × 10 ¹¹	1.6 × 10 ¹¹	2.3 × 10 ¹¹	—

3 讨论

在 200℃ 生长的 C₇₀/Si 样品中, 用 DLTS 测量到三个电子陷阱 E_{it1} 、 E_{it2} 和 E_{it3} 以及一个空穴陷阱 H_{it1} 。由于这些缺陷中的任何一个都不曾在室温生长的 C₇₀/Si 样品中被检测到, 因此它们中的任何一个都不可能是 Si 衬底的缺陷。我们注意到样品中的 C₇₀层是非掺杂的弱 n 型半导体, 从 DLTS 测量原理可知, 如果所测深能级的能级深度明显小于 C₇₀禁带的半宽度, 则其相应缺陷不在 C₇₀层中。C₇₀禁带半宽度约为 0.75eV。从表 1 可知, 本文所测各个缺陷的能级明显小于这个数值, 所以可以肯定它们都不是 C₇₀层中的缺陷, 而是 C₇₀/Si 界面缺陷。

对于用同种材料和同一工艺条件制备的一组样品, 如果各种相互作用已达到平衡态, 则各个样品的基本性质应该是相同的。室温时淀积 C₇₀而形成的 C₇₀/Si 异质结的 DLTS 测量具有严重的不一致性(见图 1)。这就意味着这种 C₇₀/Si 界面处于不稳定状态。其所含缺陷的结构和能级等均可能因为施加偏置电压(脉冲)、接受升温 and 降温以及室温保存等而发生显著变化。但衬底温度为 200℃ 所形成的 C₇₀/Si 样品的测量具有好的重复性和均匀性。这说明 200℃ 生长的 C₇₀/Si 界面缺陷处于稳定状态。

关于 C₇₀生长温度影响 C₇₀/Si 界面质量的内在原因问题, 人们可以进一步想象, 在室温下, Si 表面上的 C₇₀分子尚不具备足够高的可动性, 无法将自身调整到和 Si 表面原子相适应的最佳位置, 不能形成稳定的 C₇₀/Si 界面。相反, 在 200℃ 却能够形成稳定的 C₇₀/Si 界面。

至于所观测界面态的起源问题, 初步分析如下。由于在 C₇₀淀积之前, Si(111) 表面未经有意钝化, 在这种表面上必然存在大量的 Si 悬挂键。在 Si 悬挂键的扰动下 C₇₀分子的某些双键可能断裂成 C 悬挂键。除此之外, 还可能有一些各种各样的杂质和缺陷存在于 C₇₀/Si 界面上。上述缺陷中的 C 悬挂键和 Si 悬挂键都可能存在于室温 and 200℃ 制备的 C₇₀/Si 样品中, 然而由于缺陷 E_{it1} 、 E_{it2} 、 E_{it3} 和 H_{it1} 只在 200℃ 生长的样品中被观测到, 因此它们都不大可能是 C 或 Si 的悬挂键引起的, 而可能是 C 或 Si 悬挂键与杂质或缺陷的络合物引起的。

干净的 Si(111) 表面所具有的 Si 悬挂键的密度是很高的, 一般为 10¹⁵/cm² 量级。由表 1 可见, 在 200℃ 生长的 C₇₀/Si 界面上, 只观测到 10⁹—10¹⁰/cm² 量级的电子态。这表明固体 C₇₀膜对 Si 表面有很好的钝化作用。

关于 C₇₀/Si 的慢电子态, 这里只指明它们是由于界面附近的 C₇₀禁带中的电子陷阱和空穴陷阱引起的。在温度不高时, 束缚在这些陷阱上的电子(空穴)主要是通过隧穿过程和 Si 导带(价带)的电子(空穴)进行交换。而在较高的温度下, 它们可以通过热发射到达 C₇₀的导带(价带)并被电场扫出空间电荷区。有关这些陷阱的能级及其它性质的研究将在别处发表。至于这些缺陷的化学组分和微观结构还有待作进一步研究。在 200℃ 生长的 C₇₀/p-Si 中未观测到慢态, 说明在室温生长的 C₇₀/p-Si 中的慢态是 C₇₀膜的结构缺陷引起的, 在 200℃ 生长的 C₇₀膜中这种结构缺陷大大地减少, 少到未能被检测到。

4 结论

研究发现淀积 C₇₀时的衬底温度对 C₇₀/Si 界面的质量有关键性的影响, 200℃ 生长的界面远优于室温生长的界面。在 200℃ 生长的 C₇₀/Si 界面上观测到三个电子陷阱 E_{it1} (0.194)、 E_{it2} (0.262)、 E_{it3} (0.407) 和一

个空穴陷阱 H_{it1} (0.471). 这些陷阱的密度仅为 $10^9 \sim 10^{10}/\text{cm}^2$, 表明固体 C₇₀ 对 Si 表面有很好的钝化作用. 另外, 还观测到 C₇₀/Si 界面附近的 C₇₀ 禁带中的深中心引起的慢电子态.

致谢 在本工作中, 乔永平同志协助制作了实验样品, 在此表示感谢.

参 考 文 献

- [1] J. Mort, M. Machonkin, R. Ziolo *et al.*, Appl. Phys. Lett., 1992, **60**: 1735.
- [2] S. P. Kelly, C. C. Chen and C. M. Lieber, Nature, 1991, **352**: 223.
- [3] R. C. Haddon, A. F. Hebard, M. J. Rosseinsky *et al.*, Nature, 1991, **350**: 320.
- [4] A. F. Hebard, M. J. Rosseinsky, R. C. Haddon *et al.*, Nature, 1991, **350**: 600.
- [5] P. J. Benning, J. L. Martins, J. H. Weaver *et al.*, Science, 1991, **252**: 1417.
- [6] A. Hamed, Y. Y. Sun, Y. K. Tao *et al.*, Phys. Rev. B, 1993, **47**: 10873.
- [7] 巩金龙, 李亚虹, 马国斌, 等, 半导体学报, 1996, **17**: 353 [GONG Jinlong, LI Yahong, MA Guobin *et al.*, Chinese Journal of Semiconductors, 1996, **17**: 353 (in Chinese)].
- [8] X. D. Wang, T. Hashizume, H. Shinohara *et al.*, Phys. Rev. B, 1993, **47**: 15923.
- [9] 陈开茅, 金四轩, 贾永强, 等, 半导体学报, 1994, **15**: 716 [CHEN Kaimao, JIN Sixuan, JIA Yongqiang *et al.*, Chinese Journal of Semiconductors, 1994, **15**: 716 (in Chinese)].
- [10] K. M. Chen, Y. Q. Jia, S. X. Jin *et al.*, J. Phys.: Condens. Matter, 1994, **6**: L367.
- [11] K. M. Chen, Y. Q. Jia, S. X. Jin *et al.*, J. Phys.: Condens. Matter, 1995, **7**: L201.
- [12] K. M. Chen, K. Wu, S. X. Jin *et al.*, Appl. Phys. Lett., 1995, **67**: 1683.
- [13] K. M. Chen, Y. X. Zhang, G. G. Qin *et al.*, Appl. Phys. Lett., 1996, **69**: 3557.
- [14] 陈开茅, 陈莹, 张亚雄, 等, 半导体学报, 1998, **19**: 650 [CHEN Kaimao, CHEN Ying, ZHANG Yaxiong *et al.*, Chinese Journal of Semiconductors, 1998, **19**: 650 (in Chinese)].
- [15] Y. X. Zhang, K. M. Chen, G. G. Qin *et al.*, J. Phys.: Condens. Matter, 1996, **8**: L691.