

边界元法在数模混合集成电路衬底 耦合参数提取中的应用*

吴 智 黄均鼐 唐璞山

(复旦大学电子工程系 ICCAD 室, 上海 200433)

摘要: 把边界元方法运用到数模混合集成电路衬底耦合电阻参数的提取, 求出了满足衬底边界条件的格林函数, 而不是采用三维自由空间的格林函数, 从而使需离散的边界仅仅是衬底表面的端口区. 在计算阻抗元素时, 利用基于快速富立叶变换(FFT)的离散余弦变换(DCT)使计算速度大大提高. 和有限差分法相比, 精度差不多而计算速度提高一个数量级以上. 计算精度比 Wemple 采用解析方法计算有很大的提高.

关键词: 边界元; 格林函数; 数模混合集成电路

EEACC: 0290T; 0220; 1280

中图分类号: TN453 **文献标识码:** A **文章编号:** 0253-4177(2000)05-0496-08

Boundary Element Method for Extraction Substrate Coupling Parameter in Mixed-Signal ICs*

WU Zhi, HUANG Jun-nai and TANG Pu-shan

(ICCAD Laboratory, Department of E&E, Fudan University, Shanghai 200433, China)

Received 28 January 1999, revised manuscript received 11 June 1999

Abstract: Boundary Element Method (BEM) is used in substrate coupling parameter extraction of mixed-signal ICs. Green Function that satisfies the substrate boundary conditions is solved out in this paper. Using this Green Function instead of the Green Function in free space makes only the ports area on the substrate top surface need to be discretized. Discrete Cosine Transform which is based on FFT is used when determine impedance element, which improves the solution speed dramatically. Comparing to Finite Difference Method, the solution speed is improved by one order of magnitude, but the accuracy is kept. Comparing to Wemple's result where Voronoi tessellation is used to partition the layout and analytical

* 国家重点科技攻关资助项目(合同号:96-738-01-03-09)[Project Supported by National Science and Technology Plan of China(Contract No. 96-738-01-03-09)].

吴 智 男, 博士研究生, 主要从事数模混合集成电路衬底耦合参数的提取和验证工作.

黄均鼐 男, 教授, 主要从事大规模集成电路的计算机辅助设计工作.

唐璞山 男, 教授, 博士生导师, 主要从事集成电路设计以及计算机辅助设计工作.

1999-01-28收到, 1999-06-11定稿

method is used to compute substrate coupling, the accuracy of BEM is improved significantly.

Key words: boundary element; Green function; mixed-signal ICs

EEACC: 0290T; 0220; 1280

Article ID: 0253-4177(2000)05-0496-08

1 引言

现代的电子系统往往既要处理数字信号又要处理模拟信号,越来越多的应用要求把数字电路和模拟电路集成在同一芯片上.近年来集成电路技术的发展也使制造数模混合集成电路成为可能,如各种 A/D、D/A 和混合信号处理器^[1,2].在数模混合电路中,数字电路产生的噪声会通过衬底耦合到模拟电路导致模拟电路的特性变坏,甚至不能正常工作.随着芯片特征尺寸的缩小和工作频率的提高,衬底耦合效应变得越来越严重,成为数模混合电路设计时需考虑的一个关键问题.由于衬底耦合参数和版图有关,因此如何根据电路的版图准确而高效地提取出衬底的寄生参数,并通过电路模拟得到包含衬底寄生参数的电路性能,对数模混合电路的设计正变得越来越重要.

当频率在几个 GHz 以内时,衬底本征电容的容抗远大于衬底的阻抗($j\omega\epsilon \ll \sigma$,其中 ϵ 为衬底的介电常数, σ 为衬底的电导率, ω 为角频率),所以衬底的本征电容可以忽略,可把衬底当作纯阻性.当数字电路工作时,通过栅电容、源漏电容以及电源线和接地线向衬底注入电流,此电流经衬底传输到模拟电路,形成噪声.衬底噪声可以通过源漏电容耦合到模拟电路的源漏端.更主要的是由于衬底电阻的存在使衬底噪声通过体效应影响 MOS 管的阈值电压,进一步影响模拟电路的特性.衬底耦合的示意图如图1所示.衬底耦合效应的分析首先应准确、高效地提取出版图上不同位置、不同尺寸的 MOS 管之间以及 MOS 管与版图上衬底接地区之间的电阻.在本文中,把 MOS 管的有源区和衬底接地区统称为衬底端口区.

有限差分法在整个区域求解 Laplace 方程^[3],由于有限差分法需要整个三维衬底都详细地离散,所以只能适应于器件级分析. Su 等人提出的单结点模型^[4]只适合高掺杂型的衬底,精度也不够高,对低掺杂型衬底则不适合.

Wemple 等人提出了通过构造 Voronoi 图来简化衬底电阻支路数目的方法^[5],利用 Voronoi 图的性质,只有相邻位置点才有必要计算它们之间的电阻.相比矩形网格,这种方法可以大大减少衬底 RC 网络的数目.但求衬底电阻时用的是简单的解析公式,而且把衬底端口简化成一个点,这样衬底端口之间的电阻和端口的面积无关,只和位置有关.而实际上衬底端口的面积就是电流流入流出的区域,端口之间的电阻和端口面积密切相关,所以这种计算方法比较粗略.

本文采用边界元法 BEM (Boundary Element Method) 来精确地求解衬底电阻.边界元方法在集成电路版图互连寄生电容的提取中已经得到较为广泛的应用^[6,7].但在一般的用边界元法解三维问题中,由于边界复杂,都是选用自由空间的格林函数(Green Function),这样需要离散和计算的边界就是整个边界.在本文中,由于衬底的形状是规则的长方体,我们求出了严格满足衬底边界条件的三维格林函数,使需离散的区域只是衬底表面的端口区域,大大减少了计算量.

本文首先介绍衬底耦合的模型,推导出满足衬底边界条件的格林函数,采用离散余弦变换(DCT)快速地计算出阻抗矩阵再求出衬底耦合电阻.把用边界元法计算得到的结果和采用有限差分法的器件模拟程序 PISCES 2 模拟的结果作了比较,验证了它的准确性,并研究了在不同衬底下降低耦合系数的方法.

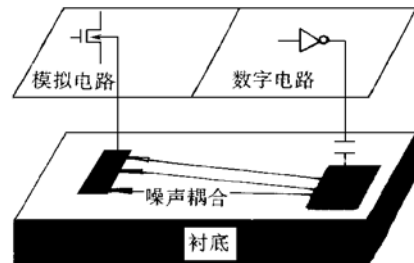


图1 衬底耦合示意图

FIG. 1 The Coupling Schematic Diagram of the Substrate

2 衬底耦合模型和边界元法

衬底被当作一个在 Z 方向有不同电导率层的有限长方体, 在每一层里, 电导率为均匀, 如图2所示. 图2中表面的阴影区域代表衬底端口区, 它的定义为: MOS 管的有源区以及衬底接地的区域. 衬底端口区是数字电路向衬底注入噪声以及模拟电路从衬底中拾取噪声的区域.

在衬底中电势满足 Laplace 方程

$$\Delta^2 \varphi(r) = 0 \tag{1}$$

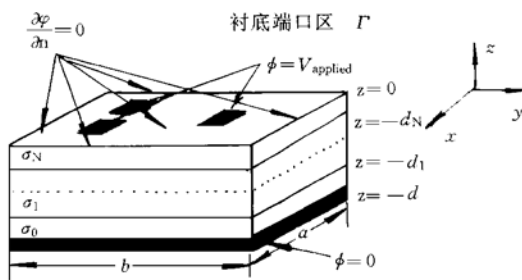


图2 衬底模型和边界条件

FIG. 2 Substrate Model and Boundary Condition

满足如下边界条件: 在顶面衬底端口区域, 电势是给定的值; 除此之外的顶面和所有侧边 $\frac{\partial \varphi}{\partial n} = 0$;

令底面接地, $\varphi = 0$. 除了底面的边界条件是人为定的, 其他边界条件都是自然边界条件, 令底面 $\varphi = 0$ 是为了能唯一地求出格林函数, 因为对于全 Neumann 边界条件, 格林函数不惟一. 对实际上底面不接地的情况, 可以在第零层(图中的 σ_0 层)之下加一层电阻率很大的衬底层来等效. 这样的边界条件是混合边界条件, 我们要求解的就是满足上述边界条件的(1)式.

边界元法是求解微分方程的一种新方法, 它

首先利用格林公式把所研究问题的微分方程转变为沿边界的积分方程, 然后将边界划分为有限的单元, 得到只含有边界上结点未知量的方程组, 最后进行求解. 采用边界元法, 求解问题的维数可以下降一维, 使得到的代数方程组的元素大为减少. 我们求出了严格满足衬底边界条件的三维格林函数, 而不是采用无界的格林函数, 使需离散的区域只是衬底端口区域, 进一步减少了计算量. 下面给出边界元的求解过程.

由格林公式

$$\int_{\Omega} v \Delta^2 u - u \Delta^2 v \, d\Omega = \int_S v \frac{\partial u}{\partial n} - u \frac{\partial v}{\partial n} \, dS$$

定义格林函数 $G(r, r')$, 满足 $\Delta^2 G(r, r') = \frac{-\delta(r-r')}{\sigma(r)}$, 且满足边界条件. 在这里, 格林函数 $G(r, r')$ 的物理意义是在 r' 点的单位电流密度在 r 点引起的电势, 它的量纲为 $V/(A \cdot \text{cm}^{-2})$. 把格林函数和电势代入格林公式, 有

$$\int_{\Omega} \varphi(r) \Delta^2 G(r, r') - G(r, r') \Delta^2 \varphi(r) \, d\Omega = \int_S \varphi(r) \frac{\partial G(r, r')}{\partial n} \, dS - \int_S G(r, r') \frac{\partial \varphi(r)}{\partial n} \, dS \tag{2}$$

利用 $\delta(r-r')$ 函数的性质和格林函数的边界条件, 得

$$\varphi(r') = \int_{\Gamma} \varphi(r) \frac{\partial G(r, r')}{\partial n} \, d\Gamma = \int_{\Gamma} j_n(r) G(r, r') \, d\Gamma \tag{3}$$

式中的积分区域 Γ 即衬底端口区.

对于 N 个衬底端口, 第 k 个端口划分成 N_k 个子端口的情形, 如图3所示, 有

$$\varphi(r) = \sum_{k=1}^N \sum_{j=1}^{N_k} \int_{S_j} G(r, r') J(r') \, ds_j \tag{4}$$

取一个子端口上的平均电势为该端口的电势并令子端口上的电流 $I_j = J(r) s_j$ 在子端口内均匀, 则

$$\varphi = \sum_{k=1}^N \sum_{j=1}^{N_k} \frac{I_j}{s_i s_j} \int_j G(r, r') \, ds_i ds_j = \sum_{k=1}^N \sum_{j=1}^{N_k} Z_{ij} I_j \tag{5}$$

其中

$$Z_{ij} = \frac{\Phi}{I_j} = \frac{1}{s_i s_j} \int_j G(r, r') ds_i ds_j \quad (6)$$

Z_{ij} 的物理意义是在子端口 j 有单位电流注入衬底, 此电流在子端口 i 上的感应电势. 把(5)写成矩阵的形式, 就有

$$\Phi = Z \cdot I \quad (7)$$

Z 就是要求的阻抗矩阵. 求出衬底中格林函数, Z 就可以求出了.

严格地讲, 电流在一个衬底端口中并不是均匀的, 特别是在端口的边界区域, 但当把一个端口离散成较小的子端口, 且边界附近取较小的子端口, 如图3所示, 电流的不均匀性引起的误差是可以忽略的^[8].

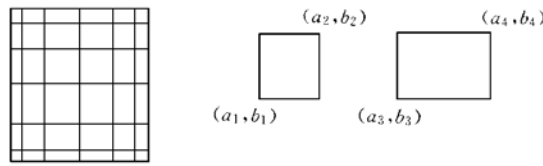


图3 一个端口被划分成子端口

FIG. 3 One End Were Divided Into Subends

3 格林函数及阻抗矩阵的求解

采用分离变量法求得三维直角坐标系下满足衬底边界条件的格林函数, 得到在衬底表面上($z = z' = 0$) 处的格林函数, 是二维的级数形式, 这里求解的过程略去, 只给出结果如下:

$$G(x, x', y, y') = G_0 + \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} g_{mn} \cos\left[\frac{m\pi x}{a}\right] \cos\left[\frac{m\pi x'}{a}\right] \cos\left[\frac{n\pi y}{b}\right] \cos\left[\frac{n\pi y'}{b}\right] \quad (8)$$

其中 $g_{mn} = \frac{C_{mn}(\beta_N \tanh(Y_{mn}d) + \Gamma_N)}{ab\sigma_N Y_{mn}(\beta_N + \Gamma_N \tanh(Y_{mn}d))}$

根据各层之间应满足电势及电流连续的关系可求得 β_k, Γ_k 的递推关系

$$\begin{bmatrix} \beta_k \\ \Gamma_k \end{bmatrix} = \begin{bmatrix} \frac{\sigma_{k-1}}{\sigma_k} \cosh^2(\theta_k) - \sinh^2(\theta_k), & \left[\frac{\sigma_{k-1}}{\sigma_k} - 1 \right] \cosh(\theta_k) \sinh(\theta_k) \\ \left[1 - \frac{\sigma_{k-1}}{\sigma_k} \right] \cosh(\theta_k) \sinh(\theta_k), & \cosh^2(\theta_k) - \frac{\sigma_{k-1}}{\sigma_k} \sinh^2(\theta_k) \end{bmatrix} \begin{bmatrix} \beta_{k-1} \\ \Gamma_{k-1} \end{bmatrix} \quad (9)$$

其中 $\theta_k = Y_{mn}(d - d_k), \beta_0 = 1.0, \Gamma_0 = 0$.

把一个端口划分成一系列的矩形的子端口, 如图3所示. 把格林函数的表达式(8)代入(6)式, 积分得到子端口 i 和子端口 j 之间的阻抗

$$Z_{ij} = \frac{\Gamma_N}{ab\sigma_N \beta_N} + \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} f_{mn} C_{mn} \frac{a^2 b^2}{m^2 n^2 \pi^4} \frac{\left[\sin m\pi \frac{a_2}{a} - \sin m\pi \frac{a_1}{a} \right] \left[\sin m\pi \frac{a_4}{a} - \sin m\pi \frac{a_3}{a} \right]}{(a_2 - a_1)(a_4 - a_3)} \times \frac{\left[\sin n\pi \frac{b_2}{b} - \sin n\pi \frac{b_1}{b} \right] \left[\sin n\pi \frac{b_4}{b} - \sin n\pi \frac{b_3}{b} \right]}{(b_2 - b_1)(b_4 - b_3)} \quad (10)$$

为了求解精确, 通常子端口的面积都取得较小, 这样当 m 和 n 取很大的值时, (10)式才收敛. 直接求解的话, 求每个 Z_{ij} 都是 $O(N^2)$ 次乘法. N 是求解时 m 和 n 的上限. 如总共有 M 个子端口, 则总共求解时间是 $O(M^2 N^2)$, 很费时. 利用三角函数的积化和差性质, 可以把(10)转化成如下式的64项的和

$$Z_{ij} = \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} k_{mn} \cos\left[m\pi \frac{a_{1,2} \pm a_{3,4}}{a}\right] \cos\left[n\pi \frac{b_{1,2} \pm b_{3,4}}{b}\right] \quad (11)$$

其中 $k_{mn} = \frac{a^2 b^2}{m^2 n^2 \pi^4} f_{mn} C_{mn}$.

(11)式可以用二维离散余弦变换^[9](Discrete Cosine Transform)来快速地计算出来,一旦DCT计算完毕并把结果保存在一个二维的DCT矩阵中,不同的子端口之间的阻抗对应于DCT矩阵中不同的值,所以DCT只需计算一次,然后根据不同的子端口的坐标在DCT矩阵中读取对应的值即可构成阻抗矩阵. $N \times N$ 点的DCT的时间复杂度为 $O(N^2 \log(N^2))$.

4 衬底电阻的求解

求出了阻抗矩阵 Z 后,给出各个衬底端口上的电势,求解方程组 $\Phi = Z \cdot I$ 得出各个衬底端口上的电流,从而得到衬底端口之间的电阻.如要求端口 i 到其他端口 $j(j = 0, 1 \cdots i-1, i+1, \cdots N)$ 之间的电阻时,令端口 i 上的电势为1V,其他端口的电势为零,求解 $\Phi = Z \cdot I$ 得到其他端口上的电流,则 $R_{ij} = \frac{\Phi_i - \Phi_j}{I_j} = \frac{1}{I_j}$,如此可得到每两端口之间的电阻.具体的算法如下:

算法1: 求各端口之间的电阻

- 由给出的衬底工艺参数计算出 g_{mn} 和 k_{mn} .
- 计算 k_{mn} 的DCT变换.
- 读入 m 个端口,把 m 个端口划分成 n 个子端口,对不同的两子端口,从DCT的二维矩阵中读取相应的值,得到每两子端口之间的阻抗元素,构成矩阵 Z .
- 计算各个端口之间的电阻,具体过程如下:

```

For j = 1 to m {
    /* 设端口j上的所有子端口上的电势为1 */
    For k = 1 to n {
        If (子端口k是在端口j上), 令  $V_k = 1$ 
        Else  $V_k = 0$ 
    }
    求出各个子端口上的电流  $V = ZI$ 
    /* 把流过端口i的电流加起来,得到端口i, j之间的电导  $Y_{ij}$ 及电阻  $R_{ij}$  */
    For i = 1 to m {
         $Y_{ij} = \sum_{k \in port_i} i_k$ 
         $R_{ij} = 1/Y_{ij}$ 
    }
}

```

5 计算结果和比较

为了验证我们的BEM方法的精度和性能,把我们的方法计算得到的结果和器件模拟软件PISCES 2^[10]计算的结果作比较.PISCES 2是公认的精确的二维器件模拟软件,它用有限差分法在整个区域联解泊松方程和连续性方程,当划分的网格足够精细的时候,得到的结果可以认为是精确的,但花费的时间很长.在PISCES 2中,离散的是器件的剖面,即图2中的 $Y-Z$ 平面,而 X 方向(垂直于纸的方向)是当作单位长度(1 μm)的.我们计算所用的器件结构图如图4所示.我们还同时给出了文献[5]中采用解析的方法计算得到的结果作为比较(见表1).

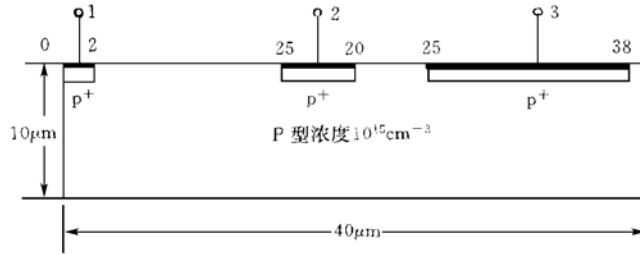


图4 剖面图

FIG. 4 Cross Section of Device

表1 BEM 以及文献[5]的解析方法和 PISCES 2的比较

电阻	PISCES 2	BEM	Error	文献[5]	Error
R_{12}/Ω	420k	405k	3.7%	247k	71%
R_{13}/Ω	1.6M	1.64M	2.5%	~	~
R_{23}/Ω	190k	198k	4.5%	210k	11%
CPU 时间/s	112	5		< 1	

上述结果都是在 SUN-SPARC20 机器上进行的. 在用 BEM 和 PISCES 2 求电极之间的电阻时, 令其中一个电极上的电势为 1, 其它电极上的电势为 0, 它们之间的电流的倒数就是电阻. 需要说明的是, 在参考文献[5]中, 由于构造了 Voronoi 图, R_{13} 是不需要直接计算的, 即认为电极一到电极三的电流都是流经电极二的. 从表 1 可以看到, 采用文献[5]的简单解析方法计算衬底电阻, 虽然很快, 但误差很大, 造成误差的原因是把每个衬底端口都当作一个点来处理, 实际上电阻和衬底端口的面积大小有很大的关系. 只有当面积很小时, 才可以近似成一个点. 采用本文中的 BEM 方法计算的结果和 PISCES 2 模拟得到的结果很接近, 而计算时间少得多. 在这里计算时间主要是 DCT 变换的时间, 由于不管衬底端口的多少, DCT 变换都只需要一次, 从 DCT 二维矩阵中读取数据的时间是很小的. 所以当衬底端口数增加, 即电路变得复杂后, BEM 所需的时间不会增加很多, 和 PISCES 2 相比的优越性就更大.

6 不同类型衬底中耦合效应的影响

本节我们利用 BEM 计算得到的结果, 讨论在特定的衬底下衬底耦合的影响. 作为电路设计者, 很关心当芯片上存在噪声源和对噪声敏感的电路时, 把噪声源和敏感电路放多远可以使耦合到敏感电路的噪声可以忽略, 以及如何采取措施减小噪声耦合. 在集成电路中, 通常采用的衬底有高掺杂型的衬底和低掺杂型的衬底. 在本文中, 高掺杂型的衬底为 P/P⁺ 结构, 即在 P⁺ 衬底上外延一层较薄的外延层, P⁺ 衬底的厚度取 300 μm , 电阻率取 1m $\Omega\cdot\text{cm}$, 外延层的厚度为 10 μm , 电阻率为 15 $\Omega\cdot\text{cm}$. 低掺杂型的衬底为均匀的 P 型衬底, 厚度为 300 μm , 电阻率为 20 $\Omega\cdot\text{cm}$. 前者主要用在 BiCMOS 工艺中, 后者则主要用于 CMOS 工艺.

在 1000 $\mu\text{m} \times 1000\mu\text{m}$ 的衬底中央有两个 20 $\mu\text{m} \times 20\mu\text{m}$ 的 n⁺ 掺杂的端口, 一端作为噪声源, 另一端作为接收端, 在噪声源端口加上脉冲信号, 在接收端就可以得到通过衬底耦合过来的信号. 定义噪声的耦合系数 $k = 20 \log \frac{V_{\text{receive}}}{V_{\text{inject}}}$ 来定量地衡量耦合的强弱, k 越小, 耦合越弱, 信号的频率取为 1GHz. 图 5 给出在高掺杂型和低掺杂型衬底中, 耦合系数随距离的变化. 图中上面的曲线代表衬底底面不接地, 下面的曲线表示底面接地情况. 可以看出在高掺杂型的衬底中, 当衬底底面不接地时, 增加距离并不能很好地减小耦合系数, 这是因为电流大多数是流经高掺杂的 P⁺ 衬底层的, 高掺杂的 P⁺ 层会把衬底上的噪声传输到整个芯片; 在这

种衬底上,底面的接地可以很好地降低耦合系数.在低掺杂的衬底中,随着距离的增大,耦合系数随之降低.接地时耦合系数 k 下降相对高掺杂的衬底不是很明显,这是因为在这种衬底下,电流在衬底中基本上均匀的,底面接地对电流的影响不是特别明显.

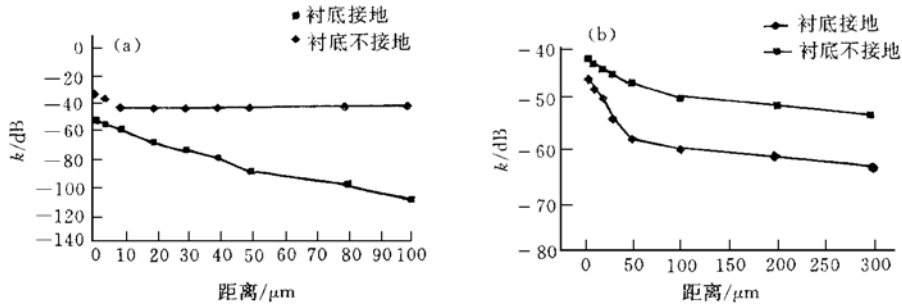


图5 高掺杂型衬底(a)和低掺杂型衬底(b)耦合系数随距离的变化

FIG. 5 Change of Coupling Efficiency with Distance of High Doing Substrate (a) and Low doing Substrate (b)

当采用保护环来隔离衬底噪声时,对于这两种类型的衬底起的作用也不同.对于高掺杂的衬底,由于电流大部分都是流经体内的 P^+ 层,而保护环只能屏蔽表面附近的电流,所以保护环对高掺杂型的衬底没有太大的作用.对低掺杂型的衬底,保护环起的作用较大.对于如图6(a)所示保护环结构,其中 $w = 2\mu\text{m}$, $a = 3\mu\text{m}$,耦合系数随距离 d 变化的关系如图6(b)所示.和图5(b)相比,当保护环很好地接地时,耦合系数下降了大约10db,而当保护环的接地电感为3nh时,耦合系数没有下降,这是因为高频下的感抗使保护环没有很好地接地,而保护环本身也会拾取衬底的噪声,直接耦合到电路中去,所以通常保护环需要通过单独的接地线引出来.

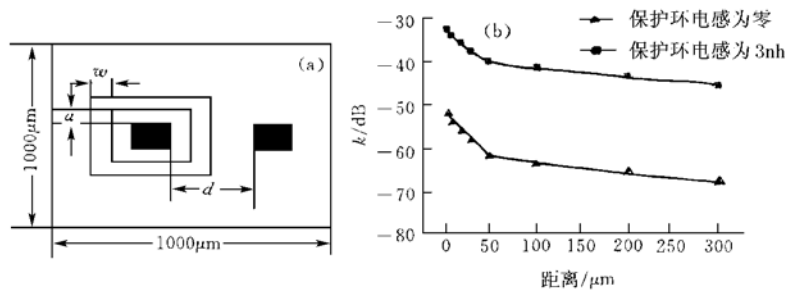


图6 (a) 保护环宽度为 w , 距端口距离为 a ; (b) 保护环对低掺杂衬底的作用

FIG. 6 (a) Width of Protect Ring w , Distance from End a ;

(b) Role of Protect Ring on Low Doing Substrate

7 结论

本文的主要贡献是提出了一种快速而精确的数模混合集成电路中衬底耦合电阻的提取方法.本文采用边界元方法,求出了满足衬底边界条件的格林函数,使需离散的区域仅仅为衬底端口区域,结合离散余弦变换(DCT)快速求解,使BEM相对于有限差分法,速度可以大大提高而精度可以保持.相比采用解析公式计算的文献[5],可以得到更高的精度.通过和采用有限差分法的器件模拟程序PISCES 2以及和文献[5]

的比较可以看出本文的方法在精度及计算速度方面的优点. 最后, 通过计算的结果研究了对不同类型衬底减小耦合系数的方法: 在高掺杂类型的衬底中, 增加距离和保护环并不能有效地减小衬底耦合, 最有效的办法是把衬底底面接地; 对于低掺杂的衬底, 保护环是减小衬底耦合的有效手段, 但应特别注意减小保护环接地的电感.

参 考 文 献

- [1] T. J. Schmerbeck, R. A. Richetta and L. D. Smith, A 27 MHz mixed A/D magnetic recording channel DSP using partial response signalling with maximum likelihood detection, IEEE ISSCC, 1991, 136—137.
- [2] S. Takeuchi *et al.*, IEEE J. Solid-State Circuits, 1990, **25**: 1458—1463.
- [3] T. A. Johnson, R. W. Knepper, IEEE Trans. CAD, 1984, **3**: 126—134.
- [4] D. K. Su, M. J. Loinaz, IEEE J. Solid State Circuits, 1993, **28**: 420—430.
- [5] I. L. Wemple, Andrew T. Yang, IEEE Trans. CAD, 1995, **14**: 1459—1468.
- [6] A. J. Van Gender, N. P. Vander Meijs, Hierarchical extraction of 3D interconnect capacitance in large regular VLSI structures, Proc. Int. Conf. On CAD, 1993, 764—769.
- [7] Zeyi Wang, Yanhong Yuan and Qiming Wu, IEEE Trans. CAD, 1996, **15**: 1441—1450.
- [8] A. E. Ruehli and P. A. Brehnan, IEEE Trans. MTT, 1973, **21**: 1973.
- [9] K. R. Rao and P. Yip, Discrete Cosine Transform: Algorithms, Advantages, Applications, Boston: Academic Press, 1990.
- [10] M. R. Pinto, C. S. Ratferty, H. R. Yeager and R. W. Dutton, PiscesII-Supplementary Report, Technical Report, Integrated Circuit Laboratory, Stanford University, 1985.