

电导调制型功率器件用穿通结构的基区优化理论

何 进 张 兴 黄 如

(北京大学微电子学研究所, 北京 100871)

杜彩霞 韩 磊 王 新

(电子科技大学微电子所, 成都 610054)

摘要: 通过对临界击穿电场近似得出的穿通限制击穿电压的分析, 提出了电导调制型功率器件用穿通结构的基区优化设计解析理论: 对于电导调制功率器件用的各种穿通结构, 只要其耐压基区的厚度选择为同衬底浓度突变结击穿时的耗尽层宽度的最佳分割长度, 即穿通因数 F 等于 4, 就可使外延基区的厚度为最小. 同时, 该耐压基区的击穿电压为最大. 运用该理论的结果, 得出了此类应用的基区优化设计公式, 并将计算结果与一些文献的设计值进行了比较, 纠正了先前计算的不准确性.

关键词: 功率器件; 穿通结构; 电导调制; 优化设计

EEACC: 1210; 2560

中图分类号: TN 323⁺.4 **文献标识码:** A **文章编号:** 0253-4177(2000)08-0786-06

Optimum Design of Base Region in Punch-Through Structure Used in Conductivity-Modulated Power Devices

HE Jin, ZHANG Xing and HUANG Ru

(Institute of Microelectronics, Peking University, Beijing 100871, China)

DU Cai-xia, HAN Lei and WANG Xin

(Institute of Microelectronics, University of Science and Technology of China, Chengdu 610054, China)

Received 21 December 1999, revised manuscript received 1 March 2000

Abstract: Based on the critical electric field model, the optimum design theory of the base region in the punch-through structure used in the conductivity-modulated power devices is developed. The expressions of the optimum design are deduced by given the punch-through factor F to be 4, as is used to calculate the

何进 男, 32岁, 博士, 目前研究方向为功率半导体器件与新型半导体材料.

1999-12-21 收到, 2000-03-01 定稿

optimum base region parameters of the typical breakdown voltages. The results were compared with the previous values obtained by Y. S. Kao, S. K. Ghandhi and W. Fichtner et al., respectively, which should be used directly in the optimum design of the high voltage power devices such as IGBT, MCT, FCT and rectifier diode, etc.

Key words: power devices; punch-through; conductivity-modulation; optimum design

EEACC: 1210; 2560

Article ID: 0253-4177(2000)08-0786-06

1 引言

近年来,穿通结构广泛应用于IGBT、EST、FCT、MCT等现代电导调制型功率器件中^[1-4],器件设计的重要内容之一就是这一穿通结构基区厚度和掺杂浓度的优化选择。众所周知,穿通结构的使用不仅显著改进了功率器件的综合电性能,如正向压降的减小,开关时间的缩短。而且,更为重要的是:引起这种改进的重要原因是功率器件耐压基区厚度可以减薄。结果,不仅使功率器件厚外延技术这一关键问题一定程度上得到缓解,而且使器件的成本大幅度下降。许多文献^[5-7]已指出:使用穿通结构的电导调制型功率器件,其基区电传输行为类似一个p-i-n二极管,基本上处于大注入状态。这时,基区厚度越薄,则正向压降越小,关断时间越短。但是,功率器件的耐压又要求厚的基区。外延基区越厚,器件耐压才越高。在这种情形下,获得各种耐压情形下的最薄外延基区,或者是在一定的基区厚度下,使该结构的耐压为最高,成为设计中的首要考虑。

相对选择正常突变结结构的情形,使用穿通结构可以一定程度上减薄基区。虽然这一结论广为大家熟悉,但能减薄多少,极限值是多少,这个理论问题迄今尚未获得解决。Kao针对具体的2000V耐压,由数值分析给出了极小的耐压基区为118μm^[8]。Ghandhi在具体计算中直觉地认识到穿通因数F的倒数η小于0.2时,外延基区变化不大,他给出了1700V耐压的最薄基区为102μm^[9]。为了得出一个理论估计,Baliga粗略地假定穿通结构中的电场分布为矩形。在同样耐压下,此时穿通结构的基区厚度可以减少一半^[10]。但实际上,由于基区掺杂浓度的影响,其电场分布为梯形,基区厚度不可能减少一半。Fichtner的计算与模拟工作^[11]表明:在相同耐压下,穿通结构的基区厚度存在一个极小值的选择。但上述研究工作仅是对具体情况进行分析,没有给出一个普遍意义的理论结果,而且未考虑最大击穿电场随基区掺杂的变化。

以临界电场模式为基础,本文通过对穿通限制击穿电压的理论分析,给出了电导调制型功率器件用穿通结构基区的优化设计理论。

2 理论

下述理论,以p⁺-n⁻-n⁺穿通结构为例进行讨论,所得结果对n⁺-p⁻-p⁺同样适用。根据临界电场近似,穿通结构的穿通限制击穿电压可表达为:^[12]

$$BV_{PT} = E_{MAX}W_{PT} - \frac{qN_{epi}W_{PT}^2}{2\epsilon} \quad (1)$$

式中 W_{PT}为穿通结构的外延基区厚度,单位cm; E_{MAX}为穿通结构击穿时的最大电场,单位V/cm; N_{epi}为耐压基区的掺杂浓度,单位cm⁻³; BV_{PT}为穿通结构的击穿电压,单位V;q为电子的电荷量,为1.6×10⁻¹⁹C; ε为硅的介电常数,为1.045×10⁻¹²F/cm³。

穿通结与同基区浓度的平行平面突变结存在一系列的对应关系,如图1所示。若略去p⁺区与n⁺区对穿通结构耐压的贡献,令BV_{PT}与对应突变结击穿电压BV_{PN}之比为x,穿通因数为F,其倒数为η,则根据击穿的临界电场模式可得:

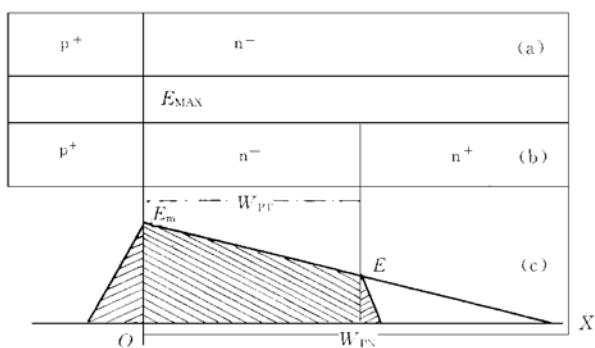


图 1 穿通结构与同基区浓度突变结关系
(阴影区为穿通结电场及击穿电压)

FIG. 1 Relationship Between Punch-Through Structure and
Abrupt Junction with Same Base Region Concentration

或

$$BV_{PT} = 6.4 \times 10^4 (2F - 1) F^{-\frac{8}{7}} W_{PT}^{\frac{6}{7}} \quad (10)$$

根据文献[12], 知 E_{MAX} 可表达为

$$E_{MAX} = 4010 N_{base}^{\frac{1}{8}} \quad (11)$$

$$BV_{PT} = 5.34 \times 10^{13} N_{base}^{-\frac{3}{4}} \quad (12)$$

联解方程(5)、(12)可得

$$BV_{PT} = 5.34 \times 10^{13} (2\eta - \eta^2) N_{base}^{-\frac{3}{4}} \quad (13)$$

以上方程(9)一(13)构成了穿通结构有关参数间的一系列关系.

(1) 由方程(9)可知: 对于一定的穿通限制击穿电压 BV_{PT} , 穿通结构基区的厚度 W_{PT} 和掺杂浓度 N_{epi} 有一系列的选择值: 基区的厚度 W_{PT} 越厚, 一般而言基区的掺杂浓度 N_{base} 越高, 电阻率越大, 反之亦然.

(2) 当 $\eta=1$ 时, 设计的结构成为突变结方式. 而方程(9)一(13)的结果与突变结的结果完全一致.

(3) 从方程(9)可以看出: 对于一定的穿通限制击穿电压 BV_{PT} 条件, 基区参数的最佳选择可使 W_{PT} 取得极小值. 用方程(9)的 W_{PT} 对 η 求导, 可得出 W_{PT} 极小值的条件. 即令 $\frac{\partial W_{PT}}{\partial \eta} = 0$, 结果为

$$\eta = 0.25, \frac{\partial W_{PT}}{\partial \eta} = 0, \frac{\partial^2 W_{PT}}{\partial \eta^2} < 0 \quad (14)$$

所以, $\eta=0.25$ 或 $F=4$ 时, W_{PT} 成为满足一定击穿电压的穿通结构基区的最薄厚度, 此时穿通结构为最优设计, 如图 2 所示.

值得注意的是, 在方程(9)中, 若令穿通结构的基区 W_{PT} 设计一定时, 可求出一定基区厚度时最优设计使 BV_{PT} 为最大击穿电压的条件. 同样从方程(9)出发, 由 BV_{PT} 对 η 求导, 令 $\frac{\partial BV_{PT}}{\partial \eta} = 0$ 得出.

$$E_{MAX(PT)} = E_{MAX(PN)} \quad (2)$$

$$\frac{BV_{PT}}{BV_{PN}} = X \quad (3)$$

$$\frac{W_{PT}}{W_{PN}} = \eta \quad (4)$$

利用上述关系, BV_{PT} 可表达为

$$BV_{PT} = (2\eta - \eta^2) BV_{PN} \quad (5)$$

联解方程(3)和(5)可得

$$X = 1 - (1 - \eta)^2 \quad (6)$$

$$\eta = 1 - (1 - X)^{\frac{1}{2}} \quad (7)$$

根据文献[12], BV_{PN} 可表达为

$$BV_{PN} = 6.4 \times 10^4 W_{PN}^{\frac{6}{7}} \quad (8)$$

联解方程(5)、(8)与(4)可得

$$BV_{PT} = 6.4 \times 10^4 (2\eta - \eta^2) \eta^{-\frac{6}{7}} W_{PT}^{\frac{6}{7}} \quad (9)$$

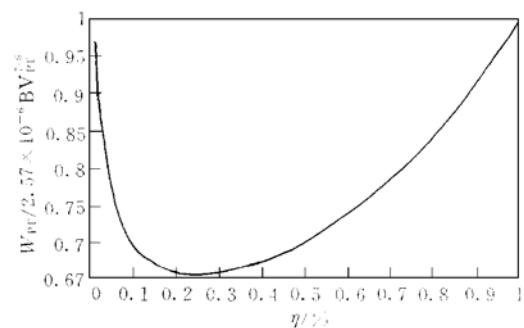


图 2 一定耐压时穿通结构基区厚度 W_{PT} 随 η 的变化

FIG. 2 Base Region Thickness W Versus η
The reciprocal of the punch-through factor under
the breakdown voltage BV is a constant.

结果为

$$\eta = 0.25, \frac{\partial BV_{PT}}{\partial \eta} = 0, \frac{\partial^2 BV_{PT}}{\partial \eta^2} < 0 \quad (15)$$

所以, $\eta = 0.25$ 或 $F = 4$ 时, 一定的基区厚度上可获得最大的击穿电压. 如图 3 所示.

由此可见: 在一定的外延基区厚度上取得最大击穿电压的条件与在一定的击穿电压下使外延基区厚度取得最小厚度的条件完全一致, 这两个不同的命题实质是同一条件的问题, 通过电离系数积分等于 1 才满足击穿的条件这一准则, 上述结果在物理意义上也是容易理解的.

3 讨论

3.1 电导调制型器件用穿通结构基区的优化设计公式

采用上述理论结果, 可由方程(9)一(15)求出电导调制器件用穿通结构基区的优化设计公式. 首先由 $\eta = 0.25$ 代入(6)求出 X

$$X = 1 - (1 - \eta)^2 = 0.4375 \quad (16)$$

由方程(9)可得

$$W_{epi(OPT)} = 1.69 \times 10^{-6} BV_{PT}^{7/6} \quad (17)$$

将上述关系代入方程(1)可得

$$N_{base(opt)} = 6.68 \times 10^{17} BV_{PT}^{-4/3} \quad (18)$$

$$BV_{PT(opt)} = 2.34 \times 10^{13} N_{base}^{-3/4} \quad (19)$$

$$W = 1.17 \times 10^{10} N_{base(opt)}^{-7/8} \quad (20)$$

将上述优化设计公式代入耐压为 1700V、2000V 及 3.5kV 的要求, 可分别求出优化的基区浓度和厚度. 表 1 将本文结果与 Kao, Ghandhi 等人的结果列出进行比较.

表 1 不同作者求出的穿通结构基区的优化

Table 1 Comparison of Various Optimum Design Parameters of Punch-Through Structure Obtained by Different Methods

数 参 耐压/V	Kao		Ghandhi		Fichtner		本文结果	
	N/cm^{-3}	$W/\mu m$	N/cm^{-3}	$W/\mu m$	N/cm^{-3}	$W/\mu m$	N/cm^{-3}	$W/\mu m$
1700	—	—	3×10^{13}	102	—	—	3.3×10^{13}	99
2000	2×10^{13}	119	—	—	—	—	2.65×10^{13}	117
3500	—	—	—	—	1.25×10^{13}	231	1.26×10^{13}	230

由此可以看出: 本文的结果对各种情形才给出了最小的外延基区厚度, Fichtner 的模拟与计算结果与本文基本一致.

下面比较相同击穿电压时, 正常平行平面突变结结构设计的基区宽度与穿通结构设计时的优化基区厚度的大小. 在最优的非穿通设计中, $\eta = 1$, 由方程(9)可得:

$$W_{PN(e)} = 2.57 \times 10^{-6} BV^{7/6} \quad (21)$$

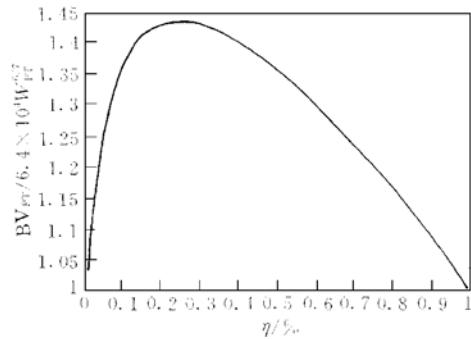


图 3 穿通结构外延基区一定时击穿电压 BV_{PT} 随 η 的变化

FIG. 3 Breakdown Voltage BV Versus η

The reciprocal of the punch-through factor under the base region thickness W is a constant.

$$N_{\text{base}} = 2.01 \times 10^{18} \text{BV}^{-4/3} \quad (22)$$

从而得

$$W_{\text{PT(opt)}}/W_{\text{PN(c)}} = 65.5\% \quad (23)$$

$$N_{\text{base(opt)}}/N_{\text{base(c)}} = 33.3\% \quad (24)$$

从上述结果可以看出: 最优设计的穿通结构, 其外延基区比最优设计的非穿通结构仅减小 34.42% 而不是 Baliga 估计的 50%.

同时, 在相同的基区厚度条件下,

$$\text{BV}_{\text{PT}} = 9.188 \times 10^4 W^{\frac{6}{7}} \quad (25)$$

$$\text{BV}_{\text{PN}} = 6.4 \times 10^4 W^{\frac{6}{7}} \quad (26)$$

结果

$$\text{BV}_{\text{PT(opt)}}/\text{BV}_{\text{PN}} = 143.56\% \quad (27)$$

因而, 最优设计的穿通结构其击穿电压比最优的非穿通结构击穿电压仅高出 43.56% 而不是 100%.

3.2 关于穿通结构的最大电场与击穿电压的关系

由前述理论还可以准确地表达出穿通结构的最大电场与击穿电压的关系. 联解方程(9)、(11)和(12)可得出

$$E_{\text{MAX}} = 8 \times 10^5 (2\eta - \eta^2)^{1/6} \text{BV}_{\text{PT}}^{-1/6} \quad (28)$$

当 $\eta = 1$ 时, $\text{BV}_{\text{PT}} = \text{BV}_{\text{PN}}$, 上式成为

$$E_{\text{MAX}} = 8 \times 10^5 \text{BV}_{\text{PN}}^{-1/6} \quad (29)$$

这正是突变结最大电场表达式. 这表明: 上述理论结果与突变结理论是一致的. 经常在文献中看到处理有关穿通结构的问题时, 最大电场使用(29)式. 从上述讨论可以看出: 由于穿通结构 E_{MAX} 与 BV_{PT} 关系随设计参数 η 的选择经常发生变化, 所以使用(29)式是不准确的, 应根据具体的 η 值由方程(28)计算出 E_{MAX} 与 BV_{PT} 关系式.

下面讨论一般穿通结构与 $p^+ - i - n^+$ 结构的关系, 给出穿通限制击穿电压方程使用的一个极限, 这也是计算中经常混淆的问题. 由文献[13]可知: $p^+ - i - n^+$ 结构中的电场是均匀分布的, 据此代入电离率积分方程可求出:

$$E_{\text{MAX}} = 6.2 \times 10^5 \text{BV}_{\text{PN}}^{-1/6} \quad (30)$$

而 $p^+ - n^- - n^+$ 结构的电场分布是梯形的, 其极限在于 N_{base} 变得很小时就是 $p^+ - i - n^+$ 结构. 由此, 从理论上讲, 相同击穿电压及基区厚度下, $p^+ - n^- - n^+$ 结构的最大电场不应小于 $p^+ - i - n^+$ 结构, 得出方程(1)及 η 的限制使用条件. 即

$$E_{\text{MAX}(p^+ - n^- - n^+)} > E_{\text{MAX}(p^+ - i - n^+)} \quad (31)$$

从而得出:

$$\eta > 0.115 \quad (32)$$

这一理论结果与文献[14]由数值分析得出的穿通限制击穿电压方程(1)仅适用于 $\eta \gg 0.1$ 的结论基本一致. 所以, 在绝大多数情形下, 对穿通结构电场的处理应使用方程(28). 而当 η 值小到 0.115 时, 这时的 $p^+ - n^- - n^+$ 结构可处理为 $p^+ - i - n^+$ 结构, 近似击穿电压表达式(1)就不适用了.

4 结论

本文通过临界电场近似得出的穿通限制击穿电压的分析, 提出了穿通结构应用于电导调制功率器件时的耐压基区优化设计理论. 在此基础上, 给出了优化设计公式, 比较了耐压基区减薄的最大限度, 计算了一系列耐压的优化基区厚度值, 纠正了先前的一些错误和不准确性. 在考虑了基极开路的影响后, 上述理

论结果可直接应用于 IGBT、MCT、EST 等电导调制型功率器件中。

参 考 文 献

- [1] W. Fichtner *et al.*, ISPSD'95, 493—497.
- [2] M. Stoisick, IEEE Trans. Electron. Devices, 1992, **39**: 1521—1527.
- [3] 李学宁, 等, 半导体学报, 1997, **18**: 27—31[LI Xuening *et al.*, Chinese Journal of Semiconductors, 1997, **18**: 27—31].
- [4] B. J. Baliga, IEEE Trans. Electron. Devices Letter, 1980, **27**: 75—77.
- [5] R. N. Hall, Proc. IRE., 1952, **40**: 1512—1518.
- [6] N. R. Howard and G. W. Johnson, Solid-State Electron., 1965, **8**: 275—284.
- [7] R. Baron, O. J. Marsh and J. W. Mayer, J. Appl. Phys., 1966, **37**: 2614—2618.
- [8] Y. S. Kao, IEEE Trans. Electron. Devices, 1970, **17**: 657—660.
- [9] S. K. Ghandhi, Power Semiconductor Devices, Wiley & Sons, 1977.
- [10] B. J. Baliga, Modern Power Devices, Wiley & Sons, 1987.
- [11] A. S. Grove, Physics and Technology of Semiconductor Devices, Wiley & Sons, New York, 1967.
- [12] B. J. Baliga, Modern Power Semiconductor Devices, WPS, 1995.
- [13] V. Anantharam *et al.*, IEEE Trans. Electron. Devices, 1980, **27**: 939—942.
- [14] Dong-gun Bae and Sang-koo Chang, Solid-State Electron., 1999, **43**: 503—504.