

基于可靠性及噪声约束的电源/ 地线优化设计^{*}

李春辉 范明钰 庄昌文 虞厥邦

(电子科技大学光电子技术系, 成都 610054, 中国)

黄 劲

(Ambow Corp., 2701 North Western Parkway, Santa Clara, CA 95051, USA)

摘要: 电源/地线(P/G)拓扑结构的优化设计是超大规模集成电路(VLSI)中直接影响芯片性能的一个非常重要的问题。通过对考虑可靠性及噪声的各项约束条件的分析, 提出了一种时间复杂度为 $O(N_m^2)$ 基于最小代价生成树(MST)和改进的 Prim 算法的快速构造算法。实验结果表明, 该算法在满足同样的性能约束条件下能有效地减小布线面积。

关键词: 优化设计; 电源线/地线; 可靠性; 噪声约束

EEACC: 1130B; 2570; 0260; 0170N; 5230

中图分类号: TN47 **文献标识码:** A **文章编号:** 0253-4177(2000)08-0816-06

Optimum Design of Power and Ground Topology Subject to Reliability and Noise Constraints^{*}

LI Chun-hui, FAN Ming-yu, ZHUANG Chang-wen and YU Jue-bang

(The University of Electronic Science and Technology of China, Chengdu 610054, China)

HUANG Jin

(Ambow Corp., 2701 North Western Parkway, Santa Clara, CA 95051, USA)

Received 26 April 1999, revised manuscript received 13 September 1999

Abstract: In Very Large Scale Integrated (VLSI) physical design, power and ground (P/G) topology op-

* 中国博士后基金资助项目[Project Supported by Postdoctoral Foundation of China]

LI Chun-hui(李春辉) and ZHUANG Chang-wen(庄昌文) are Ph. D candidates whose research interests include computational intelligence and VLSI physical design.

FAN Min-yu(范明钰) is a post-doctorate researcher

YU Jue-bang(虞厥邦) is a professor. All of the above-mentioned authors are with the Department of Opto-electronic Technology, University of Electronic Science and Technology of China, Chengdu 610054, China.

HUANG Jin(黄 劲) is a Ph. D and President&CEO of Ambow Corp., 2701 North Western Parkway, Santa Clara, CA 95051, USA.

1999-04-26 收到, 1999-09-13 定稿

timum design is an important issue. Based on the Minimal Spanning Tree (MST) heuristic and the modified Prim's algorithm, a fast constructive algorithm with the overall time complexity of $O(N_m^2)$ is presented through the detailed analysis of the reliability and noise constraints. Experimental results show that our algorithm can effectively reduce the routing area where the condition of same constraints satisfied.

Key words: optimum design; power/ground lines; reliability; noise constraints

EEACC: 1130B; 2570; 0260; 0170N; 5230

Article ID: 0253-4177(2000)08-0816-06

1 引言

电源/地线设计是VLSI布图中直接影响芯片性能的重要问题。与信号/时钟线(S/C)相比,电源/地线的最大特征是大电流,故通常布在电阻最小的金属层上,设计时必需满足一定电压降及电流密度限制,否则将引起逻辑错误,开关速度下降,金属迁移等现象^[1,2],此时的布图策略不能按最小线宽设计,也不宜用等线宽连接而使布线面积过大。此外,由于引脚封装电感所引起的Delta-I噪声的均匀分布问题也必须在设计时加以充分考虑^[1,3]。

除上述应注意的特殊性之外,P/G布线采用类似于S/C布线的“分而治之”的策略,一般分为两步:1)建立适当的拓扑结构;2)在现有拓扑结构及约束条件下进行线宽优化。本文研究基于积木块布图模式(BBL)下的P/G拓扑优化。因这方面较早的工作主要集中在单层平面布线上^[4,5],这时需对引脚和端点位置等加以特殊限制,随着VLSI工艺发展,多层金属布线不再受这些限制,但同时增强了电压降、电流密度和噪声等性能约束。近年来对P/G布线的性能约束都集中在第二步线宽优化时才作考虑^[6,7]。显然,如果没有一个基于性能约束的优化拓扑,在其上进行的线宽优化效果会十分有限。最近,Jaewon Oh等考虑到了多层布线及Delta-I噪声^[3],但对性能约束的优化仍显欠缺。在VLSI向深亚微米工艺推进过程中,以前的P/G拓扑设计主要有以下两个问题:1)面积估算时未有效考虑电压降及电流密度等对线宽的约束,仍沿用信号线中等线宽设计的线长估算来代替面积估算,但在满足各项性能约束条件下线长最短不一定面积最小(见图1),难以得到最优结果。2)考虑Delta-I噪声时未同时计及电源与地线的影响,我们的分析(参见2.2节)表明:即使对每个引脚电源和地线的Delta-I噪声都分布均匀,对每个模块而言总Delta-I噪声分布仍可能不均匀(见图2)。

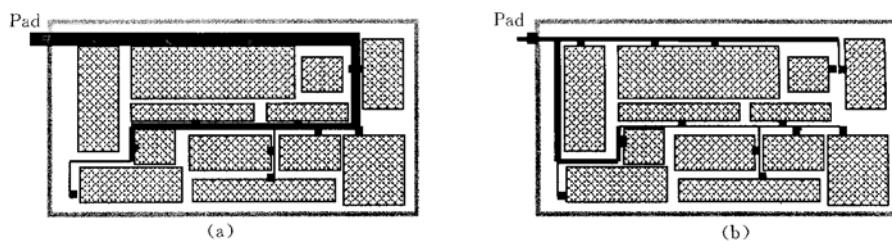


图1 (a)的总线长小于(b),但在满足相同的性能约束条件下,(b)的布线面积却小于(a)

FIG. 1 Total Length of Lines in (a) Less than one in (b). But Routing Area in (b) Less than One in (a) when Satisfying Same Constraints.

在本文中,我们针对以上问题,通过分析研究电压降、电流密度、噪声及金属迁移等影响性能的因素与线宽的关系,将各种约束条件结合到拓扑结构的优化目标中去,提出了一个计算复杂度为 $O(N_m^2)$ 的快速拓扑构造算法(N_m 是芯片模块上的P/G端总数),仿真实验结果表明本方法能显著减少满足各项性能约束

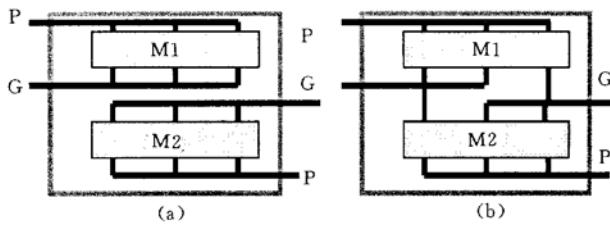


图 2 对每一引脚(a)和(b)的噪声都分布均匀,但对每一模块,(b)的噪声分布比(a)均匀.

FIG. 2 Noise for every pin in (a) and (b) has uniform distribution but noise in (b) is more uniform than in (a) for every block.

条件的 P/G 布线面积.

2 影响性能的各项约束条件分析

对高性能 VLSI 布线, 可不受限于单层金属平面布线; 此外, 在满足同样的约束条件下一般图可转化为单根树形成的森林图^[3]. 因此, 本文着重讨论单引脚 P/G 树形成的森林图的拓扑优化. 在 BBL 布图中, 芯片边界上有任意数量及位置的 P/G 引脚, 片内包含许多任意尺寸的模块, 每个模块边界上有任意数量及位置的 P/G 端, P/G 布线的目标是将所有 P/G 端及引脚分为多个集合, 在每个集合中构造一棵以单引脚为根的连通树, 使得在满足各项性能指标的条件下整个 P/G 森林所占布线面积最小.

2.1 线宽相关的约束

2.1.1 电压降约束

沿 P/G 线网的电压降会影响芯片的静态及动态性能^[1]. 图 3 中示出了 A, B 两个级连 NMOS 反相器, A 驱动 B, 当其 P/G 电阻不能忽略时, B 的下拉晶体管的开关电压可能超过门限电压而导致逻辑翻转错误. 这类由信号线网连通的器件间的电压约束叫水平约束, 要求限制各模块 P/G 端间两两电压差:

$$\sum_{k \in S_{j,i}} I_{k \max} r_k - \sum_{k \in S_{i,j}} I_{k \min} r_k - v_{i,j} \leq 0 \quad (1)$$

其中 $S_{i,j}$ 表示属于节点 i 的前续边且不属于节点 j 的前续边的集合. 同时还应限制从芯片 P/G 引脚到各模块 P/G 端间的电压差, 因为过低的门驱动电压将减小动态器件电流, 从而降低门的开关速度和抗噪声门限, 这种电压约束叫垂直约束:

$$\sum_{k \in P_i} I_{k \max} r_k \leq v_i \quad i \in N_L \quad (2)$$

其中 P_i 是从根节点到叶子节点 i 的路径. 水平约束共有 N_m^2 个, 垂直约束共有 N_m 个, 可以证明在树型拓扑结构中水平约束可转化为垂直约束, 从而大大减少约束数目^[7].

$$V_{j \text{ new}} = \text{Min}(v_i, v_{i,j}) \quad (3)$$

2.1.2 电流密度约束

电流流经金属连线时会发生金属迁移现象, 由金属迁移决定的金属连线的平均耗尽时间应大于芯片的设计寿命 (MTBF), 因此必须限制最大电流密度. 对一个固定厚度的金属线, 这种对电流密度的约束关系

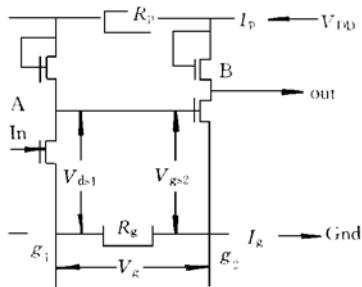


图 3 $V_{ds2} = V_{ds1} + V_g < V_{th}$

V_g 应受水平约束

FIG. 3 Two Stage NMOS Inverters

可表示为最大电流 $I_{i\max}$ 与线宽 w_i 的关系^[1]：

$$\frac{|I_{i\max}|}{w_i} \leq \sigma \quad (4)$$

其中 σ 为依赖于工艺条件的常数。

2.2 Delta-II 噪声约束

Delta-I 噪声，又称 di/dt 噪声，或 P/G 衰落噪声。在 VLSI 中，尤其是动态电路中，当许多电路同时发生状态翻转时，在 P/G 网络中将形成电流脉冲，而由于 P/G 引脚的封装电感 L_{gnd} 的作用，将引起 P/G 线网的电平成倍衰落：

$$V_{\text{gnd}}(t) = BL_{\text{gnd}} \frac{di_{\text{gnd}}}{dt} \quad (5)$$

其中 B 是同时发生状态翻转的门的数目。注意到伴随着地线电平的上升脉冲，电源线中的电平将呈现相同的下降脉冲！此时可以通过引入片内去耦电容，牺牲一些布线面积的方法减小 Delta-I 噪声。当电路器件已定，进行拓扑设计时，从可靠性的角度出发，每个 P/G 树的 Delta-I 噪声应尽可能均匀^[3]，若不均匀，则某些引脚将比另一些引脚承受的噪声大得多。但即使对每个引脚而言噪声分布是均匀的，对每个模块而言，噪声分布仍可能不均匀。因为对每个引脚来讲，它或者是电源引脚，或者是地线引脚，此时可将电源与地线分开而作单独考虑；但对每个模块而言，它同时有电源和地线（一个或多个），每个模块的 Delta-I 噪声由这两者共同决定。故应使属于同一电源树的模块的地线尽可能均匀分布在不同的地线网中。

3 优化算法

3.1 问题描述

从以上分析可见，建立优化的 P/G 拓扑结构的问题等价于最小代价划分问题。设芯片内有 M 个模块，芯片边界上有 N_p 个电源引脚， N_g 个地线引脚，芯片边界上全体电源和地线引脚记为集合 $P_p = \{p_{pi}\}$ （其中 p_{pi} 为第 i 个 P/G 引脚， $1 \leq i \leq N_p$ ， N_p 为 P/G 引脚总数， $N_p = N_{pp} + N_{gp}$ ）；芯片内模块上有 N_m 个电源端， N_g 个地线端，芯片内模块上全体电源和地线端记为集合 $P_m = \{p_{mi}\}$ （其中 p_{mi} 为第 i 个 P/G 端， $1 \leq i \leq N_m$ ， N_m 为芯片内模块上 P/G 端总数， $N_m = N_{pm} + N_{gm}$ ）；芯片上全体 P/G 引脚和端点的集合记为 $P = \{p_{p1}, p_{p2}, \dots, p_{pn_p}, p_{m1}, p_{m2}, \dots, p_{mn_m}\} = P_p \cup P_m$ 。则问题为求集合 P 的一个划分 $P = P_1 \cup P_2 \cup \dots \cup P_{N_p}$ ，使得 $P_i \cap P_j = \emptyset, i \neq j$ ； $P_i \cap P_p \neq \emptyset$ 且基于该划分的最小生成树森林的代价 $\text{COST}(P)$ 最小（即在满足 2.1.1 和 2.1.2 的各项约束条件下布线面积最小且 2.2 所述 Delta-I 噪声最均匀）。

3.2 代价函数

定义 1：最大电流变化率矩阵 $D = [D_1, D_2, \dots, D_{N_p}]^T = \{d_{ij}\}$ 。对任意一个划分 P ，其中 D_i 对应于该划分中第 i 部分 P_i 的最大电流变化率矢量， d_{ij} 是第 i 部分中对应属于第 j 个模块的 P/G 端的最大电流变化率 ($1 \leq i \leq N_p, 1 \leq j \leq N_m$)。

定义 2：最大电流矩阵 $I = [I_1, I_2, \dots, I_{N_p}]^T = \{i_{ij}\}$ 。对任意一个划分 P ，其中 I_i 对应于该划分第 i 部分 P_i 的最大电流矢量，已知 i_{maxj} 是对应属于第 j 个模块的 P/G 端最大电流，则 i_{ij} 是对应于该划分中第 i 部分 P_i 的最小生成树的第 j 条边的最大电流 ($1 \leq i \leq N_p, 1 \leq j \leq N_m$)。

定义 3：边长矩阵 $L = [L_1, L_2, \dots, L_{N_p}]^T = \{l_{ij}\}$ 。对任意一个划分 P ，其中 L_i 对应于该划分中第 i 部分 P_i 的最小生成树的边长矢量， l_{ij} 是对应于该划分中第 i 部分 P_i 的最小生成树的第 j 条边的边长 ($1 \leq i \leq N_p, 1 \leq j \leq N_m$)。

定义 4：代价函数

$$\text{COST}(P) = \frac{\left[\sum_{D_i \in P} \sum_{D_j \in P_g} (D_i D_j) \right] \times \left[\sum_{i=1}^{N_m} (I_i L_i) \right]}{\sum_{i=1}^{N_p} \sum_{j=1, j \neq i}^{N_p} (|D_i| \times |D_j|)}; \quad (6)$$

$$|D_i| = \sum_{j=1}^{N_m} d_{ij}, i_{ij} = \sum_{j \in i \text{的后续边}} i_{\max j}$$

其中 分母项使得对每一引脚而言, 各部分 Delta-I 噪声分布尽量均匀; 分子第一项使得电源端属于同一部分的模块的地线端尽可能分布在不同的部分, 这两项共同作用, 使得总的 Delta-I 噪声分布均匀. 分子第二项是考虑了线宽的布线面积估计.

3.3 算法

上面已指出构造优化的 P/G 拓扑结构问题等价于求解一个最小代价均匀划分问题, 它是一个 NP 复杂问题^[3]. 我们的快速构造算法是基于最小森林生成和改进的 Prim 算法, 其主要思想是: 从芯片的 P/G 引脚开始, 根据定义 4 及 Prim 算法为每一引脚生成一棵最小代价树(MST), 在森林的构造过程中, 对尚不属于森林的所有模块的 P/G 端, 各 MST 中具有 Min COST(P) 的 P/G 端被划分到相应的部分并添加到该 MST. 算法伪码描述如下:

```

Initialize:  $P_i = \{p_i \text{ or } p_m\}, 1 \leq i \leq N_p, 1 \leq j \leq N_m;$ 
           $D = 0; I = 0; K = 0;$ 
Begin: Do until  $P_1 \cup P_2 \cup \dots \cup P_{N_p} = P$ 
       For  $i = 1$  to  $N_m$ 
         If  $p_i$  not include in any part  $P_i$  then
           For  $j = 1$  to  $N_m$ 
             If  $p_j$  include in any part  $P_k$  then
               Calculate COST( $P$ ) with  $p_i$  connected to  $p_j$  according to define 4
             End if
             Next
           End if
           Next
         Select Min COST( $P$ ) and corresponding  $p_i, p_j$  and part  $P_k$ 
          $P_k = P_k \cup \{p_j\}$ 
         Change the corresponding D, I, and L
       Loop
End

```

3.4 算法复杂度

由以上描述可知本算法基本运算单元是计算 COST(P), 内外两层循环共需计算:

$$\begin{aligned} \sum_{i=N_m}^{N_m+N_p} i(N_p + N_m - i) &= (N_p + N_m) \sum_{i=N_m}^{N_m+N_p} i - \sum_{i=N_m}^{N_m+N_p} ii_p \\ &\leq \left[\frac{N_p + N_m}{2} \right]^2 \times N_p \approx \frac{N_m^2}{4}, N_m \gg N_p \end{aligned} \quad (7)$$

故本算法时间复杂度为 $O(N_m^2)$.

4 实验结果

我们对文献[3]的所有实例进行了测试比较, 结果如表 1 所示. 表中布线面积是采用文献[7]的算法对我们及文献[3]的算法的拓扑结构进行线宽优化后的结果. $A_{J&M}$ 和 $D_{J&M}$ 分别是文献[3]的算法所得的布线面积和总 Delta-I 噪声分布的标准方差, A_{our} 和 D_{our} 分别是本文算法所得的布线面积和总 Delta-I 噪声分布的标准方差, V_{new} 是合并了水平约束的统一的垂直约束, $A \% = (A_{J&M} - A_{our}) / A_{J&M}$, $D \% = (D_{J&M} - D_{our}) / D_{J&M}$, ρ 是电阻率, δ 是最大电流密度, N_M 和 N_P 分别表示模块的 P/G 端和芯片的 P/G 引脚数目. 文献[3]

和[7]的结果均是所见文献中最好的。从表1可以发现，我们的算法在满足相同的约束条件下，总噪声分布更均匀，布线面积显著减小，且约束条件越严格，效果越明显。

表1 文献[3]的所有实例与我们的数据进行的测试比较

Table 1 Comparation of Measurement on All Examples in Reference 3 with Our Data

测试实验	N_M	N_P	面积/ μm^2			噪声标准方差/(mV • ns)			约束条件
			$A_{J&M}$	A_{our}	$A\%$	$D_{J&M}$	D_{our}	$D\%$	
B20	20	5	36812	30568	16.9	51.1	24.3	52.4	
B30	30	4	28160	24456	13.2	48.7	28.0	42.5	$V_{j,\text{new}} \leq 200\text{mV}$
B80	80	8	66482	53680	19.3	76.6	45.5	40.6	$\rho = 0.03\Omega/\square$
B120	120	10	89630	70900	20.9	78.9	47.6	39.7	$\delta_i \leq 1\text{mA}/\mu\text{m}$
B20	20	5	39916	31002	22.3	42.5	23.2	45.4	
B30	30	4	32558	24508	24.7	45.3	25.1	44.6	$V_{j,\text{new}} \leq 100\text{mV}$
B80	80	8	78680	56608	28.1	66.9	43.0	35.7	$\rho = 0.03\Omega/\square$
B120	120	10	112033	76082	32.1	75.5	46.3	38.7	$\delta_i \leq 0.5\text{mA}/\mu\text{m}$

5 结论

本文针对BBL模式的VLSI布图中考虑各项可靠性及噪声约束条件下的P/G线网拓扑优化设计问题，提出了一个时间复杂度为 $O(N_m^2)$ 的快速算法。该算法在拓扑构造阶段就将各项约束条件转化为对线宽的要求，并纳入布线面积估计之中；同时该算法还改进了噪声均匀分布性。故在满足各项性能约束条件下，基于本算法拓扑结构的P/G线网的布线面积显著下降。实验结果令人满意。本文集中研究了引言中提到的P/G拓扑优化问题，至于P/G线宽优化的研究结果将另文报导。

参 考 文 献

- [1] Partik Larsson and Christer Svensson, IEEE Journal of Solid-State Circuits, 1994, **29**(6): 655—662.
- [2] 李志国, 孙英华, 邓燕, 张炜, 程尧海, 郭伟玲, 张万荣, 半导体学报, 1997, **18**(11): 823—831[LI Zhiguo, SUN Yinghua, DENG Yan, ZHANG Wei, CHENG Yaohai, GUO Weiling and ZHANG Wanrong, Chinese Journal of Semiconductors, 1997, **18**(11): 823—831(in Chinese)].
- [3] Jaewon Oh and Massoud Pedram, "Multi-pad Power/Ground Network Design for Uniform Distribution of Ground Bounce", ACM/IEEE Design Automation Conference, San Francisco, 1998, 287—290.
- [4] H. Cai, "Multi-Pads, Single Layer Power Net Routing in VLSI Circuits," ACM/IEEE Design Automation Conference, Anaheim, 1988, 183—188.
- [5] 郑宁, 朱青, 冯之雁, 严晓浪, 洪先龙, 连永君, 半导体学报, 1993, **14**(8): 497—504[ZHENG Ning, ZHU Qing, FENG Ziyan, YAN Xiaolang, HONG Xianlong and LIAN Yongjun, Chinese Journal of Semiconductors, 1993, **14**(8): 497—504(in Chinese)].
- [6] Robi Dutta, "Automatic Sizing of Power/Ground(P/G) Networks in VLSI", ACM/IEEE Design Automation Conference, Las Vegas, 1989, 783—786.
- [7] S. Chowdhury and A. Breuer, IEEE Trans. on CAD, 1988, **7**(7): 787—796.