

# SiGe/Si HBT 发射结的寄生势垒及其对器件室温和低温特性的影响\*

徐 晨 沈光地 陈建新 邹德恕 李建军 罗 辑 魏 欢 周 静 董 欣

(北京工业大学电子工程系 北京市光电子技术实验室, 北京 100022)

**摘要:** 研究了 SiGe/Si HBT 基区 B 杂质的偏析和外扩散对器件的影响。发现用 MBE 生长的 SiGe 基区中, 在材料生长时 B 杂质的上述行为会严重破坏器件的室温电流增益并改变器件的低温性能。采用数值计算分析了 B 杂质的上述行为与在发射结产生的寄生势垒的关系, 解释了器件温度特性的实验结果。并根据计算模拟和实验, 讨论了 SiGe 隔离层的作用和优化的厚度。

**关键词:** SiGe HBT; 寄生势垒; 杂质偏析; 低温

**EEACC:** 2560J; 2530      **PACC:** 6822; 6630J; 7340L

**中图分类号:** TN 325<sup>+3</sup>      **文献标识码:** A      **文章编号:** 0253-4177(2000)12-1208-06

## Parasitic Barrier in Emitter-Base Junction and Its Effects on Performance of SiGe/Si HBT at Both Room Temperature and Low Temperature\*

XU Chen, SHEN Guang-di, CHEN Jian-xin, ZOU De-shu,  
LI Jian-jun, LUO Ji, WEI Huan, ZHOU Jing and DONG Xin

(Electronic Engineering Department, Beijing Polytechnic University and Beijing

Optoelectronic Technology Laboratory, Beijing 100022, China)

Received 20 December 1999, revised manuscript received 11 March 2000

\* 国家“863”计划: No. 863-307-105-4(06), 国家自然科学基金: No. 69876004, 国家自然科学基金重大项目: No. 69896260-06, 北京市科委高技术重点项目和北京市自然科学基金: No. 4962005资助项目[ Project Supported by High-Techology (863) Research and Development Program of China (No. 863-307-105-4 (06)), by National Natural Science Foundation of China and Beijing].

徐 晨 男, 1958年出生, 副教授, 从事高速半导体异质结器件的研究和教学工作[ Mr. Chen Xu was born in 1958. He received B. Eng. Degree at Xi'an Jiaotong University and M. Eng. Degree at Shanghai University, China in 1982 and 1987, respectively. He is an associate professor now in the Department of Electronic Engineering at Beijing Polytechnic University and is a part time graduate student pursuing Ph. D degree in Beijing Optoelectronic Technology Laboratory. His research interests are mainly in high speed semiconductor heterojunction devices, Si-based optoelectronic materials, and solar cells]. e-mail 地址: xuchen58@hotmail.com

1999-12-20收到, 2000-03-11定稿

**Abstract:** The effects of segregation and out-diffusion of base B dopant on the characteristics of SiGe/Si HBT were investigated experimentally. It was found that the B segregation occurred during epitaxially grown SiGe base by MBE may drastically degrade the current gain of the SiGe/Si HBT at room temperature and change its low temperature behavior. Simulation was carried out to evaluate the electron parasitic barrier formed in EB junction and to analyze the experiment results. Based on these, the function of SiGe spacer is discussed and its optimized thickness is obtained.

**Key words:** SiGe HBT; parasitic barrier; segregation of dopant; low temperature

EEACC: 2560J; 2530 PACC: 6822; 6630J; 7340L

Article ID: 0253-4177(2000)12-1208-06

## 1 引言

SiGe/Si HBT 由于优越的频率、噪声性能及与常规 Si 工艺的兼容引起了人们的极大关注,近年来得到了飞速发展。特别由于在高频低噪声和高频大功率应用方面的固有优势,使其已在通讯和高速计算等领域逐步得到应用。目前, SiGe/Si HBT 的频率性能已达: $f_T = 130\text{GHz}$ <sup>[1]</sup>,  $f_{max} = 160\text{GHz}$ <sup>[2]</sup>。高频噪声  $N_F = 0.5\text{dB}$  at  $1\text{GHz}$ <sup>[3]</sup>。这些指标都远远超过了 Si BJT。在功率性能方面取得了很大进展<sup>[4,5]</sup>, 在低温下更有 Si BJT 无法比拟的优越性<sup>[6]</sup>。为获得良好的噪声和功率性能,通常基区需要有较高的掺杂浓度。对于基区有较高掺杂浓度的 SiGe/Si HBT, 在后续的工艺过程中容易产生杂质向发射结和集电结外扩<sup>[7,8]</sup>, 其结果是减小了器件的集电极电流, 增加了基区的渡越时间, 恶化器件的性能。Prinz、Pruijmboom 等<sup>[9,10]</sup>对此作了解释和描述。根据我们的实验,用 MBE 生长 SiGe 基区, B 杂质在材料生长时的偏析对器件性能有很大影响,此时扩散模型<sup>[9]</sup>不再适用,而有关偏析对器件的影响还未见过较详尽的报道。本文根据实验结果,从器件的 pn 结界面和 SiGe/Si 异质界面的偏离入手,计算和分析了 SiGe/Si HBT 基区 B 杂质的偏析和外扩散在发射结产生的寄生势垒及其对器件温度特性的影响。

## 2 实验

实验所用双台面 SiGe/Si HBT 由 MBE 生长。其基本结构为:在 n<sup>+</sup> Si 衬底上生长 n-Si 集电区(400nm,  $N_d = 8 \times 10^{16}\text{cm}^{-3}$ ), p<sup>+</sup> SiGe 基区(50nm, Ge 组分 x = 0.20—0.25,  $N_a = 5 \times 10^{19}\text{cm}^{-3}$ ), n-Si 发射区

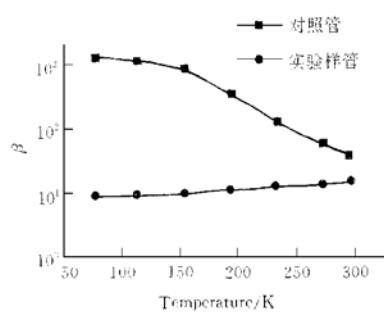


图1 HBT增益 $\beta = \Delta I_c / \Delta I_b$ (峰值)的温度特性

FIG. 1 Gain of HBT Versus Temperature

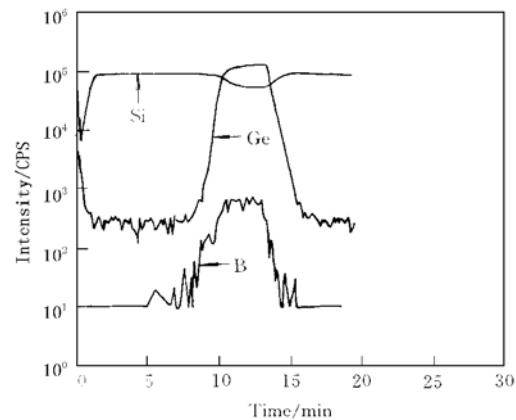


图2 样管的 SIMS 图

FIG. 2 SIMS for Sample Transistor

(100nm,  $N_d = 8 \times 10^{17} \text{ cm}^{-3}$ ),  $n^+$  Si 帽层(100nm,  $N_d = 1 \times 10^{19} \text{ cm}^{-3}$ ). 为确定偏析带来的影响, 在 SiGe 基区的集电结一端生长一层5nm 的本征 SiGe 隔离层(i-SiGe Spacer), 在发射结一端则没有. 而通常的做法是在 SiGe 基区两端都生长这种隔离层. 图1是样管增益温度特性, 同时给出了正常管(除基区的发射结端有隔离层外, 其余结构和实验样管一样)的对照结果. 可见样管的增益很低, 且未能显示出增益随温度降低而提高这一 HBT 特有的性质, 而却随温度降低而略有下降. 从 SIMS 测量结果来看, 实验样管基区 B 杂质有较为严重的偏析及外扩, 且由于在发射结没有 SiGe 隔离层, 相对影响更大, 使高浓度的 B 杂质进入了 Si 发射区, 见图2, 这是造成上述现象的主要原因.

### 3 分析讨论

#### 3.1 计算公式和方法

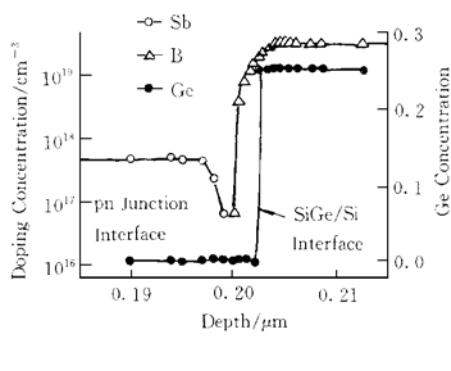


图3 计算采用的器件基本结构中, 发射结附近的杂质和 Ge 分布

FIG. 3 Ge Distribution Near Emitter Junction

Used for Calculation

我们数值计算了基区 B 的偏析及向发射区外扩带来的影响. 计算所采用的器件基本结构如上节所述, 但 Ge 组分固定为 0.23. 图3表示计算所用发射结附近的杂质和 Ge 的分布. 计算中用 SiGe/Si 界面相对 pn 结界面向基区移动来表示基区 B 的向发射区的偏析及扩散. 利用有限差分法解一维经典模型. 方程包括连续性方程、泊松方程和电流密度方程:

$$-\frac{1}{q} \times \frac{\partial J_n}{\partial z} + R = 0 \quad (1)$$

$$\frac{1}{q} \times \frac{\partial J_p}{\partial z} + R = 0 \quad (2)$$

$$\frac{\partial^2 V}{\partial z^2} = -\frac{q}{\epsilon} (p - n + N_d^+ - N_a^-) - \frac{1}{\epsilon} \times \frac{\partial \epsilon}{\partial z} \times \frac{\partial V}{\partial z} \quad (3)$$

$$J_n = -qn\mu_n \frac{\partial}{\partial z} (V + V_n) + qD_n \frac{\partial n}{\partial z} \quad (4)$$

$$J_p = -qp\mu_p \frac{\partial}{\partial z} (V - V_p) - qD_p \frac{\partial p}{\partial z} \quad (5)$$

其中  $V$  为电势;  $N_d^+$  和  $N_a^-$  分别为电离施主和受主浓度;  $\epsilon$  为介电常数;  $R$  为电子、空穴的复合率;  $n$ 、 $p$ 、 $\mu_n$ 、 $\mu_p$ 、 $D_n$  和  $D_p$  分别是电子和空穴的浓度、迁移率和扩散系数. 电子和空穴电流密度  $J_n$  和  $J_p$  式中考虑了由于禁带宽度的变化、导带和价带有效状态密度的变化以及重掺杂引起的附加电子电势  $V_n$  和空穴电势  $V_p$ <sup>[11]</sup>, 并忽略导带的不连续<sup>[12]</sup>.

有关模型参数的表达式和选取方法如下:

(1) 所采用的有效状态密度  $N_c$ 、 $N_v$ , 相对介电常数  $\epsilon$  和禁带宽度  $E_g$  的表达式为<sup>[12, 13]</sup>:

$$N_c(x) = 2 \left[ \frac{2\pi kT(m_{nl} \times m_{nt})^{1/3}}{h^2} \right]^{3/2} [4 + 2\exp(-N_{c1}x/kT)] \quad (\text{cm}^{-3}) \quad (6)$$

$$N_v(x) = 2 \left[ \frac{2\pi kT(m_{pl}^{3/2} \times m_{ph}^{3/2})^{1/3}}{h^2} \right]^{3/2} (1 - N_{v1}x) \quad (\text{cm}^{-3}) \quad (7)$$

$$\epsilon(x) = 11.9 + 4.1x \quad (8)$$

$$E_g(x) = 1.12 - 0.74x \quad (\text{eV}) \quad (9)$$

计算时,  $m_{nl}$  和  $m_{nt}$  分别取值 0.98 和  $0.19m_0$ ,  $m_{pl}$  和  $m_{ph}$  分别取值 0.16 和  $0.53m_0$ ,  $N_{c1}$  取值 0.6 eV,  $N_{v1}$  取值 0.6 k 为玻尔兹曼常数,  $h$  是普朗克常数,  $T$  取 300K,  $x$  为 Ge 摩尔分数,  $m_0$  为电子静止质量.

(2) 考虑重掺杂引起的禁带宽度变窄所用公式为<sup>[13]</sup>:

$$dE_g(N_1, x) = V_1 \left[ \ln \frac{N_1}{N_0} + \sqrt{\ln^2 \left( \frac{N_1}{N_0} \right) + c} \right] \left[ \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{SiGe}}(x)} \right] \quad (\text{eV}) \quad (10)$$

计算时,  $V_1$  取 9.0 meV,  $N_1$  取  $1 \times 10^{17} \text{ cm}^{-3}$ ,  $c$  取 0.5. 其中  $N_1$  为总掺杂浓度,  $\epsilon_{\text{SiGe}}$  和  $\epsilon_{\text{Si}}$  分别为 SiGe 和 Si 的介电常数,  $x$  为 Ge 摩尔分数.

(3) SiGe 合金应变层电子迁移率  $\mu_n$  的计算公式采用文献[14]中的计算方法, 空穴迁移率  $\mu_p$  的计算公式为<sup>[15]</sup>:

$$\mu_p(x, N_1) = \left[ \mu_{\min} + \frac{\mu_{\max} - \mu_{\min}}{1 + (N_1/N_0)^{\beta}} \right] (1 + A_1 x + A_2 x^2 + A_3 x^3) \quad (\text{cm}^2/(\text{V} \cdot \text{s})) \quad (11)$$

式中  $\mu_{\max}$  和  $\mu_{\min}$  分别是低掺杂和高掺杂时 Si 的空穴迁移率;  $X$  和  $N_1$  的含义同上. 计算时,  $\mu_{\min}$  取  $40 \text{ cm}^2/(\text{V} \cdot \text{s})$ ,  $\mu_{\max}$  取  $625 \text{ cm}^2/(\text{V} \cdot \text{s})$ ,  $A_1, A_2, A_3$  分别取  $-0.5, 27.87, -25.52$ ,  $N_0$  取  $1.43 \times 10^{17} \text{ cm}^{-3}$ ,  $\beta$  取  $5/8$ .

### 3.2 寄生势垒

算得的电流增益与 B 偏析的关系示于图4. 其中  $\Delta_{\text{hpn}}$  表示 SiGe-Si 异质结界面相对 pn 结界面向基区移动的距离. 随着  $\Delta_{\text{hpn}}$  的增大, 增益急剧减小. 这是由于 B 的偏析和外扩在发射结形成了电子寄生势垒, 见图5. 因而注入比大大减小, 寄生势垒高度与外扩程度的关系示于图4, 与增益的变化对应. 当  $\Delta_{\text{hpn}}=4 \text{ nm}$  时, 有近  $100 \text{ meV}$  的寄生势垒形成. 当  $V_{\text{be}}=0.85 \text{ V}$  时, 增益曲线中有一峰值出现. 这是由于在  $V_{\text{be}}=0.85 \text{ V}$  时, 若没有寄生势垒, 已出现大注入效应. 在一定范围内, 当  $\Delta_{\text{hpn}}$  增加, 寄生势垒增加, 大注入效应减弱,  $\beta$  增大. 但当寄生势垒较大时,  $V_{\text{be}}=0.85 \text{ V}$  已不属大注入, 随  $\Delta_{\text{hpn}}$  增加, 寄生势垒增加,  $\beta$  减小. 寄生势垒的大小还与 Ge 分布有关. 当基区 Ge 组分采用  $x=0.2-0.25$  分布,  $\Delta_{\text{hpn}}$  为  $4 \text{ nm}$  时, 势垒高度为  $70 \text{ meV}$ . 当  $\Delta_{\text{hpn}}$  值较小时, 增益的减小和寄生势垒的增大都较缓. 原因是计算时在 pn 结界面两侧  $5 \text{ nm}$  内 B 杂质浓度设为渐变. 此时的 B 浓度较低, 所对应的 B 偏析和扩散较弱. 寄生势垒高度还与偏置大小有关.

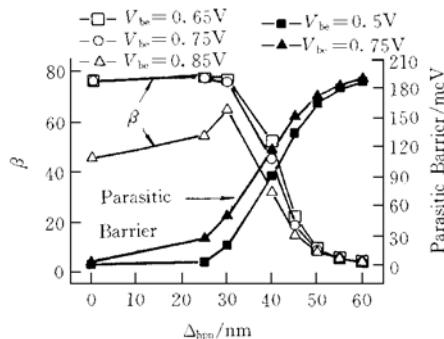


图4 电流增益和寄生势垒高度与  $\Delta_{\text{hpn}}$  值的关系

FIG. 4 Current Gain and Height of Parasitic Barrier Versus  $\Delta_{\text{hpn}}$

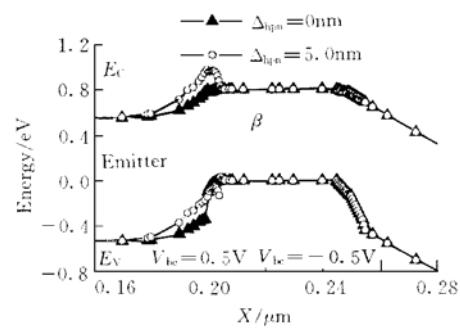


图5 不同  $\Delta_{\text{hpn}}$  值时的能带图

FIG. 5 Band Diagram for Different  $\Delta_{\text{hpn}}$

### 3.3 寄生势垒对温度特性的影响

SiGe/Si HBT 的电流增益相对于同样结构的 Si BJT 有如下关系<sup>[16, 17]</sup>:

$$\frac{\beta_{\text{SiGe}}}{\beta_{\text{Si}}} \Big|_{V_{\text{be}}} \approx \frac{\bar{\gamma}\eta \frac{\Delta E_{g, \text{Ge(grade)}}}{kT} \exp(-\Delta E_{g, \text{Ge(0)}}/kT)}{1 - \exp(-\Delta E_{g, \text{Ge(grade)}}/kT)} \quad (12)$$

$$\beta_{\text{Si}} \approx \frac{D_n W_E N_E}{D_p W_B N_B} \exp(-\Delta E_{gB}^{\text{app}}/kT) \quad (13)$$

$$\bar{\gamma} = (N_c N_V)_{\text{SiGe}} / (N_c N_V)_{\text{Si}} \quad (14)$$

$$\eta = (D_{nB})_{\text{SiGe}} / (D_{nB})_{\text{Si}} \quad (15)$$

其中  $\bar{\gamma}, \eta$  分别是  $\gamma, \eta$  的位置平均值;  $\Delta E_{g, \text{Ge(0)}}$  是基区发射结端由于 Ge 组分引起的带隙变窄, 它体现了在

发射结空穴注入发射区比电子注入基区要更多克服的势垒;  $\Delta E_{g, Ge(grade)}$  是基区发射结端和集电结端带隙变窄的差值, 它体现了 Ge 渐变基区的漂移场;  $\Delta E_{gB}^{app}$  是重掺杂在基区引起的带隙变窄。我们的实验样品中,  $\Delta E_{g, Ge(0)} = 0.2 \times 0.74 = 148\text{meV}$ ,  $\Delta E_{g, Ge(grade)} = 0.05 \times 0.74 = 37\text{meV}$ <sup>[11]</sup>。除指数因子之外, 其他参数随温度变化较为缓慢,  $\beta_{Si}$  随温度下降而提高, 因而  $\beta_{SiGe}$  随温度下降急剧提高。当基区 B 向发射区外扩, 在发射结形成寄生势垒, 其性能的分析较为复杂。一方面电子注入要克服的势垒提高, 而空穴注入所需克服的势垒基本不变, 因而寄生势垒抵消了  $\Delta E_{g, Ge(0)}$  的异质结作用。当寄生势垒增大到一定程度, 随着温度的降低,  $\beta_{SiGe}$  将会减小。从图 5 可见,  $\Delta E_V \approx 148\text{meV}$ , 而电子寄生势垒高度  $\approx 170\text{meV}$ 。因此电子注入到基区所需克服的势垒比空穴注入到发射区所需克服的势垒要高, 不仅可完全抵消异质结和基区重掺杂所带来的提高注入比的好处, 而且随温度的降低, 注入比会降低, 导致  $\beta_{SiGe}$  下降。

### 3.4 i-SiGe 隔离层的作用

从以上分析可知, 采用 SiGe 隔离层可减缓基区 B 的偏析和外扩的影响, 起到防止在发射结形成寄生势垒的作用。在 SiGe 基区总厚度一定, 掺杂浓度不变的条件下, 经模拟计算发现当隔离层厚度增加时, 电流增益  $\beta$  和截止频率  $f_T$  都略有提高, 见图 6、图 7。这主要是基区的掺杂总量减少了, 基区的掺杂总量减小,

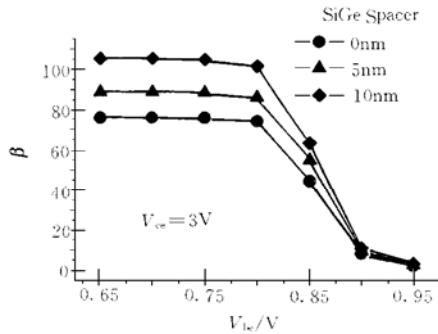


图 6 增益与隔离层宽度的关系

FIG. 6 Gain Versus  $V_{be}$  for  
Different SiGe Spacer Width

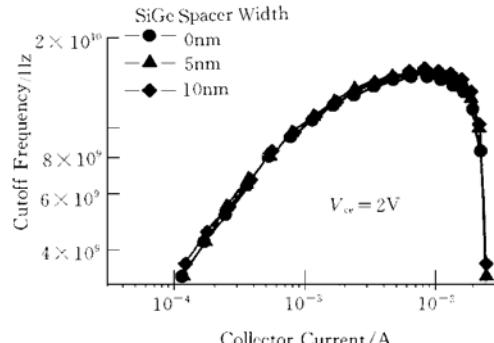


图 7 截止频率与隔离层宽度的关系

FIG. 7 Cutoff Frequency Versus Collector Current  
for Different SiGe Spacer Width

$\beta$  增加, 电子渡越时间减少。我们的实验表明隔离层为 5—10nm 时, 增益略有增加。虽然隔离层加厚对电流增益有利, 但隔离层太厚时由于有效基区厚度减小会使器件的穿通电压减少, 且隔离层中的复合电流会损害小注入时的器件特性。综合考虑我们认为隔离层厚 5—10nm 较为合适。

## 4 结论

SiGe/Si HBT 高掺杂基区的 B 杂质的偏析及外扩会在发射结形成寄生势垒, 可严重损害器件的电流增益, 改变器件的低温特性。SiGe 隔离层可防止这种现象的出现。5—10nm 隔离层厚度较为合适。

## 参 考 文 献

- [1] K. Oda, E. Ohue, M. Ranabe *et al.*, “130GHz  $f_T$  SiGe HBT Technology”, Tech. Dig. IEDM, 1997, 791—794.
- [2] A. Schunnen, U. Erben, A. Gruhle *et al.*, “Enhanced SiGe Heterojunction Bipolar Transistor with 160GHz  $f_{max}$ ”, Tech. Dig. IEDM, 1995, 743—746.
- [3] A. Schuppen *et al.*, J. Crystal Growth, 1995, **157**: 207—214.
- [4] P. A. Potyraj *et al.*, IEEE Trans. Microwave Theory and Techniques, 1996, **44**(12): 2392—2397.

- [ 5 ] 张进书, 金晓军, 贾宏勇, 等, 半导体学报, 1999, **20**(4): 284—286[ ZHANG Jinshu, JIN Xiaojun, JIA Hongyong et al., Chinese Journal of Semiconductors, 1999, **20**(4): 284—286(in Chinese) ].
- [ 6 ] 邹德恕, 陈建新, 沈光地, 等, 半导体学报, 1997, **18**(5): 367—370[ ZOU Deshu, CHEN Jianxin, SHEN Guangdi et al., Chinese Journal of Semiconductors, 1997, **18**(5): 367—370(in Chinese) ].
- [ 7 ] E. J. Prinz *et al.*, Tech. Dig. IDEM, 1989, 639—642.
- [ 8 ] J. A. Pruijboom *et al.*, IEEE Electron Device Lett., 1991, **12**: 357—359.
- [ 9 ] E. J. Prinz *et al.*, IEEE Electron Device Lett., 1991, **12**( 2): 42—44.
- [ 10 ] W. Slotboom *et al.*, IEEE Electron Device Lett., 1991, **12**: 486—488.
- [ 11 ] M. Lundstrom *et al.*, IEEE Trans. Electron Devices, 1983, **30**(9): 1151—1159.
- [ 12 ] Branimir Pejcincovic *et al.*, IEEE Trans. Electron Devices, 1989, **36**( 10): 2129—2137.
- [ 13 ] D. Rosenfeld *et al.*, Solid State Electronics, 1995, **38**( 3): 641—651.
- [ 14 ] Tajinder Manku *et al.*, IEEE Trans. Electron Devices, 1992, **39**( 9): 2082—2089.
- [ 15 ] D. Rosenfeld and S. A. Alterovitz, Solid State Electronics, 1994, **37**( 10): 119—126.
- [ 16 ] D. L. Harame *et al.*, IEEE Trans. Electron Devices, 1995, **42**( 3): 455—467.
- [ 17 ] H. Kroemer, Proc. IEEE 70, 1982, 13—15.