

# 非掺半绝缘 GaAs 晶体中位错 作用的初步研究

莫培根 吴巨 李寿春 詹千宝 杨金华

(中国科学院上海冶金研究所)

1985年8月12日收到

## 一、引言

由于 GaAs 高速集成电路的发展,非掺半绝缘 GaAs 晶体受到很大的重视。高压 LEC 法生长的圆形大直径衬底,并与直接离子注入技术相结合,已普遍认为是制备 IC 的可行技术。目前,从富砷熔体的高压 LEC/PBN 法生长热稳定性良好的半绝缘晶体的工艺,已日趋成熟<sup>[1]</sup>。晶体生长的研究重点已逐渐转移至完整性和均匀性方面<sup>[2]</sup>。因此,我们在研究生长低位错晶体的同时,初步考察了晶体的位错密度 (EPD) 与漏电流 ( $I_L$ )、深能级位置及离子注入后制备的 FET 的源漏电流 ( $I_{DS}$ ) 的一些关系,目的在于加深了解晶体生长条件对材料特性的影响。

## 二、实验和结果

实验用的试样为低压 ( $\sim 3\text{atm}$ ) LEC 法及 LEF 法<sup>[3]</sup>,在石英坩埚中生长的 (100) 晶体。晶体直径 35~50mm,经熔融 KOH 腐蚀显示位错,典型的 LEC 法的 EPD  $> 10^4 \text{ cm}^{-2}$ ;LEF 法的  $\leq 10^4 \text{ cm}^{-2}$ 。两种晶体的电阻率均  $\geq 10^7 \Omega\text{-cm}$ 。

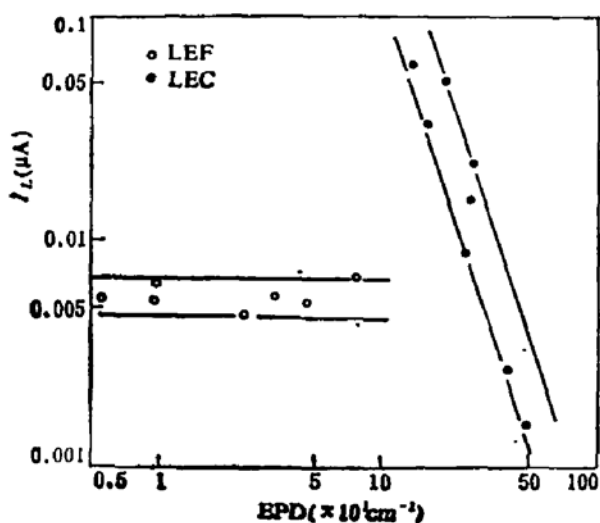


图1 LEC及LEF晶体的  $I_L$  与 EPD 关系

### 1. EPD 与 $I_L$ 的关系

图1为两探针法在1000伏无光照下测定的  $I_L$  与 EPD 的关系。从图1可以清楚地看出,高 EPD 的 LEC 晶体,EPD 与  $I_L$  成反比;而较低 EPD 的 LEF 晶体,  $I_L$  与 EPD 不存在明显的依赖关系。

不少研究工作已证明 EPD 与深电子陷阱 EL2 存在平行关系<sup>[4,5]</sup>,而  $I_L$  则与电子陷阱密度成反比<sup>[6]</sup>,即

$$\text{EPD} \propto I_L^{-1} \propto \text{深陷阱密度}$$

由此,图 1 的结果显然意味着,低 EPD 的 LEF 晶体中的主要深陷阱,将与 LEC 的高 EPD 晶体有所不同。

## 2. EPD 及生长条件与主要深能级的关系

采用 PITS 法及变温 Hall 法测定了不同生长条件的晶体的主要深能级,结果列于表 1。

从表 1 可见,由于测试方法的不同,可以认为 PITS 测定的 0.73 eV 与 0.59 eV 分别与变温 Hall 的 0.79 eV 及 0.65 eV 相当。前者即一般认定的 EL2; 后者与 Oliver 等<sup>[7]</sup>提出的在湿 B<sub>2</sub>O<sub>3</sub> 中生长的半绝缘晶体的主要深能级为 0.65 eV 相符。

表 1 各种试样的深能级测试结果

试样	生长方法	B <sub>2</sub> O <sub>3</sub> 在 800~900℃脱水时间	平均 EPD (cm <sup>-2</sup> )	EPD 分布形状	主要深能级位置(eV)	
					PITS	变温 Hall
LSI-51	LEF	30分	<8×10 <sup>3</sup>	U	0.59	0.65
LSI-65	LEC	65分	10 <sup>4</sup> ~10 <sup>5</sup>	W	0.73,0.90	0.79
LSI-69	LEF	60分	≤10 <sup>4</sup>	W	0.59,0.73	

表 1 的结果表明, EL2 或 0.65 eV 的形成,除取决于在干或湿 B<sub>2</sub>O<sub>3</sub> 中生长外<sup>[7]</sup>,也与 EPD 的高低有一定的关系。当 EPD 较低,在一定程度上,晶体中的残余应力已降低到不足以完全控制 EL2 深能级形成时,会出现另一个主要深能级。由于晶体生长时使用石英坩埚,需要借助不完全脱水的 B<sub>2</sub>O<sub>3</sub> 覆盖剂以获得半绝缘性质<sup>[7,8]</sup>。因此,我们认为 0.65 eV 是由过量的剩余氧与 V<sub>Ga</sub> 相互作用而形成的络合物所导致,其组态曾推测为 V<sub>Ga</sub>O<sub>i</sub>V<sub>Ga</sub><sup>[9]</sup>。至于 PITS 测定的 LSI-65 试样中出现较弱的 0.90 eV 峰,是否与 Cr 有关,有待进一步证明。

## 3. EPD 与 FET 特性的均匀性的关系

部分 (100) 试样用 Si 离子双重注入制备 FET,注入剂量为 3.5×10<sup>12</sup> 和 8×10<sup>12</sup>cm<sup>-2</sup>,能量分别为 110 和 50 keV。注入后,在氢气气氛下,用高纯石英片覆盖试样,在 800℃退火 30 分钟。FET 的源漏距离、栅长及栅宽分别为 4、1.2 和 300 μm。FET 的间距为 400 μm。

表 2 为衬底的 EPD 与 FET 的平均  $\bar{I}_{DS}$ , 标准偏差 SD 及相对标准偏差百分数 RSD% 的数据。表 2 中的 RSD% 可以看作是衡量材料均匀性的一个标志。

表 2 衬底的 EPD 与 Si 离子注入 FET 的  $I_{DS}$  的均匀性

试样	EPD(cm <sup>-2</sup> )	测定数目	$I_{DS}$		
			$\bar{I}_{DS}(\text{mA})$	SD(mA)	RSD%
LSI-21头	2×10 <sup>4</sup>	155	204.6	25.7	12.6
LSI-21尾	7.2×10 <sup>4</sup>	149	187.6	32.5	17.3
LSI-30头	3×10 <sup>3</sup>	217	176.8	7.9	4.5
LSI-30尾	5×10 <sup>4</sup>	188	105.6	15.2	14.3

表 2 结果清楚地表明, FET 特性的均匀性与衬底 EPD 密切相关。随 EPD 的下降,

均匀性得到提高。这可以用位错的 Cottrell 效应来解释,即在位错附近的点缺陷或杂质的再分布所引起。

### 三、结 语

从非掺半绝缘 GaAs 的 EPD 与  $I_L$  的关系以及深能级测定的结果,表明在不充分脱水的  $B_2O_3$  中生长的晶体,当 EPD 足够低时能出现与 EL2 不同的主要深能级。实验结果还表明,低 EPD 晶体经离子注入制备的 FET 的均匀性有所改善。因此,研究低位错或无位错晶体生长,生长条件(如不同的应力状态及热过程)与材料性能的相互关系,将有重要意义。

邹元熾教授对本工作提出许多宝贵意见;乔慵、梁琦、陈正绣及钟金权同志分别进行了离子注入,漏电流、变温 Hall 及 PITS 测定,谨此致谢。

### 参 考 文 献

- [1] D. E. Holmes, R. T. Chen, K. R. Elliott and Kirkpatrick, *Appl. Phys. Lett.*, 40, 46(1982).
- [2] 莫培根, 稀有金属(国外版), 4, 45(1985).
- [3] 吴巨、杨金华、李寿春、莫培根, 稀有金属, 8, 48(1984).
- [4] G. M. Martin, G. Jacob, A. Goltzene, C. Schwab and G. Poiblaud, 1981 Proc. 11th Conf. on Defects and Radiation Effects in Semiconductors (Inst. Phys. Conf. Ser. No. 59) p. 281.
- [5] D. E. Holmes and R. T. Chen, *J. Appl. Phys.* 55, 3588(1984).
- [6] S. Miyazawa, T. Mizutani and Yamazaki, *Japn. J. Appl. Phys. Lett.*, 21, L542(1982).
- [7] J. R. Oliver, R. D. Fairman and R. T. Chen, *Electron. Lett.*, 17, 839(1981).
- [8] 杨金华、李寿春、莫培根, 第二届全国微波、光电器件及化合物材料会议论文集(1982, 昆明). p. 15.
- [9] Mo Peigen, Wu Ju, Zou Yuanxi, Yang Jinhua and Li Shouchun. Proc. Semi-Insulating III-V Materials Cinf. Koh-nee-ta, Warm Spring, OR., 1984 (Shiva, Nantwick, 1984) p. 134.

## Preliminary Study on the Role of Dislocation in Undoped Semi-Insulating GaAs Crystals

Mo Peigen, Wu Ju, Li Shouchun, Zhan Qianbao and Yang Jinhua  
(Shanghai Institute of Metallurgy, Academia Sinica)

### Abstract

The effect of EPD on the  $I_L$ , deep trap levels characterized by PITS and Hall measurement at different temperatures and the uniformity evaluated from the  $I_{DS}$  of FET fabricated by Si ion implantation in undoped SI GaAs crystals grown by LEC and LEF method have been studied. It is found that the  $I_L$  is inversely proportional to EPD for the high EPD wafers, whereas no such a relationship exists when the EPD in LEF wafers is low enough. This result in conjunction with the main deep trap level measurements show that the deep trap level in the low EPD wafers should be different from EL2 observed in the conventional LEC ones. The effect of EPD on the variation of  $I_{DS}$  of FET has also been found. The result shows that the lower value of EPD may help to improve the electrical uniformity of undoped SI GaAs crystals.