

SOI 结构中的薄体效应

王守武 夏永伟 孔令坤 张冬萱

(中国科学院半导体研究所)

1984年2月20日收到, 10月31日收到修改稿

本文使用计算机模拟技术, 研究了 SOI 结构中各部分的电势分布和载流子分布。模拟结果表明: 对于有均匀掺杂的 P 型再结晶硅膜的 SOI 结构, 当硅膜厚度小于相应的最大耗尽层厚度时, 会出现“薄体效应”。它表现为: 在内层氧化层厚度一定时, 再结晶膜愈厚, 阈电压愈高; 在再结晶膜厚度一定时, 内层氧化层愈厚, 阈电压愈低, 最后达到一个定值, 与内层氧化层的厚度无关。正界面电荷进一步降低了由 P 型再结晶膜构成的 SOI 结构的阈电压。模拟计算表明, 为使 SOI 结构不出现薄体效应, 设计原则就是使适当掺杂的再结晶膜厚度大于最大耗尽层厚度。在硅膜厚度小于最大耗尽层厚度时, 为使薄体效应的影响减小, 应该采用比较低的硅膜掺杂浓度, 比较厚的内层氧化硅层。模拟计算表明, 利用薄体效应, 可以形成以单晶硅为衬底的, 阈电压较低的新型薄膜 MOS 晶体管。模拟计算还表明, 对于薄硅膜的 SOI 结构, 用耗尽层近似推出的阈电压公式是一个简单和比较准确的公式。

一、引言

随着大规模和超大规模集成电路的发展, 要求进一步提高 MOS 集成电路的速度和集成度。MOS 元件除了进一步缩短沟道长度和减小沟道宽度外, 还有向多层结构(三维集成电路)发展的趋势^[1]。用二氧化硅或其他绝缘膜把器件的硅隔离起来, 在绝缘膜上形成单晶硅膜, 再在硅膜上做成器件, 这就是三维集成电路的基本设想。采用激光退火再结晶技术形成的 SOI 结构是这种结构中最简单的一种。实验上已有不少工作研究了这种结构^[2,3], 但结构参数对器件性能有何影响未见报道。我们认为, 若能从器件物理的角度研究一下在这样的结构中, 有些什么新现象, 对二氧化硅和硅膜厚度有什么限制, 进而找到它们可取的最佳值, 这是非常必要的。

随着计算机的发展和应用, 计算物理已成为物理学的一个重要分支。半导体器件模拟的一个作用就是, 根据正确的物理假设, 通过数值计算, 理解已有的实验结果或预示器件的性能。它的一个特点就是可以把各种因素分开来研究, 而实验却是各种因素夹杂在一起, 无法分开的。本文的作者采用计算机模拟技术, 曾经研究了硅衬底(硅体)厚度和背接触势垒高度对 MOS 电容器性能的影响^[4], 而 SOI 结构或多层结构又有所不同。本文的着眼点并不是讨论形成这种结构的工艺问题, 而是从器件物理的理论角度出发, 对于金属-二氧化硅-硅膜-内层二氧化硅-硅衬底-金属结构, 或通常的激光退火再结晶技术形成的 SOI 结构, 采用计算机模拟技术, 研究硅膜厚度、内层二氧化硅层厚度和二氧化硅-硅界面电荷对器件性能(特别是对薄体结构的器件性能)的影响。这对于制作这类结构的器件

和发展三维集成电路将有一定的指导作用。

二、器件结构和基本方程

本文以 SOI 结构为研究对象,但结论是有普遍意义的。

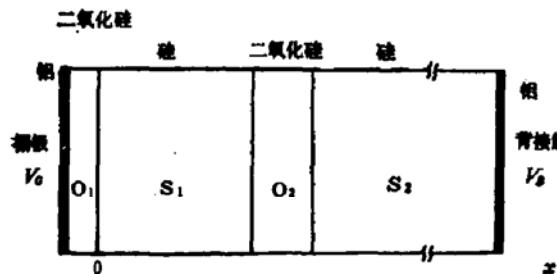


图 1 SOI 结构的示意图

用激光退火再结晶技术形成的 SOI 结构通常是这样制作的: 先在很厚的 P 型硅衬底上热生长一层二氧化硅(设其厚度 T_{x1} 为 5000 Å), 我们称它为内层二氧化硅, 再在二氧化硅上淀积一层多晶硅, 并光刻成一定图形。用激光退火再结晶技术使多晶硅成为单晶(或比较大的单晶粒), 我们称之为硅膜, 设其厚度为 Y_{Si} 。然后把它作为常规 MOS 工艺

中的“衬底”。我们研究的是在其上做 MOS 电容器, 并以铝作为正面和背面接触的情况。我们记栅氧化层厚度为 T_{x1} 。这样的结构实际上是一个 $MO_1S_1O_2S_2M$ 结构(图 1)。这里用 O_1 、 S_1 、 O_2 和 S_2 来分别标记各层。

对于这样的结构, 考虑一维情况, 基本方程为:

$$\begin{aligned} \frac{d^2\phi}{dx^2} &= -\frac{q}{\epsilon_0\epsilon_{Si}} (N_D - N_A + p - n), \quad \text{在 } S_1 \text{ 和 } S_2 \text{ 中} \\ \frac{d^2\phi}{dx^2} &= 0, \quad \text{在 } O_1 \text{ 和 } O_2 \text{ 中} \end{aligned} \quad (1)$$

式中 ϕ 为电势; $N_D - N_A$ 为离化杂质浓度, 我们假设室温下杂质全部离化; n 和 p 分别为电子和空穴密度; q 为电子电荷; ϵ_0 为真空介电常数, ϵ_{Si} 为硅的相对介电常数。 x 为坐标, 原点取在 M-O₁ 界面上。这样的结构没有电流流过, 处于热平衡状态, 即空穴和电子密度分别为

$$\begin{aligned} p &= n_i e^{\frac{q(\psi - \phi_F)}{kT}}, \\ n &= n_i e^{\frac{-q(\phi_F - \psi)}{kT}}. \end{aligned} \quad (2)$$

式中 n_i 为本征载流子密度, ϕ_F 为费米电位, k 为玻尔兹曼常数, T 为绝对温度。

对于 SiO₂-Si 界面, 电势连续, 电场不连续, 依照高斯定律分别有:

$$\begin{aligned} \epsilon_0 \epsilon_{ox} \left. \frac{d\phi}{dx} \right|_{SiO_2} - \epsilon_0 \epsilon_{Si} \left. \frac{d\phi}{dx} \right|_{Si} &= qD_{St1} \quad \text{在 } O_1-S_1 \text{ 界面上} \\ \epsilon_0 \epsilon_{Si} \left. \frac{d\phi}{dx} \right|_{Si} - \epsilon_0 \epsilon_{ox} \left. \frac{d\phi}{dx} \right|_{SiO_2} &= qD_{St2} \quad \text{在 } S_1-O_2 \text{ 界面上} \\ \epsilon_0 \epsilon_{ox} \left. \frac{d\phi}{dx} \right|_{SiO_2} - \epsilon_0 \epsilon_{Si} \left. \frac{d\phi}{dx} \right|_{Si} &= qD_{St3} \quad \text{在 } O_2-S_2 \text{ 界面上} \end{aligned} \quad (3)$$

式中 D_{St1} 、 D_{St2} 、 D_{St3} 分别为界面 O₁-S₁、S₁-O₂ 和 O₂-S₂ 上的有效界面电荷密度。由于硅衬底 S₂ 很厚, 背界面金属与硅衬底的接触势垒完全可以不予考虑^[4], 亦即硅衬底 S₂ 体内满足电中性条件。以此作为边界条件, 即

$$\phi = 0 \quad \text{在 } S_2 \text{ 体内} \quad (4)$$

这是电势的参考零点。在 M-O₁ 界面上, 电势

$$\phi = V_G - V_{GC} - V_N. \quad (5)$$

式中 V_G 为栅和衬底电极之间的外加电压, V_{GC} 为铝与硅膜 S_1 之间的接触电势, 参见文献 [4]

$$V_{GC} = \begin{cases} -0.88 - 0.06 \times (\log |N_D - N_A| - 15) & \text{对 P 型硅 } S_1 \\ -0.31 + 0.06 \times (\log |N_D - N_A| - 15) & \text{对 N 型硅 } S_1 \end{cases} \quad (6)$$

V_N 为硅膜与硅衬底掺杂浓度不同引起的内建势

$$V_N = \pm \frac{kT}{q} \ln \frac{N_{B1}}{N_{B2}}, \quad (7)$$

对 P 型硅膜和 P 型衬底取“-”号, 对 N 型硅膜和 N 型衬底取“+”号。方程 (1)–(7) 完全确定了这种 MOSOSM 结构的状态。

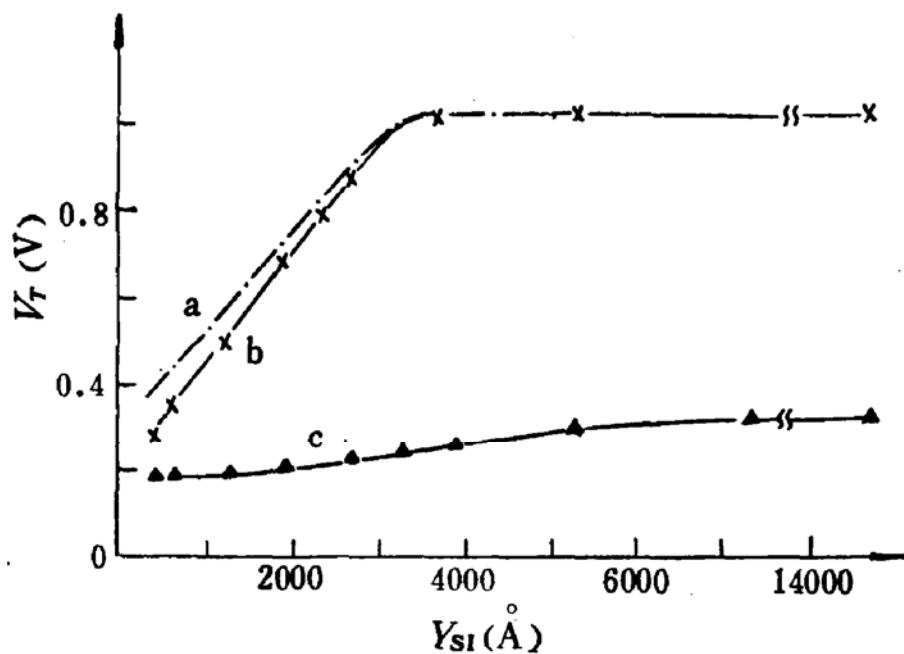
我们采用的方法, 具体计算步骤和收敛标准与文献 [4] 完全相同。我们利用自己建立和扩充的 MOSCA1 程序^[5], 进行了计算机模拟。

三、模拟结果和讨论

我们研究了 P 型硅膜和 P 型硅衬底的 SOI 结构, 假设它们的掺杂浓度分别为 N_{B1} 和 N_{B2} 。我们把 O₁-S₁ 界面一侧的电势即硅膜的表面势 ϕ_{S1} 等于 $2\phi_F$, 也就是表面少子密度等于硅膜多子密度 N_{B1} , 定义为强反型开始。我们先假设界面电荷密度 $D_{S11}, D_{S12}, D_{S13}$ 都为零, 讨论阈电压 V_T 与硅膜厚度 Y_{S1} 和内层二氧化硅厚度 T_{X2} 的关系, 然后再简单叙述界面电荷的影响。我们假设栅氧化层厚度 O₁ 的厚度 T_{X1} 为 1000 Å。

1. 阈电压 V_T 与硅膜厚度 Y_{S1} 的关系

阈电压 V_T 与硅膜厚度 Y_{S1} 的关系见图 2。与掺杂浓度 $8 \times 10^{15}/\text{cm}^3$ 相应的最大耗尽层厚度 X_{dM} 约为 3300 Å。从图 2 曲线 a 看出在硅膜厚度 Y_{S1} 比最大耗尽层厚度 X_{dM} 小时, Y_{S1} 越大, V_T 越大。当 Y_{S1} 大于 X_{dM} 时, V_T 趋近于一个恒定值 1.02 V。这种 V_T 与 Y_{S1} 有关的现象, 我们称它为“薄体效应”。这与文献 [4] 中讨论的没有内层氧化层的“薄衬底”情况不同。在那里, V_T 除与 Y_{S1} 有关外, 还与背接触势垒高度有关, 总的趋势是 Y_{S1} 越小, V_T 越大。那是由于 Y_{S1} 很小时, 二氧化硅层上压降增大, 使硅表面势下降, 引起 V_T 上升^[4]。在 SOI 结构中, 电势分布有所不同, 见图 3(a)。在两个氧化层中, 电势都是线性分布(曲线 1 和 3)。各部分电压分配见表 1。表 1 中 V_1 是二氧化硅层 O₁ 上的压降, V_{S1} 是在硅膜 S₁ 上的压降, V_2 是在内层二氧化硅层 O₂ 上的压降。图 3(b) 中给出了 $V_G = 0.5 V$ 时, 硅膜表面势 ϕ_{S1} 和 ϕ_{S2} 与硅膜厚度 Y_{S1} 的关系。其中 ϕ_{S1} 是在 O₁-S₁ 界面上的硅表面势, ϕ_{S2} 是在 S₁-O₂ 界面上的表面势。我们看到, 硅膜厚度 Y_{S1} 越薄, 表面势 ϕ_{S1} 和 ϕ_{S2} 越高。这就是呈现薄体效应的原因。反过来, 当硅膜厚度 Y_{S1} 大于最大耗尽层厚度 X_{dM} 时, 在内层二氧化硅 O₂ 上和硅衬底 S₂ 上几乎没有电压降, 所有电势几乎都落在二氧化硅层 O₁ 和硅膜 S₁ 上。这时电势分配(因而表面势 ϕ_{S1}) 与厚度 Y_{S1} 无关, 亦即阈

图 2 阈电压 V_T 与硅膜厚度 Y_{Si} 的关系

$T_{X_1}=0.1\mu m$, $T_{X_2}=0.12\mu m$. 曲线 a: $N_{B_1}=N_{B_2}=8\times 10^{15}/cm^3$; 曲线 b: $N_{B_1}=8\times 10^{15}/cm^3$, $N_{B_2}=2\times 10^{15}/cm^3$; 曲线 c: $N_{B_1}=2\times 10^{15}/cm^3$, $N_{B_2}=8\times 10^{15}/cm^3$

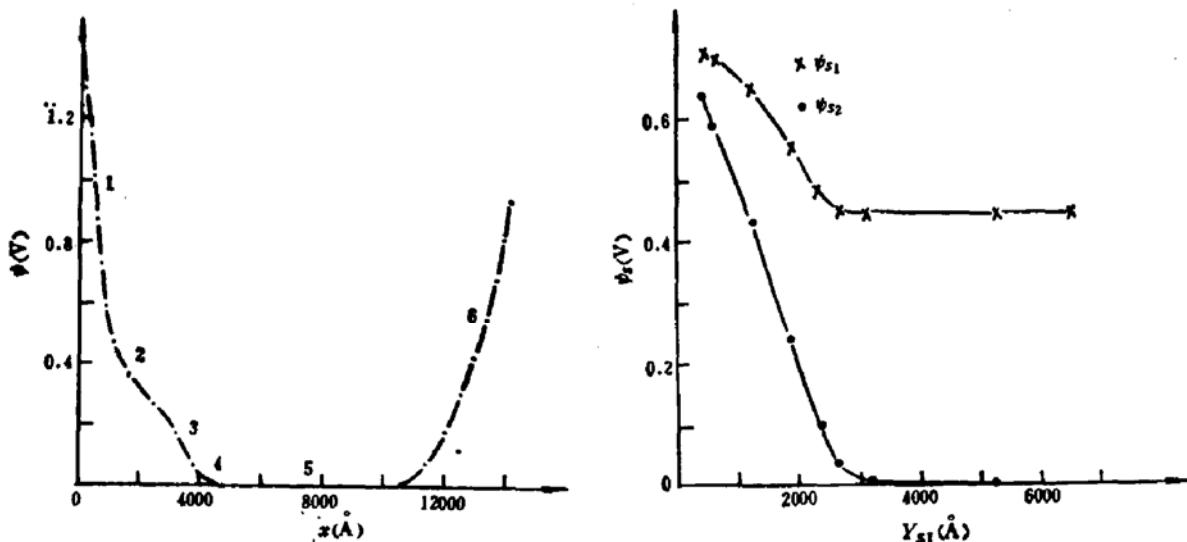


图 3 (a) SOI 结构的电势分布

$T_{X_1}=0.1\mu m$, $T_{X_2}=0.12\mu m$, $N_{B_1}=N_{B_2}=8\times 10^{15}/cm^3$, $V_G=0.5V$, $Y_{Si}=1848\text{ \AA}$

图 3(b) SOI 结构中的表面势 ψ_{S1} 和 ψ_{S2}

$T_{X_1}=0.1\mu m$, $T_{X_2}=0.12\mu m$, $N_{B_1}=N_{B_2}=8\times 10^{15}/cm^3$, $V_G=0.5V$

电压 V_T 与 Y_{Si} 无关。这就是通常的厚衬底情况。这种情况下载流子密度分布由图 3(c) 示出。可以看到在内层二氧化硅层 O_2 两侧，载流子密度分布偏离平衡值很微小，即不存在空间电荷区。在这样的电容器上，积累的电荷很少，因而其上电压降很小。

图 2 中曲线 b 是 $N_{B_1}=8\times 10^{15}/cm^3$ 和 $N_{B_2}=2\times 10^{15}/cm^3$ 的情况，与曲线 a 相比可以看出，只要 N_{B_1} 相同，在 Y_{Si} 很厚时 V_T 值就是相同的。曲线 c 是 $N_{B_1}=2\times 10^{15}/cm^3$ 和 $N_{B_2}=8\times 10^{15}/cm^3$ 的情况。由于 N_{B_1} 比较小，因而 V_T 也较小。这是理所当然的事。

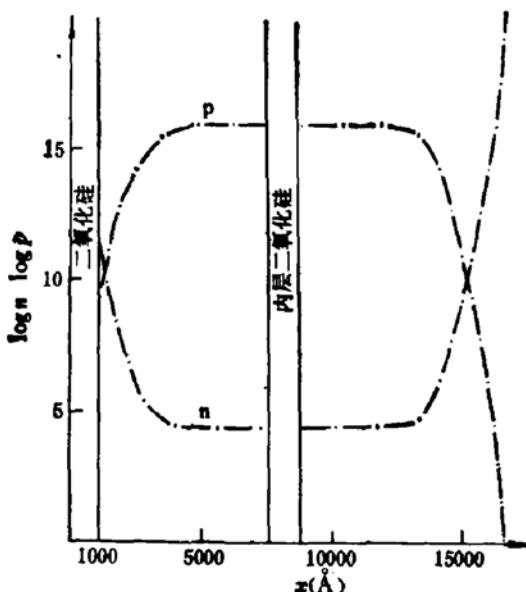


图 3(c) SOI 结构的载流子密度分布

$Y_{SI} = 0.65\mu m$, $T_{X1} = 0.1\mu m$, $T_{X2} = 0.12\mu m$, $N_{B1} = N_{B2} = 8 \times 10^{11}/cm^3$, $V_G = 0.5V$

表 1

硅膜厚度(Å)	407	628	1227	1848	2312	2652	3228	3859	4437	5242	5672	14718
V_t (V)	0.7246	0.7350	0.7855	0.8783	0.9507	0.9815	0.9895	0.9901	0.9902	0.9902	0.9902	0.9902
V_{S1} (V)	0.0730	0.1115	0.2162	0.3159	0.3838	0.4172	0.4363	0.4419	0.4433	0.4437	0.4438	0.4438
V_s (V)	0.5264	0.4910	0.4685	0.2096	0.0879	0.0314	0.0073	0.0018	0.0004	0.0001	0.0000	0.0000

在这种情况下, X_{dM} 比较大, 出现薄体效应的硅膜厚度范围较大, 但是 V_t 的变化值却比较小。这就告诉我们, 在硅膜厚度 Y_{SI} 小于最大耗尽层厚度 X_{dM} 时, 采用比较低的 N_{B1} , 可使薄体效应的影响减小。

2. 阀电压 V_t 与内层二氧化硅厚度 T_{X2} 的关系

内层二氧化硅厚度 T_{X2} 对薄体效应有明显的影响。我们先讨论不同内层氧化层厚度对薄体效应的影响。图 4 给出了 $T_{X2} = 0.12\mu m$ 和 $T_{X2} = 0.5\mu m$ 两种情况下 V_t 与 Y_{SI} 的关系。对比之下, $T_{X2} = 0.5$ 微米的情况, 薄体效应更为明显, 即当 Y_{SI} 小于 X_{dM} 时, 对同样的 Y_{SI} , T_{X2} 愈大, V_t 愈小。表 2 给出了 $T_{X2}=0.5\mu m$ 的 SOI 结构中各部分电压的分配。从表 2 再次看到, 在 Y_{SI} 很厚时, 内层二氧化硅 O_2 和硅衬底 S_1 上基本无电压降。与表 1 相比, 对同样的 Y_{SI} , T_{X2} 愈大, O_2 上压降愈大, 降低了 O_1 上和 S_1 上的电压降, 而表面势 ϕ_{S1} 和 ϕ_{S2} 也都增大。例如, $Y_{SI} = 407\text{ }\text{\AA}$, $V_G = 0.5V$ 时, ϕ_{S2} 为 $0.687V$, 超过了 $2\phi_F$, 使整个硅膜都成为反型层。图 5 给出了 SOI 结构和通常的 MOS 结构中的少数载流子密度分布。对于同样的栅压 V_G ($0.8V$), SOI 结构的硅膜已完全反型, 而 MOS 结构尚未达到强反型状态。由此, 我们可以用 SOI 结构来得到新型的有较低阀电压的薄膜 MOS 器件。

模拟结果也表明, 当 Y_{SI} 大于 X_{dM} 时, 空间电荷区完全在再结晶区内, V_t 与内层氧

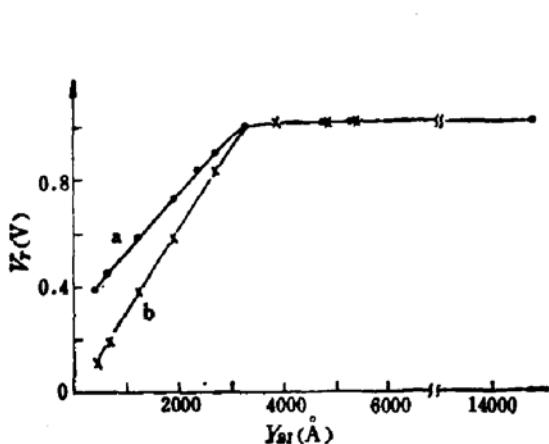


图4 不同内层氧化层厚度下，阈电压与硅膜厚度的关系

$T_{X1} = 0.1\mu m$, $N_{B1} = N_{B2} = 8 \times 10^{15}/cm^3$,
曲线 a: $T_{X2} = 0.12\mu m$
曲线 b: $T_{X2} = 0.5\mu m$

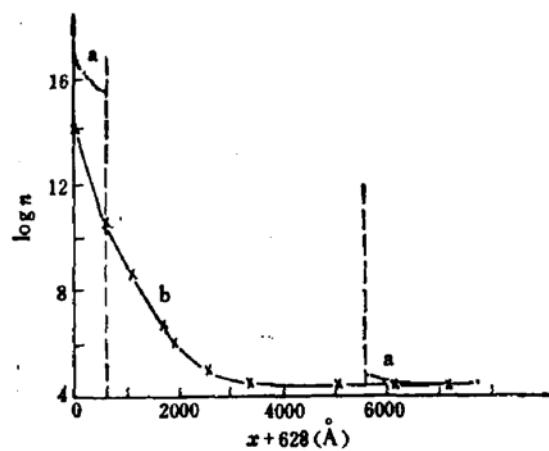
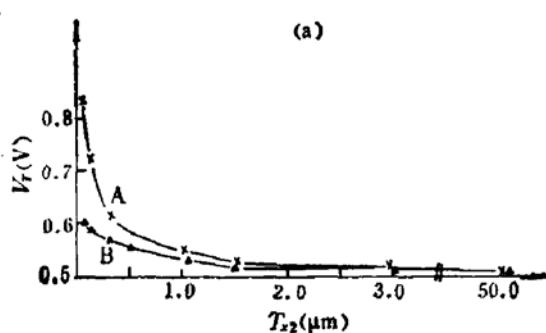
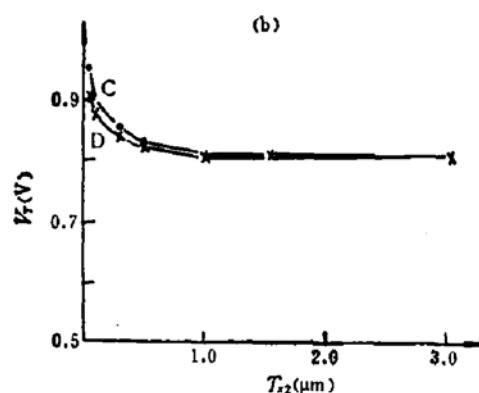


图5 SOI 结构和通常的 MOS 结构中的少子密度分布 $V_G = 0.8V$

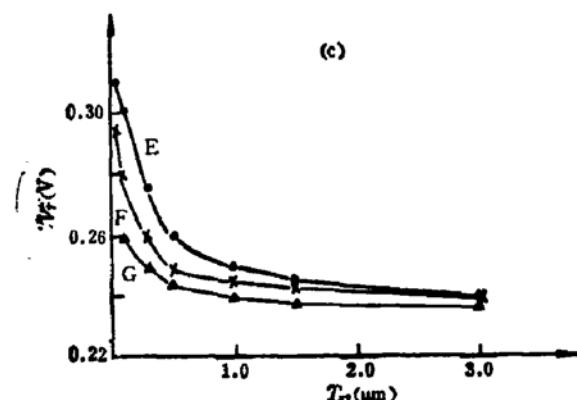
曲线 a: SOI 结构, $T_{X1} = 0.1\mu m$, $T_{X2} = 0.5\mu m$,
 $N_{B1} = N_{B2} = 8 \times 10^{15}/cm^3$
曲线 b: MOS 结构, $T_X = 0.1\mu m$, $N_B = 8 \times 10^{15}/cm^3$



(a) $Y_{Si} = 1848\text{ Å}$, $T_{X1} = 0.1\mu m$,
 $N_{B1} = 8 \times 10^{15}/cm^3$,
曲线 A: $N_{B2} = 8 \times 10^{15}/cm^3$
曲线 B: $N_{B2} = 1 \times 10^{15}/cm^3$



(b) $Y_{Si} = 2652\text{ Å}$, $T_{X1} = 0.1\mu m$,
 $N_{B1} = 8 \times 10^{15}/cm^3$,
曲线 C: $N_{B2} = 8 \times 10^{15}/cm^3$
曲线 D: $N_{B2} = 1 \times 10^{15}/cm^3$



(c) $Y_{Si} = 5242\text{ Å}$, $T_{X1} = 0.1\mu m$, $N_{B1} = 2 \times 10^{15}/cm^3$
曲线 E: $N_{B2} = 8 \times 10^{15}/cm^3$; 曲线 F: $N_{B2} = 2 \times 10^{15}/cm^3$, 曲线 G: $N_{B2} = 1 \times 10^{15}/cm^3$

图6 阈电压 V_T 与内层二氧化硅层厚度 T_{X2} 的关系

表 2

硅膜厚度(Å)	407	628	1227	1848	2312	2652	3228	3859	4437	5242	5672	14718
V_t (V)	0.7001	0.7073	0.7238	0.7888	0.9129	0.9776	0.9894	0.9901	0.9902	0.9902	0.9902	0.9902
V_{Si} (V)	0.0465	0.0696	0.1447	0.2569	0.3560	0.4123	0.4356	0.4427	0.4432	0.4437	0.4438	0.4438
V_2 (V)	0.6648	0.6371	0.5474	0.3763	0.1611	0.0428	0.0089	0.0014	0.0005	0.0001	0.0000	0.0000

化层厚度 T_{X2} 无关。

图 6 说明在 Y_{Si} 小于 X_{dM} 时, 阈电压 V_T 与内层二氧化硅层厚度 T_{X2} 的关系。从图 6(a) 可以看出, Y_{Si} 小于 X_{dM} 时, 随着 T_{X2} 增大, 阈电压 V_T 下降, 但最后都达到一个饱和值 0.5V, 而且在 T_{X2} 大于 1.0 μm 后, V_T 已基本上与 N_{B2} 无关。图 6(b) 给出 $Y_{Si}=2652$ Å 的结果。这个结果与 6(a) 类似, 但饱和值是 0.8 V。可见饱和值的大小与硅膜厚度 Y_{Si} 有关。从图 6(a) 与图 6(b) 也可看出, Y_{Si} 小于 X_{dM} 时, N_{B2} 愈小, V_T 变化量愈小。我们认为, 使 T_{X2} 薄到 0.05 或 0.12 μm 是不可取的, 因为这样在工艺上出现的氧化硅厚度的微小偏差, 将会引起 V_T 的很大差别。因此, 对薄体结构, 采用较大的 T_{X2} 有利于减小 Y_{Si} 引起的 V_T 差别。图 6(c) 指出了 $Y_{Si}=5242$ Å, $N_{B1}=2 \times 10^{15}/\text{cm}^3$ 的结果, 它与图 6(a)、(b) 的结果完全相同。从图 6(a)、(b) 和 (c) 可见, 当 N_{B1} 相同时, N_{B2} 愈小, 阈电压 V_T 的变化愈小。还值得指出的是, N_{B1} 较小, 薄体效应引起的阈电压变化量是比较小的, 不同的 N_{B2} 造成的 V_T 差别也是很小的。因此, 在选择器件几何尺寸时, 有必要选择比较大的 Y_{Si} , 比较小的 N_{B1} , 加上比较大的 T_{X2} , 这样薄体效应的影响较小。

3. 阈电压与界面电荷的关系

在通常的 MOS 结构中, 只有 O_1-S_1 界面上的电荷是有影响的。在 SOI 多层结构中, O_1-S_1 界面、 S_1-O_2 界面和 O_2-S_2 界面上的电荷都对 S_1 中的电势分布有贡献, 必须考虑这些电荷对 V_T 的影响^[6]。这里简单叙述一下当 Y_{Si} 小于 X_{dM} 时, 界面电荷的影响。

对于 $T_{X1}=0.1\mu\text{m}$, $T_{X2}=0.12\mu\text{m}$, $Y_{Si}=1848$ Å, $N_{B1}=N_{B2}=8 \times 10^{15}/\text{cm}^3$ 的 SOI 结构, 我们针对常规工艺能达到的水平进行了模拟。结果见表 3。可以看出, 正界面电荷使阈电压 V_T 向负的方向变化, 其中 $D_{S11}=5 \times 10^{10}/\text{cm}^2$, $D_{S12}=D_{S13}=0$, 阈电压 V_T 降低了 0.24 V。这与通常厚膜情况下, 用公式 $\Delta V_{FB}=qD_{S11}/C_0$ 计算的结果完全相同。此外, 在上列界面电荷密度值, 三个界面上的电荷的作用是孤立的, 结果可以迭加。例如, 当 $D_{S11}=D_{S22}=5 \times 10^{10}/\text{cm}^2$, $D_{S12}=1 \times 10^{11}/\text{cm}^2$ 时, 阈电压 V_T 总降低量为 0.60 V, 正好是 $D_{S11}=5 \times 10^{10}/\text{cm}^2$, $D_{S22}=D_{S33}=0$ 和 $D_{S12}=1 \times 10^{11}/\text{cm}^2$, $D_{S22}=D_{S33}=0$ 以及

表 3

界面电荷 ($1/\text{cm}^2$)	D_{S11}	0	0	5×10^{10}	0	5×10^{10}
	D_{S12}	0	0	0	1×10^{11}	1×10^{11}
	D_{S13}	0	5×10^{10}	0	0	5×10^{10}
阈电压 (V)	V_T	0.73	0.69	0.49	0.41	0.13
	$V_T - V_T(0, 0, 0)$		0.04	0.24	0.32	0.60

$D_{st3} = 5 \times 10^{10}/\text{cm}^2$, $D_{st1} = D_{st2} = 0$ 三种情况下 V_T 的降低量 0.04 V, 0.24V 和 0.32 V 之和。

对于 MOSOSM 结构, 在硅膜厚度比最大耗尽层厚度大时, 阀电压可用通常的 MOS 结构的公式来计算。在硅膜厚度比最大耗尽层厚度小时, 由耗尽层近似, 可以推导出阀电压的分析表达式(见附录)。

$$V_T = V_{FB} + 2\phi_F - \frac{qT_{X1}}{\epsilon_0\epsilon_{ox}} \left[(N_{B2} - N_{B1})Y_{SI} + \frac{\epsilon_{Si}}{\epsilon_{ox}} N_{B2} T_{X2} \right. \\ \left. - \epsilon_0\epsilon_{Si} N_{B2} \sqrt{\frac{T_{X2}^2}{\epsilon_0^2\epsilon_{ox}^2} + \frac{2Y_{SI}T_{X2}}{\epsilon_0^2\epsilon_{ox}\epsilon_{Si}} + \frac{Y_{SI}^2}{\epsilon_0^2\epsilon_{Si}^2} \left(1 - \frac{N_{B1}}{N_{B2}}\right) + \frac{4\phi_F}{\epsilon_0\epsilon_{Si}qN_{B2}}} \right].$$

对于 $N_{B1} = N_{B2}$ 的特殊情况,

$$V_T = V_{FB} + 2\phi_F - \frac{qT_{X1}}{\epsilon_0\epsilon_{ox}} \left[\frac{\epsilon_{Si}}{\epsilon_{ox}} N_{B2} T_{X2} \right. \\ \left. - \epsilon_0\epsilon_{Si} N_{B2} \sqrt{\frac{T_{X2}^2}{\epsilon_0^2\epsilon_{ox}^2} + \frac{2Y_{SI}T_{X2}}{\epsilon_0^2\epsilon_{ox}\epsilon_{Si}} + \frac{4\phi_F}{\epsilon_0\epsilon_{Si}qN_{B2}}} \right].$$

令

$$\Delta = \sqrt{\frac{T_{X2}^2}{\epsilon_0^2\epsilon_{ox}^2} + \frac{2Y_{SI}T_{X2}}{\epsilon_0^2\epsilon_{ox}\epsilon_{Si}} + \frac{4\phi_F}{\epsilon_0\epsilon_{Si}qN_{B2}}},$$

V_T 对 Y_{SI} 和 T_{X2} 求偏微商, 得

$$\frac{\partial V_T}{\partial Y_{SI}} = \frac{qN_{B2}}{\Delta} \cdot \frac{T_{X1}T_{X2}}{\epsilon_0^2\epsilon_{ox}^2}, \\ \frac{\partial V_T}{\partial T_{X2}} = -\frac{qT_{X1}}{\epsilon_0\epsilon_{ox}} \left[\frac{\epsilon_{Si}}{\epsilon_{ox}} N_{B2} - \frac{\epsilon_{Si}N_{B2}}{\epsilon_{ox}\Delta} \left(\frac{T_{X2}}{\epsilon_0\epsilon_{ox}} + \frac{Y_{SI}}{\epsilon_0\epsilon_{Si}} \right) \right].$$

其中, $\frac{\partial V_T}{\partial Y_{SI}}$ 恒大于零, 即当 Y_{SI} 增大, V_T 也增大; 对我们研究的情况, $\frac{\partial V_T}{\partial T_{X2}}$ 小于零, 即当 T_{X2} 增大, V_T 减小; 特别是当 T_{X2} 很大时, $\frac{\partial V_T}{\partial T_{X2}} = 0$, 意味着 V_T 与 T_{X2} 无关。这些都是与数值模拟结果一致的。图 7 是用分析表达式计算的 V_T 与 Y_{SI} 和 V_T 与 T_{X2} 的关系。图中连线是数值模拟的结果, 孤立的点(以▲、○和●标记)是由分析表达式计算出来的,

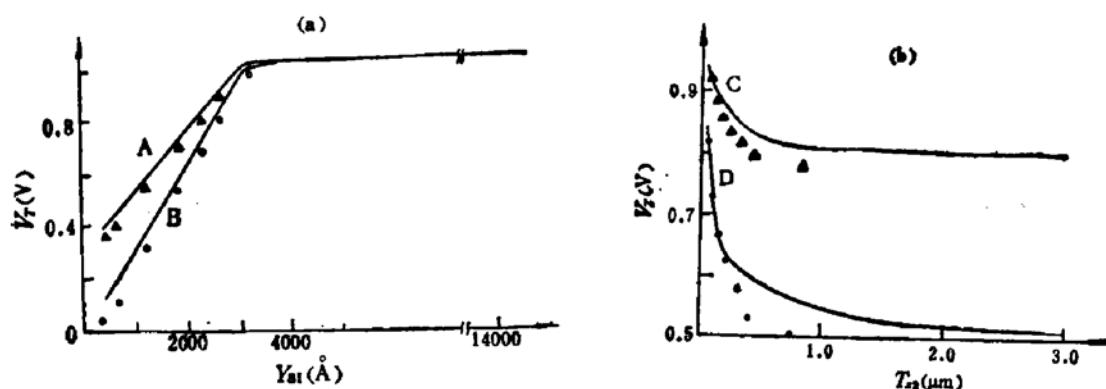


图 7 用分析表达式计算的 V_T 与 Y_{SI} 和 V_T 与 T_{X2} 的关系

图中 $N_{B1} = N_{B2} = 8 \times 10^{10}/\text{cm}^3$, $T_{X1} = 0.1 \mu\text{m}$

(a) 曲线 A: $T_{X2} = 0.12 \mu\text{m}$, 曲线 B: $T_{X2} = 0.5 \mu\text{m}$

(b) 曲线 C: $Y_{SI} = 2652 \text{ Å}$, 曲线 D: $Y_{SI} = 1848 \text{ Å}$

两者符合得相当好, 特别是当 T_{X_2} 较薄时。这表明, 由耗尽层近似推出的阈电压表达式是一个简单、直观, 又有一定准确性的公式。

四、结 论

从以上结果和讨论, 我们得到下列结论:

(1) 对 SOI 结构而言, 在衬底接地电位时, 当一定掺杂浓度的再结晶硅膜厚度 Y_{S_1} 超过最大耗尽层宽度 X_{dM} 时, 将不出现薄体效应。在这种情况下, 内层二氧化硅厚度 T_{X_2} 对阈电压 V_T 值没有影响。阈电压值只与 N_{B_1} 有关, 因而参数可以象普通 MOS 结构那样选择。

(2) 当再结晶硅膜 S_1 厚度 Y_{S_1} 小于最大耗尽层厚度 X_{dM} 时, 阈电压 V_T 与硅膜厚度 Y_{S_1} 和内层二氧化硅层厚度 T_{X_2} 有关, 呈现“薄体效应”。在这种情况下, 当 T_{X_2} 一定时, Y_{S_1} 愈小, 阈电压 V_T 愈小, 而且 V_T 随 Y_{S_1} 变化的速率与 N_{B_1} 有关; 当 Y_{S_1} 一定时, T_{X_2} 愈小, 阈电压 V_T 愈大, 具体数值与 N_{B_1} 和 N_{B_2} 有关。当内层二氧化硅层厚度 T_{X_2} 增厚至 1.0 μm 以上时, V_T 基本上达到一饱和值, 其大小与 N_{B_1} 和 Y_{S_1} 有关。在设计三维结构的器件和集成电路时, 为避免薄体效应, 一种办法是使硅膜厚度大于相应的最大耗尽层厚度; 另一种办法是使用比较小的 N_{B_1} , 比较大的 T_{X_2} , 使薄体效应的影响尽可能小。

(3) 界面电荷对阈电压 V_T 的影响是明显的。考虑到界面电荷的存在, 必须用更厚的硅膜, 才能避免薄体效应。

(4) 对于 MOSOSM 结构, 当硅膜厚度小于最大耗尽层厚度时, 由于内层二氧化硅层的存在, SOI 结构比通常 MOS 结构更容易达到反型, 这表明可以形成新的阈电压较低的薄膜 MOS 晶体管。

(5) 对于 SOI 结构, 当硅膜厚度小于最大耗尽层厚度时, 阈电压可用耗尽层近似推出的公式来计算。

附 录

对于硅膜厚度小于最大耗尽层厚度的 SOI 结构, 假定在强反型开始时, 仍可用耗尽层近似。我们由此可求出阈电压的分析表达式。这里只考虑 P 型硅衬底, 并忽略界面电荷。

在图 1 的结构中, 假设在栅极上加电压 V_G 后, 在硅膜 S_1 中电势降为 V_{S_1} , 单位面积感生电荷为 Q_A 。考虑到硅膜 S_1 中载流子完全耗尽, 有

$$Q_A = -qN_{B_1}Y_{S_1}. \quad (\text{A1})$$

同时, 在硅衬底 S_2 中电势降为 ψ_2 , 单位面积感生电荷为 Q_B 。若最大耗尽层边界位置为 $X = Y_{S_1} + T_{X_2} + X_{dM_2}$, 即离 O_2-S_2 界面的距离为 X_{dM_2} , 与通常 MOS 结构相类似, 有

$$Q_B = -qN_{B_2}X_{dM_2} = -\sqrt{2\epsilon_0\epsilon_{S_2}qN_{B_2}|\psi_2|} \quad (\text{A2})$$

即

$$\psi_2 = \frac{Q_B^2}{2\epsilon_0\epsilon_{S_2}qN_{B_2}}.$$

令 O_1 上单位面积氧化层电容为 C_1 , O_2 上单位面积氧化层电容为 C_2 , 则 $C_1 = \frac{\epsilon_0\epsilon_{ox}}{T_{X_1}}$, $C_2 = \frac{\epsilon_0\epsilon_{ox}}{T_{X_2}}$ 。SOI 结构上栅电压

$$V_G = V_{FB} - \frac{Q_A + Q_B}{C_1} + V_{Si} - \frac{Q_B}{C_2} + \phi_F. \quad (A3)$$

根据通常采用的标准, 当 O_x-S_i 界面上硅表面势

$$\phi_{Si} = V_{Si} - \frac{Q_B}{C_2} + \phi_F = 2\phi_F \quad (A4)$$

时, 认为强反型开始。下面推出强反型开始时 V_{Si} 和 Q_B 的具体表达式, 进而得到阈电压的分析表达式。

在硅衬底区域, 采用耗尽层近似

$$\frac{d^2\phi}{dx^2} = - \frac{qN_{B1}}{\epsilon_0\epsilon_{Si}},$$

积分一次, 得 O_x-S_i 界面上的电场

$$E_z = - \frac{qN_{B1}}{\epsilon_0\epsilon_{Si}} X_{dMz} = \frac{Q_B}{\epsilon_0\epsilon_{Si}}.$$

忽略界面电荷, 考虑到内层氧化层中电场均匀, 则 S_i-O_x 界面上电场亦等于 E_z 。

同样, 对硅膜 S_i 有

$$\frac{d^2\phi}{dx^2} = - \frac{qN_{B1}}{\epsilon_0\epsilon_{Si}},$$

得电场分布

$$E = \frac{Q_B}{\epsilon_0\epsilon_{Si}} + \frac{qN_{B1}}{\epsilon_0\epsilon_{Si}} Y_{Si} - \frac{qN_{B1}}{\epsilon_0\epsilon_{Si}} X.$$

硅膜 S_i 上电势降

$$V_{Si} = - \int_0^{Y_{Si}} E dx = - \frac{Q_B Y_{Si}}{\epsilon_0\epsilon_{Si}} - \frac{Q_A Y_{Si}}{2\epsilon_0\epsilon_{Si}}. \quad (A5)$$

把 (A2)、(A5) 代入 (A4), 得

$$-\frac{Q_B Y_{Si}}{\epsilon_0\epsilon_{Si}} - \frac{Q_A Y_{Si}}{2\epsilon_0\epsilon_{Si}} - \frac{Q_B T_{Xz}}{\epsilon_0\epsilon_{ox}} + \frac{Q_B^2}{2\epsilon_0\epsilon_{Si}qN_{B1}} - 2\phi_F = 0.$$

此乃 Q_B 的一元二次方程, 于是有

$$Q_B = \epsilon_0\epsilon_{Si}qN_{B1} \left[\left(\frac{T_{Xz}}{\epsilon_0\epsilon_{ox}} + \frac{Y_{Si}}{\epsilon_0\epsilon_{Si}} \right) - \sqrt{\left(\frac{T_{Xz}}{\epsilon_0\epsilon_{ox}} + \frac{Y_{Si}}{\epsilon_0\epsilon_{Si}} \right)^2 - \frac{2}{\epsilon_0\epsilon_{Si}qN_{B1}} \left(\frac{qN_{B1}Y_{Si}^2}{2\epsilon_0\epsilon_{Si}} - 2\phi_F \right)} \right]. \quad (A6)$$

根号前取“-”号, 以使 Q_B 为负值。

由 (A3), SOI 结构的阈电压为

$$V_T = V_{FB} + 2\phi_F - \frac{qT_{Xz}}{\epsilon_0\epsilon_{ox}} \left[(N_{B2} - N_{B1})Y_{Si} + \frac{\epsilon_{Si}}{\epsilon_{ox}} N_{B2} T_{Xz} - \epsilon_0\epsilon_{Si}N_{B2} \sqrt{\frac{T_{Xz}^2}{\epsilon_0^2\epsilon_{ox}^2} + \frac{2Y_{Si}T_{Xz}}{\epsilon_0^2\epsilon_{ox}\epsilon_{Si}} + \frac{Y_{Si}^2}{\epsilon_0^2\epsilon_{Si}^2} \left(1 - \frac{N_{B1}}{N_{B2}} \right) + \frac{4\phi_F}{\epsilon_0\epsilon_{Si}qN_{B2}}} \right]. \quad (A7)$$

对于 $N_{B1} = N_{B2}$ 的特殊情况,

$$V_T = V_{FB} + 2\phi_F - \frac{qT_{Xz}}{\epsilon_0\epsilon_{ox}} \left[\frac{\epsilon_{Si}}{\epsilon_{ox}} N_{B2} T_{Xz} - \epsilon_0\epsilon_{Si}N_{B2} \sqrt{\frac{T_{Xz}^2}{\epsilon_0^2\epsilon_{ox}^2} + \frac{2Y_{Si}T_{Xz}}{\epsilon_0^2\epsilon_{ox}\epsilon_{Si}} + \frac{4\phi_F}{\epsilon_0\epsilon_{Si}qN_{B2}}} \right]. \quad (A8)$$

参 考 文 献

- [1] 王守武, 第三届全国半导体集成电路和硅材料学术会议论文集摘要, 第 1—2 页, 1983 年 11 月, 合肥.
- [2] H. W. Lan, A. F. Tasch, Jr. and T. C. Holloway, *IEEE, EDL-1*, 206 (1980). T. I. Kamins and P. A. Pianetta, *ibid*, 214 (1980).
- [3] 马腾阁、林惠旺, 钱佩信和李志坚: 第三届全国半导体集成电路和硅材料学术会议论文集摘要, 第 355—357 页, 1983 年 11 月, 合肥.
- [4] 夏永伟、孔令坤和张冬萱, 半导体学报, 5, 275 (1984).
- [5] 夏永伟、孔令坤和张冬萱, 关于 MOSCAI 的内部报告. 半导体研究所.
- [6] 夏永伟、孔令坤和张冬萱, 未发表.

Thin Bulk Effects in SOI Structure

Wang Shouwu, Xia Yongwei, Kong Lingkun and Zhang Dongxuan
(Institute of Semiconductor, Academia Sinica)

Abstract

The potential and carrier distribution in different parts of SOI structure are studied by using computer simulation. The results show that thin bulk effects occur in SOI structure, with uniformly doped P-type recrystallization silicon film, when the thickness of the film is less than the maximum thickness of the depletion layer. The higher the threshold voltage the thicker the recrystallization film when the thickness of the inner dioxide is constant; whereas the lower the threshold voltage the thicker the inner dioxide when the film thickness is constant. The threshold voltage decreases as the inner dioxide thickness increases and finally becomes a constant value not dependent on the thickness of inner dioxide. The interface states with positive charge in SOI structure further decrease the threshold voltage. Simulation analysis show that the principle design rule to prevent thin bulk effects in SOI structure is to make the thickness of the recrystallization film exceed the maximum thickness of the depletion layer, and to use low doping density silicon films and thick inner dioxide so as to decrease the influence of thin bulk effects when the film thickness is less than the maximum thickness of the depletion layer. The simulation presupposes that it is possible to develop new MOS thin film transistors with crystal silicon substrate and lower threshold voltage. The simulation shows that the expression of threshold voltage for SOI structure, using depletion approximation, is very simple and more accurate.