

硅衬底厚度和背接触势垒高度对 MOS 电容器性能的影响

夏永伟 孔令坤 张冬萱

(中国科学院半导体研究所)

1983年6月13日收到

通过解一维泊松方程,对均匀掺杂的P型硅衬底 MOS 电容器进行了数值模拟,研究了衬底厚度和背接触势垒对衬底内的电势分布和载流子密度分布的影响。模拟计算结果表明,在硅衬底厚度超过两倍最大耗尽层厚度时,背接触与正界面之间存在一个电中性区,背接触不会影响 MOS 电容器的性能;在硅衬底的实际厚度比两倍最大耗尽层厚度要小的情况下,背接触势垒对 MOS 电容器性能有明显的影响:当背接触势垒高度为零伏或负值时, MOS 电容器的强反型阈电压随着硅衬底厚度的减薄而增加;当背接触势垒高度为正值时,随着硅衬底厚度的减薄,会出现阈电压先减小后增加的现象。

一、引言

通常的 MOS 结构,硅衬底相当厚,超过 200 微米。以往总是不考虑硅衬底厚度和背界面的影响。但是,对于 SOS 结构的器件,硅衬底厚度为 5000 埃左右。利用激光退火再结晶工艺制作的 SOI 结构,制作 MOS 晶体管的硅膜也仅为 5000 埃左右。基于这些情况,从理论上用数值方法来研究不同衬底厚度的 MOS 结构的特性,从而找到合理的衬底厚度范围,对研制这些器件,理解这些器件的性能是有参考意义的。此外, A. G. Anastopoulos 和 D. A. Jannakoudekis^[1] 报道了薄衬底 MOS 结构的低频电容特性。他们把半导体与电解液之间的界面处理为一个正势垒,进行了计算,但未给出具体的电势分布和载流子分布。本文研究了不同衬底厚度下衬底内电势及载流子密度分布,背接触势垒高度对薄硅衬底 MOS 电容器特性的影响,得出了一些新结果。本文第二节描述了 MOS 电容器的结构及相应的器件方程;第三节简单介绍使用的数值方法;第四节叙述了模拟结果和讨论;第五节概括了一些结论。

二、MOS 电容器的结构和相应的器件方程

MOS 电容器的结构如图 1 所示,它由铝栅、二氧化硅和硅衬底三层组成,有栅极 G 和衬底接触 B 两个电极。两个电极间加上直流偏压后,流过器件的总电流仍为零,因为在稳态空穴电流和电子电流也都是零。可以假定衬底中电子和空穴的准费米电位为常数,而

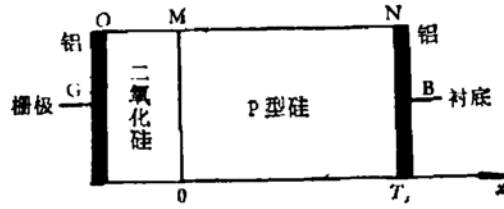


图 1 MOS 电容器的结构

且就等于衬底多子费米电位 ϕ_F 。用一维泊松方程

$$\frac{d^2\psi}{dx^2} = \begin{cases} 0 & \text{在二氧化硅中} \\ -\frac{q}{\epsilon_0\epsilon_{si}}(p - n + \text{DOP}) & \text{在硅中} \end{cases} \quad (1)$$

就可以来研究 MOS 电容器的内部状态。式中 ψ 为电势； $\text{DOP} = N_D^+ - N_A^-$ 为衬底内离子化杂质浓度； p 和 n 分别为硅中空穴密度和电子密度； x 为坐标，原点取在 SiO_2 -Si 界面上； q 为电子电荷； ϵ_0 和 ϵ_{si} 分别为真空介电常数和硅的相对介电常数。图 1 中 O, M, N 分别为与栅极、 SiO_2 -Si 界面和衬底电极相应的结点序号(见第三节)。

电子密度 n 和空穴密度 p 分别为

$$\begin{aligned} n &= n_{ie} \frac{q}{kT} (\psi - \phi_F), \\ p &= n_{ie} \frac{q}{kT} (\phi_F - \psi). \end{aligned} \quad (2)$$

式中 n_i 为硅本征载流子密度， k 为玻尔兹曼常数， T 为绝对温度。

为简单起见，假设在硅衬底和衬底电极接触处存在高度为 V_B 伏的势垒。假设衬底电极处外加电压为零，则

$$\psi(N) = V_B. \quad (3)$$

对于一个理想的肖特基势垒接触(不考虑镜像力和界面态)， V_B 为正值。对 P 型(111)硅，通常用金 (Au) 作欧姆接触，势垒高度为 0.34 伏^[2]；对 N 型(111)硅，通常用铝作欧姆接触，势垒高度为 0.50 伏^[3]。A. G. Anastopoulos 等人^[3] 把半导体与电解液之间的界面作为一个正势垒来处理。对于 P-P⁺ 那样的欧姆接触， V_B 为负值；对于背接触界面态非常高^[4]或其它满足电中性条件的情况， V_B 近似为零值。

考虑铝栅与硅衬底间的功函数差与衬底杂质浓度有关，可以得到铝与硅之间的接触电势

$$V_{cc} = \begin{cases} -0.88 - 0.06 \times (\log |DOP| - 15) & \text{对 P 型硅} \\ -0.31 + 0.06 \times (\log |DOP| - 15) & \text{对 N 型硅} \end{cases}, \quad (4)$$

单位为伏^[5]。栅极处电势

$$\psi(0) = V_G - V_{cc}. \quad (5)$$

式中 V_G 为栅极和衬底电极之间的外加电压。

在 SiO_2 -Si 界面，电势连续，电场强度不连续。依照高斯定律，忽略界面电荷 ($Q_{ss} = 0$)，有下列方程

$$\epsilon_0\epsilon_{ox} \left. \frac{d\psi}{dx} \right|_{\text{SiO}_2} - \epsilon_0\epsilon_{si} \left. \frac{d\psi}{dx} \right|_{\text{Si}} = Q_{ss} = 0. \quad (6)$$

式中 ϵ_{ox} 为二氧化硅的相对介电常数。

我们以满足电中性条件的那个区域或点的电势作为电势的参考零点, 即

$$\phi - \phi_F - \frac{kT}{q} \ln \left(\frac{|\text{DOP}|}{2n_i} + \sqrt{1 + \frac{(|\text{DOP}|)^2}{4n_i^2}} \right) = 0,$$

由此, 衬底内多子费米电位

$$\phi_F = \frac{kT}{q} \ln \left(\frac{|\text{DOP}|}{2n_i} + \sqrt{1 + \frac{(|\text{DOP}|)^2}{4n_i^2}} \right). \quad (7)$$

式(1)、(3)、(5)和(6)完全确定了 MOS 电容器的状态。解一维泊松方程, 就能研究 MOS 电容器的特性。

三、数值方法

一维泊松方程是一个非线性常微分方程。为了把方程离散化, 我们这样来划分结点。二氧化硅层分成 M 等分, 从栅到 $\text{SiO}_2\text{-Si}$ 界面, 结点依次记为 $0, 1, 2, \dots, M-1$ 。界面结点为 M 。硅衬底内是不均匀划分的, 结点为 $M+1, M+2, \dots, N-1, N$ 。 $H(i)$ 表示第 $i-1$ 个结点到第 i 个结点之间的距离, $i = 1, 2, \dots, N$ 。我们采用有限差分法把一阶和二阶微商化为差分形式

$$\begin{aligned} \left. \frac{d\phi}{dx} \right|_i &= \frac{\phi(i+1) - \phi(i)}{H(i+1)}, \\ \left. \frac{d^2\phi}{dx^2} \right|_i &= \frac{\phi(i+1)}{\Delta x_2} - \left(\frac{1}{\Delta x_1} + \frac{1}{\Delta x_2} \right) \phi(i) + \frac{\phi(i-1)}{\Delta x_1}. \end{aligned}$$

式中

$$\begin{aligned} \Delta x_1 &= \frac{H(i) \cdot (H(i) + H(i+1))}{2}, \\ \Delta x_2 &= \frac{H(i+1) \cdot (H(i) + H(i+1))}{2}, \end{aligned}$$

定义函数

$$\begin{aligned} F_\phi(i) &= \frac{\phi(i+1)}{\Delta x_2} - \left(\frac{1}{\Delta x_1} + \frac{1}{\Delta x_2} \right) \phi(i) + \frac{\phi(i-1)}{\Delta x_1} \\ &\quad + \frac{q}{\epsilon_0 \epsilon_{\text{Si}}} (p(i) + \text{DOP}(i) - n(i)), \end{aligned}$$

然后采用 Newton-Raphson 方法把差分方程线性化, 即

$$\sum_{j=1}^{N-1} \frac{\partial F_\phi(i)}{\partial \phi(j)} \cdot \Delta \phi(j) = -F_\phi(i) \quad i = 1, 2, \dots, M-1, M+1, \dots, N-1 \quad (8)$$

式中 $\Delta \phi(j)$ 为第 j 个结点上的电势 $\phi(j)$ 的增量。对 $\text{SiO}_2\text{-Si}$ 界面, (6)式成为

$$\begin{aligned} F_\phi(M) &= \epsilon_{\text{Si}} \frac{\phi(M) - \phi(M+1)}{H(M+1)} - \frac{1}{2} H(M+1) \cdot (p(M) - n(M) \\ &\quad + \text{DOP}(M)) - \epsilon_{\text{ox}} \frac{\phi(M-1) - \phi(M)}{H(M)}. \end{aligned}$$

用上述方法线性化。这样就形成了 $N-1$ 个差分方程, 加上在栅极上 ($i=0$) 和背接触 ($i=N$) 两个结点上的边界条件(3)和(5), 就可确定 $0, 1, 2, \dots, N-1, N$ 各点上的电势值。差分方程组的系数矩阵是三对角的, 可以用直接法来求解。

具体计算步骤是: 先假定一套电势初值, 然后由(2)式求出相应的载流子密度 n 和 p , 再由方程组(8)求出电势增量, 进而求出新的电势值, 再代入(2)求出 n 和 p 。这样反复迭代, 直到两次迭代间电势绝对差值小于 1×10^{-5} 伏, 载流子密度相对差值小于 1×10^{-4} 时为止。

我们编制了一个 FORTRAN 程序 MOSCA1, 可以对任意掺杂分布衬底的一维 MOS 电容进行计算机数值模拟^[6]。

四、模拟结果和讨论

我们使用 MOSCA1 程序进行数值模拟。P 型硅衬底的杂质浓度取作 $1 \times 10^{15}/\text{厘米}^3$, 二氧化硅厚度取为 500 埃。忽略界面电荷 Q_{ss} 。

图 2 给出, 栅压 $V_G = 0$ 伏时, 硅衬底内电势 $\phi(x)$ 与离界面距离 x 的关系。从图 2(a) 可见, 在厚衬底情况(图中 $T_s = 4.85$ 微米), 在二氧化硅-硅界面和背界面间存在一个电中性区, 在这个区域内, 电场强度为零。背接触势垒高度 V_B 的大小, 不影响硅正界面的电势分布, 只影响背接触势垒区内部的电势分布。从图可见, 对 $1 \times 10^{15}/\text{厘米}^3$ 的 P 型衬底, 背接触势垒区厚度约为 1 微米。按照众所周知的耗尽层近似理论, 正界面一侧的最大耗尽层宽度, 对 $1 \times 10^{15}/\text{厘米}^3$ 的 P 型衬底来说, 约为 1 微米。因此, 在这种条件下, 硅衬底厚度大于 2 微米, 即大约 2 倍的最大耗尽层宽度, 就可作为厚衬底情况来处理。图 2(b) 给出硅衬底厚度较薄 ($T_s = 6500$ 埃) 时, V_B 对电势分布的影响。当 V_B 小于零伏时, 衬底内只存在一个电中性点。当 V_B 等于 -0.2 伏或更负时, 这点离背界面约 1200

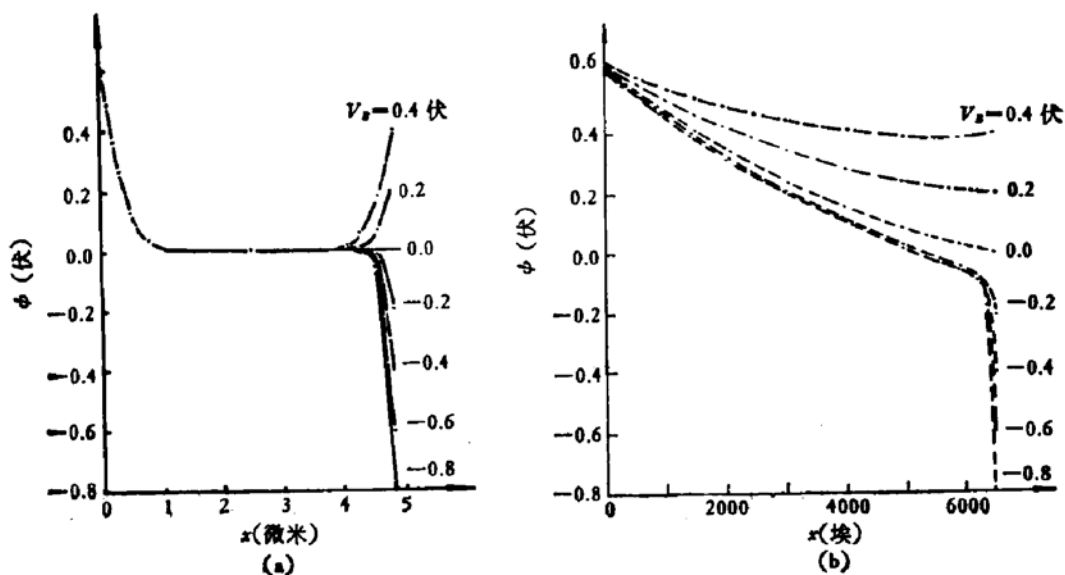


图 2 硅衬底内电势 $\phi(x)$ 与离界面距离 x 的关系

(a) $T_s = 4.85$ 微米, $V_G = 0$ 伏, $DOP = 1 \times 10^{15}/\text{厘米}^3$
 (b) $T_s = 6500$ 埃, $V_G = 0$ 伏, $DOP = 1 \times 10^{15}/\text{厘米}^3$

埃;而且, V_B 从 -0.2 到 -0.8 伏的范围里, 这点左侧的电势分布基本相同。必须指出, 在电中性点两侧, 电场并不等于零。当 V_B 为正值时, 背接触势垒高度 V_B 对衬底内电势分布 $\psi(x)$ 有明显的影响。特别要指出的是, 当势垒高度超过 0.4 伏时, 电势分布出现一个电势最小值, 在电势最小值两侧, 电场方向相反。这也意味着, 背界面处也可能出现反型层。在 V_B 等于零伏时, 电中性点正好落在背界面上, 而且在背界面上电场不为零。这与文献[1]的结果相同。

图 3 是栅压 $V_G = 0$ 伏时, 衬底内的电子和空穴密度分布。图 3(a) 是厚衬底情况。从图中可以看到, 与电势分布的电中性区相对应, 电子和空穴密度正是它们的热平衡值。背接触势垒区内根据 V_B 值的具体大小, 载流子有不同的分布。对 P 型衬底, V_B 为负值时, 这个势垒区是一个空穴积累(电子耗尽)区; V_B 为正值时, 背界面附近空穴耗尽, 电子增多, 甚至可能形成反型。在厚衬底情况, 这两个区域互不相关。在薄衬底情况, 不存在电中性区, 正面空间电荷区与背接触空间电荷区连成一片。背接触势垒高度 $V_B > 0$ 伏时, 整个衬底都是耗尽的。 $V_B = 0$ 伏时, 在背界面上, 电子和空穴密度即为热平衡值。 $V_B < 0$ 时, 背界面附近 1200 埃内出现多子积累层, 在电中性点 ($x = 5300$ 埃处), 电子空穴为热平衡分布值。

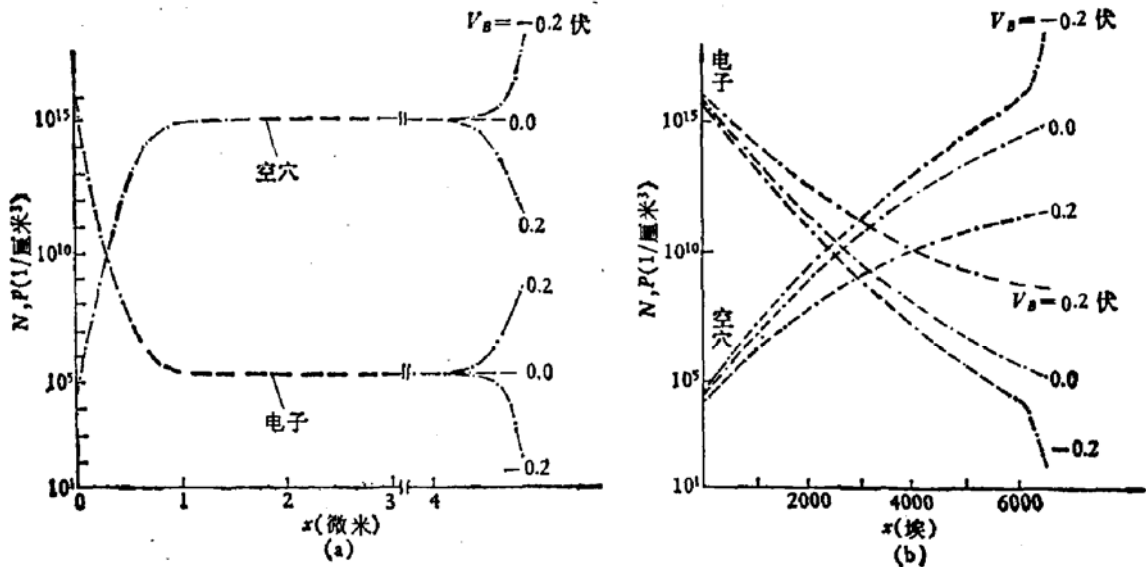


图 3 硅衬底内载流子密度分布

(a) $T_s = 4.85$ 微米, $V_G = 0$ 伏, $DOP = 1 \times 10^{13}$ / 厘米³

(b) $T_s = 6500$ 埃, $V_G = 0$ 伏, $DOP = 1 \times 10^{13}$ / 厘米³

图 4 是表面势 ψ_s 与栅压 V_G 的关系。图 4(a) 表明, 在厚衬底情况, V_B 的大小对正界面表面势 ψ_s 没有影响。图 4(b) 指出, $V_B < -0.2$ 伏时, 表面势与栅压的关系与 $V_B = -0.2$ 伏的结果基本一致。当 $V_B > 0$ 时, 在低栅压区, V_B 愈正, ψ_s 愈高。随着栅压 V_G 增加, 不管 V_B 值大小, 最终都趋近于厚衬底情况下的 ψ_s 值。值得指出的是, 在这些栅电压下, 表面已进入强反型状态, 表面势 ψ_s 增加不多。

图 5 是栅压固定时, 表面势 ψ_s 与衬底厚度 T_s 的关系。它反映了不同衬底厚度的 MOS 结构的电压分配。从图 5(a) 可以看出, 当 $T_s > 2$ 微米, 表面势 ψ_s 与硅衬底厚

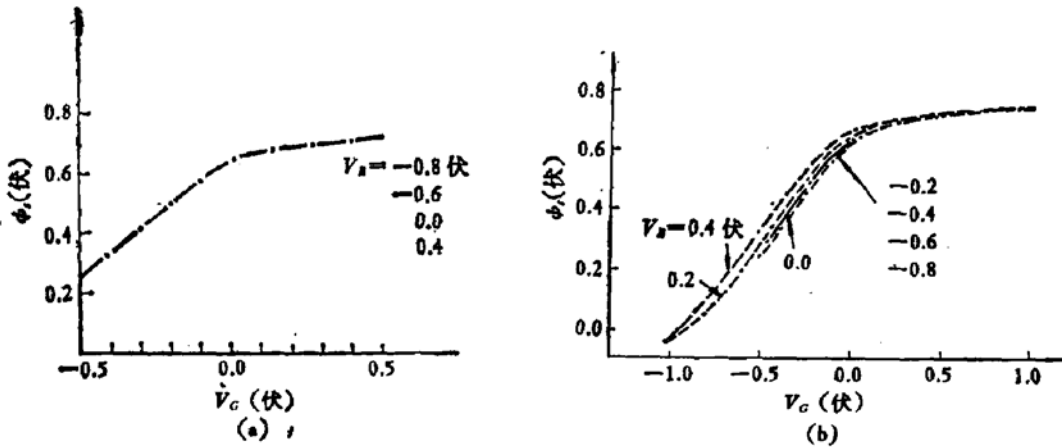


图 4 表面势 ϕ_s 与栅压 V_G 的关系

(a) $T_s = 4.85$ 微米, $DOP = 1 \times 10^{13}/\text{厘米}^3$ (b) $T_s = 6500$ 埃, $DOP = 1 \times 10^{13}/\text{厘米}^3$

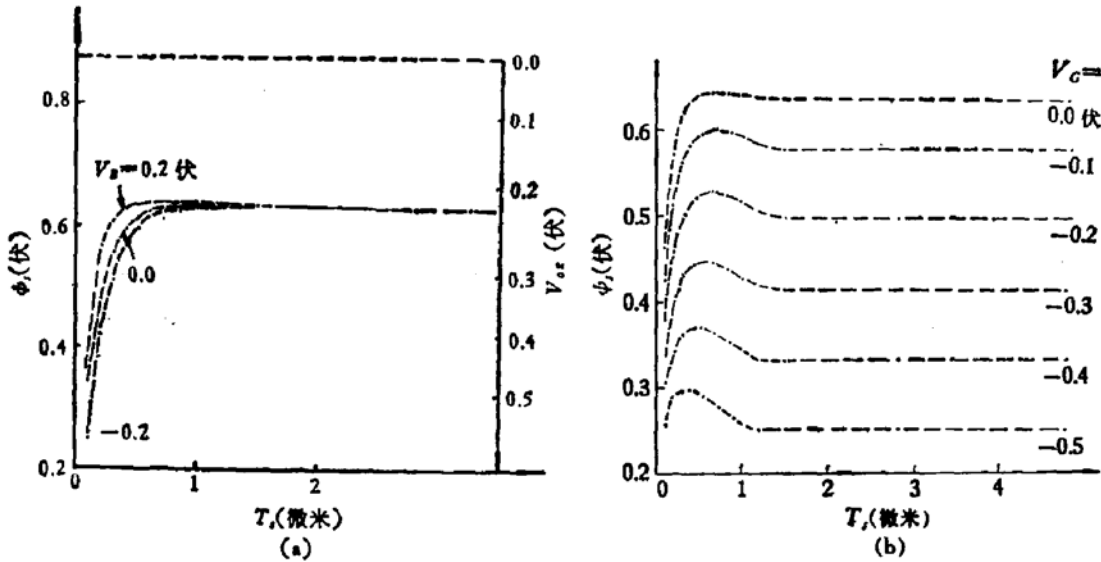


图 5 表面势 ϕ_s 与衬底厚度 T_s 的关系

(a) $V_G = 0$ 伏, $DOP = 1 \times 10^{13}/\text{厘米}^3$ (b) $V_B = 0.2$ 伏, $DOP = 1 \times 10^{13}/\text{厘米}^3$

度 T_s 无关, 亦即二氧化硅层上的压降 V_{ox} (图中右侧纵坐标) 与 T_s 没有关系。但在较薄的衬底情况, 表面势 ϕ_s 与 T_s 和 V_B 有关。 T_s 愈小, ϕ_s 愈低, 二氧化硅层上压降愈大。同样的衬底厚度, V_B 愈大, ϕ_s 愈高。从图还可看出, $V_B = 0.2$ 伏的 ϕ_s 随 T_s 减薄, 先略有增大, 然后再减小。图 5(b) 说明, 在 $V_B = 0.2$ 伏时, 不同栅电压下表面势 ϕ_s 与硅衬底厚度 T_s 的关系。更清楚地表示了 ϕ_s 与 T_s 的关系。正 V_B 值, 在薄衬底情况下增加表面势 ϕ_s , 这意味着降低阈值电压。这是因为, 正 V_B 使衬底中多子更多耗尽, 只要较小栅电压就可达到强反型。

根据正界面上少数载流子密度随外加电压的变化关系, 依照 $\phi_s = 2\phi_F$ 定义强反型开始, 亦即认为少数载流子密度等于硅衬底杂质浓度时达到强反型, 可以得到 MOS 结构的阈值电压 V_T 与硅衬底厚度 T_s 和背接触势垒高度 V_B 的关系。图 6 给出, 在一定厚度下, 阈值电压 V_T 与背界面势垒高度 V_B 的关系。对 $T_s = 4.85$ 微米的结构, V_B 对阈值电压 V_T 没有影响。这个结论是理所当然的。对 $T_s = 6500$ 埃的结构, 当 $V_B < -0.2$ 伏时, 阈电

压 V_T 亦与 V_B 无关,但数值比 4.85 微米的高一些. 对 $V_B > 0$ 伏的情况, V_B 愈大, V_T 愈小.

图 7 是阈电压 V_T 与硅衬底厚度 T_s 的关系. 图 7(a) 是 $V_B = 0$ 伏的情况, 对 $DOP = 1 \times 10^{15}/\text{厘米}^3$, T_s 大于 1.0 微米时, 阈电压 V_T 与衬底厚度 T_s 已基本无关, 而且等于厚衬底情况下的 V_T 值; 对 $DOP = 1 \times 10^{16}/\text{厘米}^3$, T_s 大于 0.3 微米时, 阈电压 V_T 与 T_s 无关. 图 7(b) 给出 $V_B = -0.2$ 伏的情况, 大体与 $V_B = 0$ 伏的结果一致. 同样, T_s 愈小, V_T 愈高, 比 $V_B = 0$ 伏的结果更明显要大一些. 另外, 使 V_T 与 T_s 无关的最小厚度也比零伏时的值大一些. 图 7(c) 给出 $V_B = 0.2$ 伏的结果, 这是个有趣

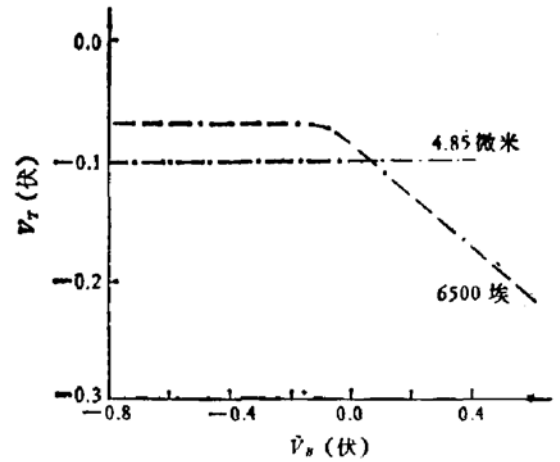


图 6 阈电压 V_T 与背界面势垒 V_B 的关系, $DOP = 1 \times 10^{15}/\text{厘米}^3$

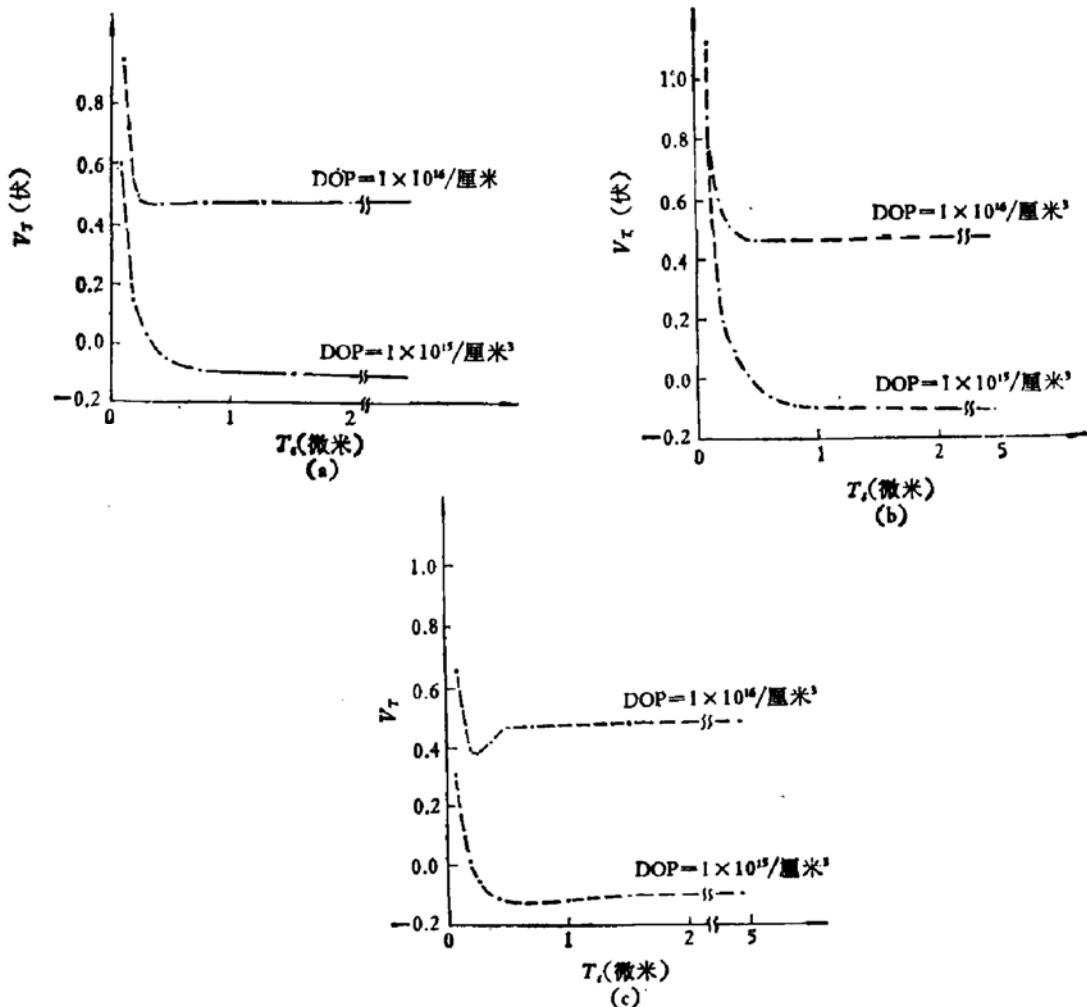


图 7 阈电压 V_T 与硅衬底厚度 T_s 的关系
(a) $V_B = 0$ 伏 (b) $V_B = -0.2$ 伏 (c) $V_B = 0.2$ 伏

的特性。对 $DOP = 1 \times 10^{15}$ 和 $1 \times 10^{16}/\text{厘米}^3$ 两种杂质浓度, 随着 T_s 增加, 阈值电压 V_T 先下降, 到达一个谷值, 又回升, 最后达到厚衬底情况下的结果。 $DOP = 1 \times 10^{16}/\text{厘米}^3$ 的谷值较深。与 MOS 晶体管中的“短沟”、“窄沟”效应相比较, 我们可以把 MOS 结构阈值电压 V_T 与衬底厚度 T_s 有关的效应称为“薄衬底”效应。衬底减薄, 使 MOS 结构中二氧化硅层和衬底层上的压降分配与厚衬底情况不同。对同样的栅电压, 衬底薄的结构, 二氧化硅层上压降增大(当然, 二氧化硅层中电场也增大), 表面势 ϕ_s 降低。要达到反型, 使 $\phi_s = 2\phi_F$, 就要加更高的栅电压。因而, 衬底减薄, V_T 增加, 这就是 $V_B \leq 0$ 伏时之 V_T-T_s 特性。另一方面, V_B 为正值时, 衬底中一部分多子由 V_B 的影响而耗尽, 使 V_T 减小。当衬底厚度 T_s 由很厚逐步减薄时, 开始 V_B 的影响是主要的, 使 V_T 下降, 然后 T_s 的影响又成为主要的, 使 V_T 上升, 这就是 V_B 为正值时 V_T-T_s 曲线出现谷区的原因。

五、结 论

由以上模拟结果, 可以得到下列结论:

1. 当硅衬底厚度大于某一厚度(大约 2 倍的最大耗尽层宽度)时, 衬底内电势分布和载流子分布曲线存在一个电中性区。在这区域内, 电场为零, 载流子密度为热平衡值。背接触势垒高度 V_B 的大小对正界面空间电荷区的电势分布、载流子分布、表面势和 MOS 结构的阈值电压 V_T 没有影响。在这种情况下, 可以认为正界面与背接触势垒完全由电中性区隔开, 而且可以推论, 背接触无论采用哪一种材料, 也不管它是欧姆接触还是肖特基势垒接触, 均不影响 MOS 结构的阈值电压 V_T 值。因此, 对厚衬底情况, 背接触边界条件常用电中性条件来处理。可以相信, 这一点对 N 型硅衬底也是成立的。

2. 当 P 型硅衬底厚度比较薄时, 空间电荷区连成一片, 两个界面互相影响。当 $V_B < -0.2$ 伏时, V_B 只影响背接触势垒的空间电荷区内的电势和载流子分布。在电中性点左侧(靠正界面一方)的电势和载流子分布与 V_B 的大小关系不大, 就像衬底厚度比实际厚度减薄了一段一样。对 $1 \times 10^{15}/\text{厘米}^3$ 的 P 型硅衬底, 这等于减薄了 1200 埃。

3. 厚衬底情况下的阈值电压 V_T , 只与衬底掺杂浓度有关, 而与衬底厚度 T_s 以及背界面势垒 V_B 无关。

4. 在 P 型薄衬底情况下, 阈值电压 V_T 与衬底厚度 T_s 和背接触势垒高度 V_B 有关。 $V_B \leq 0$ 伏时, T_s 愈薄, V_T 愈高; $V_B > 0$ 伏时, V_B 愈正, V_T 愈低, 但 T_s 的作用与 V_B 的影响加在一起变成, T_s 减薄, 先 V_T 减小, 然后 V_T 增加。薄衬底结构呈现出比较复杂的“薄衬底效应”。

我们的工作是在王守武教授的关心和支持下完成的, 在这里向他表示衷心的感谢。

参 考 文 献

- [1] A. G. Anastopoulos and D. A. Jannakoudekis, *J. Electrochem. Soc.*, **129**, 2547 (1982).
- [2] B. L. Smith and E. H. Rhoederick, *Solid State Electronics*, **14**, 71 (1971).
- [3] M. J. Turner and E. H. Rhoederick, *Solid State Electronics*, **11**, 291 (1968).
- [4] B. Schwartz, "Ohmic Contacts to Semiconductors". p. 169, The Electrochemical Society, New York (1969).
- [5] B. E. Deal et al., *J. Phys. Chem. Solids*, **27**, 1873 (1966).
- [6] 关于 MOSCA1 的内部报告, 半导体研究所.

Influence of Si-Substrate Thickness and Barrier Height of Back Contact upon the Characteristics of MOS Capacitor

Xia Yongwei, Kong Lingkun and Zhang Dongxuan

(Institute of Semiconductor, Academia Sinica)

Abstract

The characteristics of a MOS capacitor with uniformly doped P-type silicon substrate are simulated by solving one-dimensional poission equation, and the influence of the substrate thickness and the barrier height of the back contact upon the potential distribution and carrier density distribution in the substrate is studied. The results show that when the substrate thickness exceeds two times the maximum thickness of the depletion layer, there is an electrically neutral region between the back contact and the front interface, and the characteristics of the MOS capacitor do not depend on the barrier height of the back contact, while in the opposite case its characteristics do depend obviously on the barrier height, when the barrier height is equal to or less than zero volt, the threshold voltage at strong inversion increases as the substrate thickness decreases; when the barrier height is greater than zero volt, an interesting phenomenon occurs, the threshold voltage decreases first and then increases as the substrate thickness decreases successively.