

一个低功耗电阻负载的 NMOS SRAM 的设计

祝忠德 陈贤 宁宝俊 盛世敏

(北 京 大 学)

1983年8月6日收到

本文给出一个 $1K \times 4$ NMOS SRAM 的设计。存贮单元采用离子注入掺杂的高阻多晶硅电阻器作负载,外围选用 E/D 型逻辑电路,采用 5μ 设计规则。

电路中有增强型、耗尽型、“零”开启三种阈值器件,增加了电路设计的灵活性。实验结果表明,耗尽型负载反相器具有较佳的速度功耗乘积,输出高电平无阈值损失,输出具有“恒流源”特性。借助于 Jack S. T. Huang 的模型,对于离子注入耗尽型器件进行测试分析,给出若干重要的注入参数,为工艺控制提供信息。

文中还给出地址电路和读出放大电路的设计分析。

芯片面积为 $3.2 \times 5.5 \text{ mm}^2$, 存取时间 $< 300 \text{ ns}$ 平均功耗为 150 mW 。

一、引 言

高阻多晶负载存贮单元与 E/D 型静态六管单元相比较,存贮单元的面积约可缩小一倍,因此可以显著地减少芯片面积。在本设计中采用 $5\mu\text{m}$ 设计规则,多晶电阻负载存贮单元的面积仅为 $37 \times 53 \mu\text{m}^2$, 这样的存贮单元矩阵的静态功耗很小。

耗尽型器件作为反相器的负载器件具有一系列优越性能。对于单管和反相器电路特性的测试结果表明,采用离子注入技术,通过对耗尽型器件的阈值电压、注入深度、注入剂量的控制可获得满意的器件性能和电路性能。

文中也讨论了具有典型意义的地址电路的设计原则以及利用 Spice II 电路模拟程序的 CAD 模拟计算结果。对于本电路中写入读出电路的设计给予简要的说明。

二、存 贮 单 元

高阻多晶电阻负载存贮单元电路及布局如图 1 所示。与典型的 E/D 型六管单元电路相比,明显地节省面积,多晶电阻的阻值一般在数十兆欧,故存贮单元触发器导通边的静态电流很小,整个存贮矩阵对整个芯片的功耗贡献甚微,因而多晶电阻负载单元宜于设计大容量低功耗的静态存贮器。存贮单元面积为 $37 \times 53 \mu\text{m}^2$, 芯片面积为 $3.2 \times 5.5 \text{ mm}^2$ 。回避了 HMOS 工艺和苛刻的光刻要求,有利于提高成品率。由于磷在多晶电阻图形掩膜下的横向扩散,使高阻区减短,甚至消失。实验表明,电阻掩膜有效长度小于 $12 \mu\text{m}$ 时,

电阻被扩散“穿通”。为尽量利用冗余面积,将高阻多晶图形画成斜折线,以确保其有效长度不小于 $15\mu\text{m}$ 。单元门管的 W/L 为 $5\mu\text{m}/6\mu\text{m}$, 存贮管的 W/L 为 $12.5\mu\text{m}/5\mu\text{m}$, 工作管和门管的 W/L 的比约为 2.5/1。每个单元有三个多晶硅与扩散相接触的埋孔和两个(平均)金属引线与扩散层的接触孔,字线及 V_{cc} 电源线为多晶硅连线,位线为金属铝线。

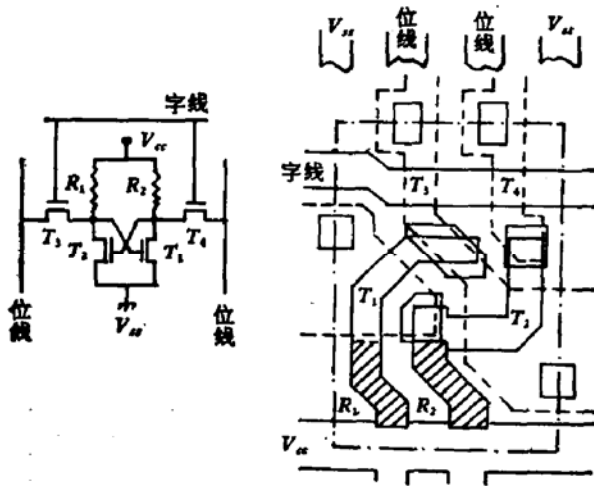


图 1 存贮单元

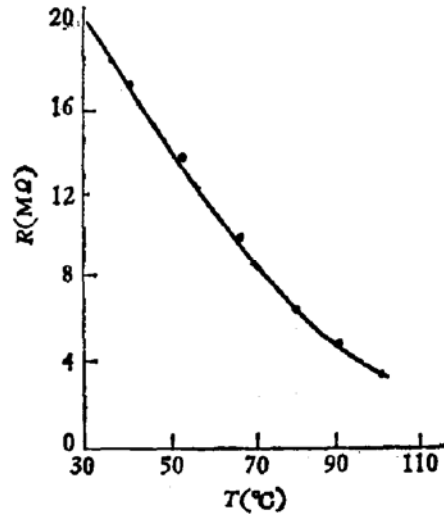


图 2 高阻多晶电阻的温度特性

高阻多晶负载存贮单元在降低功耗和减小芯片面积上显示其优越性,但要以增加工艺为代价,离子注入控制阻值也是工艺关键之一。另外,高阻多晶电阻具有负的温度系数,在环境温度上升时其阻值急剧下降,众所关心的问题是高温下工作时,是否会引起静态功耗的增加,而导致器件失效?我们直接测量了单元负载电阻的温度特性,结果如图 2 所示。当环境温度由室温上升至 80°C 时,阻值降至初始阻值的 1/4,但仍有几个兆欧,整个存贮矩阵的静态功耗仍然可维持在允许范围之内。外围电路在环境温度升高时,功耗减小^[4]。成品测试考核表明,整个存贮器的功耗在 $0-80^{\circ}\text{C}$ 的范围内无显著变化。

三、三种阈值器件及耗尽型器件参数的控制和测量

存贮器外围电路广泛采用耗尽型器件(D管)及零阈值器件(O管)作为负载器件,驱动管为增强型E管,增加了电路设计的灵活性。三种器件的工艺,掩膜尺寸和阈值控制如表 1 所示。

零阈值器件沟道区无离子注入,衬底材料为 $6-8\Omega\text{cm}$ 的 P 型单晶,阈值电压为零点零几伏。此器件主要用作推挽输出级的负载管。图 3 给出 E 管及 D 管阈值电压 V_T 随沟

表 1

器件类型	沟道注入条件			$V_T(\text{V})$	掩膜版最小沟道长度
	元素	能量	剂量		
E 管	B	45keV	$9 \times 10^{11}/\text{cm}^2$	0.8—1.0	$5\mu\text{m}$
D 管	As	120keV	$(4-6) \times 10^{11}/\text{cm}^2$	-2.0—-2.5	$6\mu\text{m}$
O 管	/	/	/	-0.1—+0.1	$6\mu\text{m}$

道长度 L (以下 L 均是掩膜版的尺寸,有效沟道长度要扣除横向扩散) 以及随漏电压的变化曲线. 由图可见, E 管的阈值随 L 的下降而下降, 在沟道减短时, V_T 受 V_{DS} 的影响加强, 当 L 为 $5\mu\text{m}$ 和 $6\mu\text{m}$ 时已经观察到漏压的影响, 但不显著. 在 $4\mu\text{m}$ 以下, 则影响严重. 对于 D 管, 在 L 小于 $5\mu\text{m}$ 时, V_{DS} 对 V_T 有显著影响. 因此, 在目前工艺条件下 (栅氧化层厚度为 1000\AA), E 管取 L 为 $5\mu\text{m}$, D 管取 L 为 $6\mu\text{m}$ 的规则是比较妥当的.

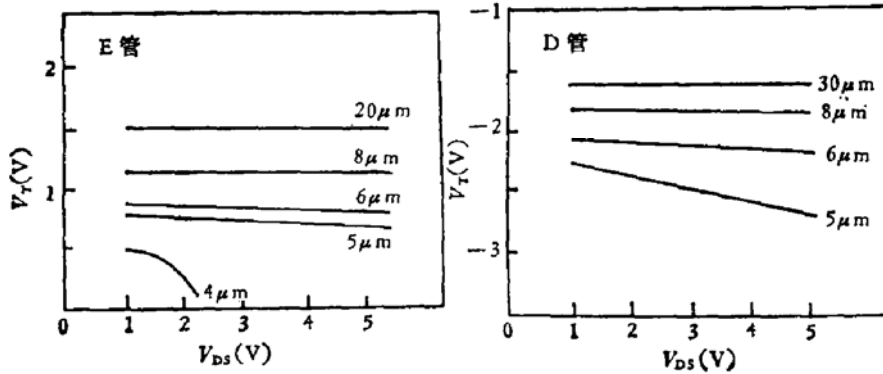


图3 V_T 与 V_{DS} 及 L 的关系

芯片不带衬底偏压发生器, 衬底直接接 V_{SS} .

耗尽型器件的特性主要由注入沟道的杂质剂量 Q_i/q 和注入深度 d 来确定, 控制注入条件来控制器件的阈值. 借助于 Jack S. T. Huang^[3] 的器件模型, 由实验求出若干重要的工艺和器件参数, 为工艺控制提供信息, 并可为 CAD 电路模拟计算提供部分模型参数.

利用 Jack S. T. Huang 所提供的器件电流公式和阈值电压公式. 实验测定了耗尽型器件的 $I_{DS}-V_{GS}$ 曲线及 $V_T-\sqrt{V_{BS}+V_{Bi}}$ 的关系曲线见图 4 及图 5, 利用在附录中推导的计算公式, 可以求出所需的注入参数. (计算公式及推导见附录).

图 4 为耗尽型器件在小漏电压 (这里试测用 $V_{DS} = 0.1\text{V}$) 情况下的 $I_{DS}-V_{GS}$ 曲线.

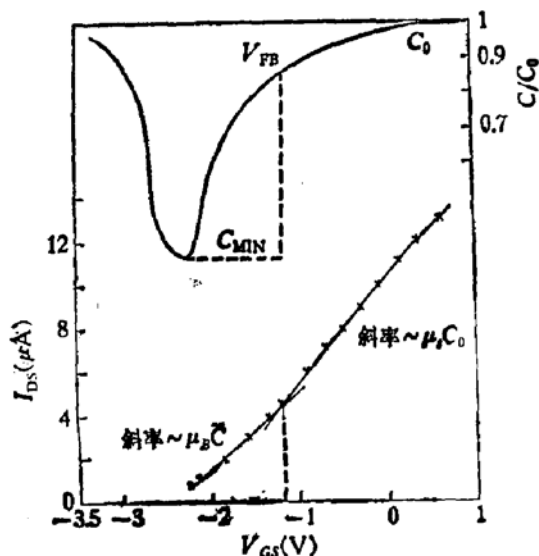


图4 耗尽型器件 $I_{DS}-V_{GS}$ 曲线

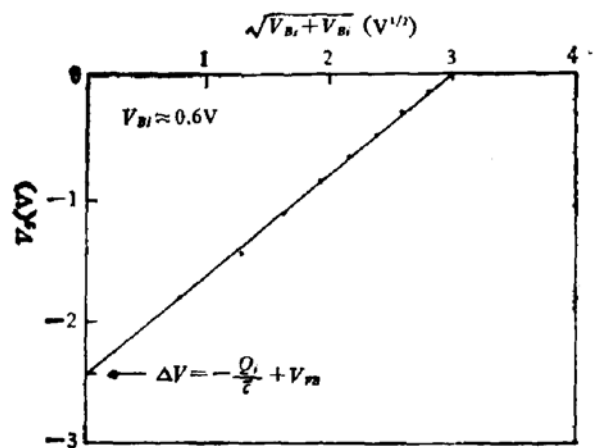


图5 V_T 与 $\sqrt{V_{BS}+V_{Bi}}$ 的关系

实验点呈现一折线,在 $V_{GS} = -1.2V$ 处有一拐点,对应于器件工作区的转变。拐点对应于“平带电压” V_{FB} 。从 $C-V$ 曲线上得到的“平带电压”*与此相一致。从两个工作区的直线的斜率可以计算出对应的体迁移率 μ_B 和表面迁移率 μ_S 。实验用器件的宽长比 $W/L = 50/30$ 以消除横向扩散的影响和短沟道效应的影响。

图 5 给出阈值电压与衬底偏压的关系。由图求得直线的斜率

$$K = \frac{1}{C} (2K_s \epsilon_0 q N_A')^{\frac{1}{2}} = 0.79,$$

直线在 V_T 轴上的截距

$$\Delta V = -\frac{Q_i}{C} + V_{FB} = -2.43V.$$

利用附录中的式(11)至(16),求得:

$$\begin{aligned} d &= 673 \text{ \AA}, \\ \bar{C}_s &= 42.67 \times 10^{-8} \text{ F/cm}^2, \\ \bar{C} &= 3.20 \times 10^{-8} \text{ F/cm}^2, \\ \bar{N}_D &= 3.65 \times 10^{16} / \text{cm}^3, \\ \frac{Q_i}{q} &= 2.46 \times 10^{11} / \text{cm}^2. \end{aligned}$$

其中:

$C_0 = 3.46 \times 10^{-8} \text{ F/cm}^2$, 此值由 $C-V$ 曲线求出。

$N_A = 2 \times 10^{15} / \text{cm}^3$ 为原始材料掺杂浓度。

再由在耗尽模式区直线的斜率

$$\frac{\partial I_D}{\partial V_{GS}} = \frac{\mu_B W}{L} \bar{C} V_{DS}$$

求出:

$$\mu_B = 823 \text{ cm}^2 / \text{V} \cdot \text{s}.$$

在全增强模式区(在 $V_{GS} = 0 \text{ V}$ 附近)直线的斜率

$$\frac{\partial I_D}{\partial V_{GS}} = \frac{\mu_S W}{L} C_0 V_{DS}$$

求得:

$$\mu_S = 784 \text{ cm}^2 / \text{V} \cdot \text{s}.$$

从已有的实验数据来看,电子迁移率数值还不够高,进一步摸索工艺条件改善迁移率值是提高电路工作速度的重要一环。

四、E/D 型反相器

电路中, E/D 型反相器耗尽型负载采用“恒流源”接法(指栅接源),图 6 给出 E/D、E/O 和 E/E 三种基本类型反相器输入输出转移特性的实验曲线,显示出 E/D 型反相

* 对非均匀掺杂衬底,“平带电压”无确切定义,此处借用均匀掺杂衬底平带电压实验求法。

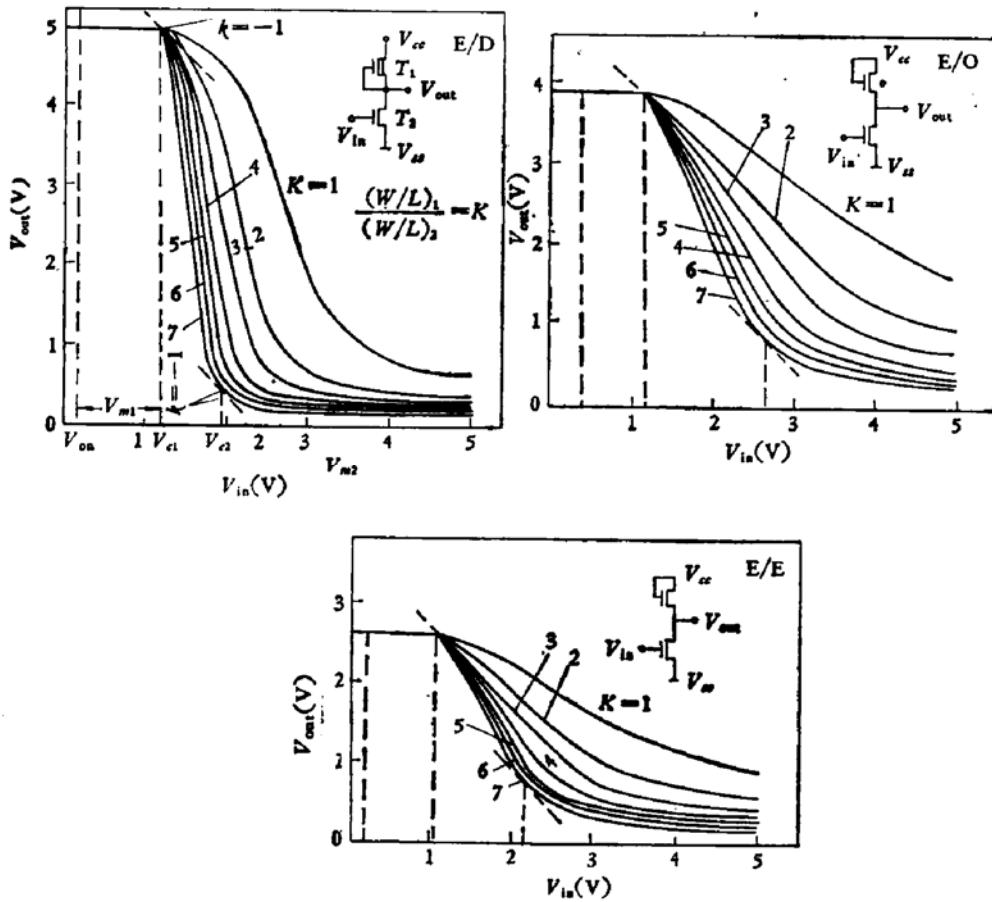


图 6 E/D、E/O、E/E 反相器转移特性对比

器具有优越的特性。

耗尽型负载反相器高电平输出无阈值损失，而 E/E 型反相器高电平输出只有 2.6V 左右，约为 V_{cc} 的一半，零阈值负载反相器的输出高电平为 3.9V 左右。（E/O、E/E 反相器均采用源跟随接法），从输出低电平来看，在负载管与驱动管的宽长比之比相同时，E/D 型反相器具有最佳的输出低电平值。设计 E/D 型反相器时取

$$K = (W/L)_{驱动} : (W/L)_{负载} \geq 4$$

时，就能获得满意的高、低电平输出，这可以有效地减少有源区的面积，由图 6 可见，E/D 型反相器转变区很窄，预期有最好的开关特性。

从反相器噪声容限来看，取比例因子 $K = 7$ 的实验曲线来分析。用作图法^[2] 求出 E/D 型反相器的高低电平噪声容限，其中：

低电平噪声容限：

$$V_{m1} = V_{c1} - V_{on} \approx 1.05V$$

V_{c1} 对应曲线斜率 $k = -1$ 那一点的输入电压。

V_{on} 为输出低电平的电压。

高电平噪声容限：

$$V_{m2} = V_{cc} - V_{c1} = 3.0V$$

V_{cc} 为电源电压。

V_{c1} 为另一对应曲线斜率 $k = -1$ 那一点的输入电压。

$V_{C2}-V_{C1}$ 为转变区宽度,约为 0.75V.

从反相器的转移特性来看, E/D 型反相器具有最窄的转变区和最佳的高低电平噪声容限.

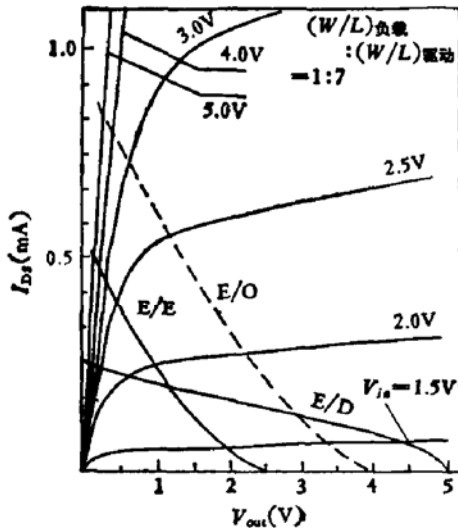


图 7 三种反相器负载线的比较

在无比电路中(如推挽输出电路),采用很大的零阈值器件作为负载,恰可以提供较大的驱动电流和较小的阈值损失.利用上述几种基本逻辑电路的特点,在电路设计中给予灵活应用.

以具有恒流源特性的耗尽型器件为负载的 E/D 型反相器具有较佳的速度功耗乘积.速度功耗积是描述电路动态特性的重要指标.实验测量了由 9 级 E/D 型反相器组成的环形振荡器的振荡周期为 69ns.

每级平均延迟时间:

$$t_d = \frac{\text{振荡周期}}{2 \times \text{级数}} = \frac{69}{2 \times 9} = 3.83\text{ns},$$

每级平均电流:

$$\bar{I} = \frac{I_{CC}}{9} = 57.8\mu\text{A},$$

每级平均功耗

$$\bar{P} = \bar{I} \cdot V_{CC} = 289 \times 10^6 \text{pJ/S},$$

每级负载电容 C_L 估计值为 0.095pF,

速度功耗积为:

$$\frac{\bar{P} t_d}{C_L} = 11.6 \text{pJ/pF}.$$

五、电路设计中若干问题

此 SRAM 电路中行、列地址电路,片选 \bar{C} , 发生器及译码器驱动电路结构相近似.图 8 为地址电路及 CAD 模拟结果.

地址输入为 TTL 电平，第一级反相器实现电平转换，后面分别为 \bar{A}_i 和 \bar{A}_i 的驱动输出级。输出级的负载管用“O”管 (T_1 与 T_2)， T_1 和 T_2 都设计得比较大，因为输出级为无比电路，这样既使其有很强的带负载能力，又无静态功耗。 T_1 及 T_2 的栅由 E/D 型反相器来驱动。采用 Spice II 电路模拟程序，给出地址电路的输出波形。零阈值器件高电平输出有阈值损失约 1V 左右，输出波形如图中 \bar{A}_i' 及 \bar{A}_i 。

为了补偿此阈值损失，特别是当要驱动大的容性负载时，在 O 管上再并联一个小的耗尽管起提升输出电平的作用，输出波形如图中 \bar{A}_i' 及 \bar{A}_i 。增加提升管就增加了驱动能力，改进了输出波形，这对一些重负载的输出级很有好处。当然，在输出低电平时，有一部分静态功耗。

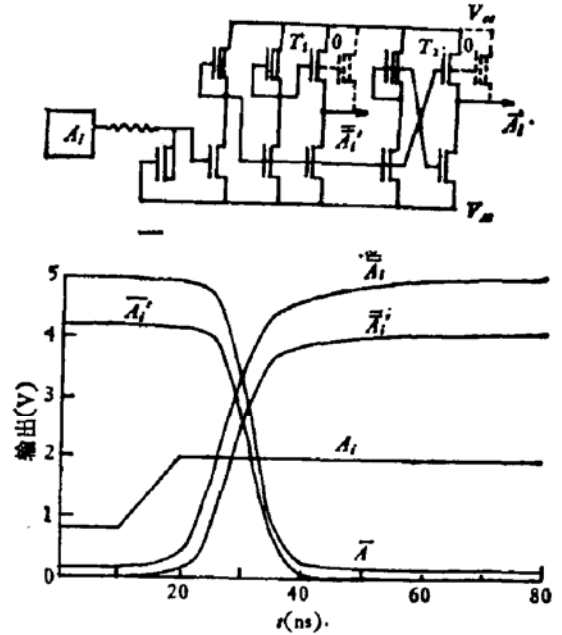


图 8 地址电路及其 CAD 模拟结果

在 SRAM 系统的设计中，写入读出电路是很重要的，图 9 给出其原理图。其特点是写入数据线与读出数据线完全分开，由一对零阈值器件对位线进行预充电。这是对所有的列进行的。在被选中的列上，在读操作时，写入电路两端对称输出高电平并经列选择管 T_{11} 和 T_{12} 对位线充电。被字线选中的单元，导通边的位线要通过门管 T_3 及单元驱动管 T_2 放电。但是由于写入电路输出级的负载管很大，有效地控制了位线摆幅。

我们对实验的模拟电路测量了读出时两条位线摆幅的最大值为：

$$\Delta V = 4.0 - 2.8 = 1.2V.$$

由于位线有较大的电容，在 SRAM 的设计中要控制位线信号摆幅以提高操作速度^[4]。两条位线所建立的信号差经由连续两级差分放大及两级推挽放大，最后转换为三态输出。

六、结 论

本文采用高阻多晶电阻作为存贮单元的负载，外围采用 E/D 型电路，设计并研制成功一种低功耗 4K 静态 RAM，在 $5\mu m$ 的设计规则下，获得较小的芯片面积，存贮器取数时间为 300ns，

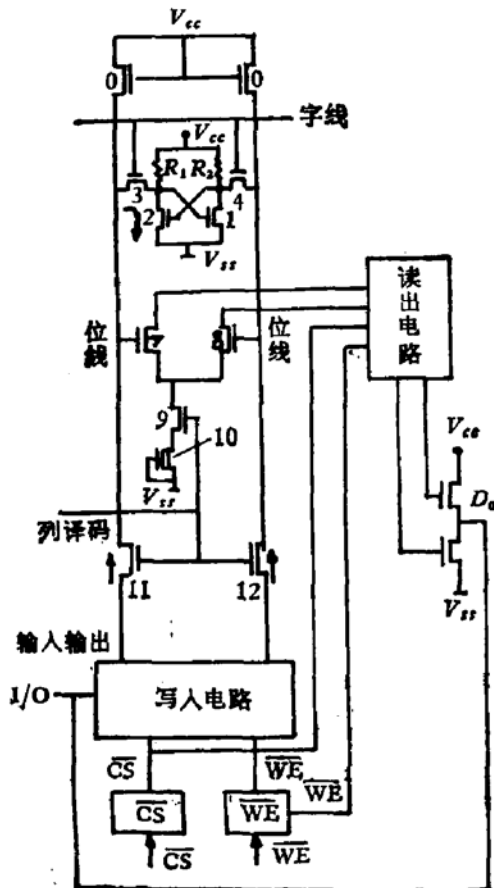


图 9 写入读出电路原理图

平均功耗为 150 mW, 在 NMOS 4K SRAM 的设计中具有相当低的功耗。本文还对由三种阈值器件组成的 E/D、E/O、E/E 几种基本反相器电路进行了细致的实验研究, 指出 E/D 型电路具有最佳的高低电平输出, 耗尽型负载反相器输出具有恒流源特性和较低的速度功耗乘积, 提出了一些电路设计的原则, 借助于 Jack S. T. Huang 的模型, 对耗尽型器件进行了 $C(V)$, $I_{DS}(V_{DS})$, $V_T(V_{BS})$ 的测量, 实验确定了若干重要的工艺参数及器件参数, 如注入的深度与剂量, μ_s 及 μ_B 等参量, 为工艺控制提供信息, 并可为 CAD 电路模拟提供部分模型参数。通过地址电路的分析和 CAD 模拟阐明了采用三种阈值的器件为设计增加了灵活性, 以零阈值器件作为推挽输出级的负载, 具有驱动能力强和省功耗的特点, 在一些重容性负载驱动电路输出级中增加一个并联的耗尽型提升管, 将增加其驱动能力, 并补偿输出的阈值损失。通过写入读出电路的讨论, 介绍本静态 RAM 系统设计的特点。

整个 4K SRAM 的设计研制是与清华大学微电子研究所协作完成的。曾与徐霞生、费圭甫、杨肇敏、张明宝等同志进行过极为有益的讨论, 在此一并向他们表示感谢。

附 录

按 Jack S. T. Huang 的模型, 器件方程为:

$$I_D = \begin{cases} -\frac{\mu_B W}{L} \left\{ Q_i V_{DS} + \bar{C} \left[(V_{GS} - V_{FB}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \right. & V_{GS} - V_{FB} < 0 \\ \quad \left. - \frac{2}{3} (2K_S \epsilon_0 q N_A')^{1/2} [(V_{BI} + V_{BS} + V_{DS})^{3/2} - (V_{BI} + V_{BS})^{3/2}] \right\}, & (1) \\ \frac{\partial I_D}{\partial V_{GS}} = \frac{\mu_B W}{L} \bar{C} V_{DS}, & (\text{耗尽模式}) \\ -\frac{\mu_B W}{L} \left\{ Q_i V_{DS} - \frac{2}{3} (2K_S \epsilon_0 q N_A')^{1/2} [(V_{BI} + V_{BS} + V_{DS})^{3/2} - (V_{BI} + V_{BS})^{3/2}] \right\} \\ + \frac{\mu_s W}{L} C_0 \left[(V_{GS} - V_{FB}) V_{DS} - \frac{1}{2} V_{DS}^2 \right], & V_{GS} - V_{FB} > V_{DS} > 0 \\ \frac{\partial I_D}{\partial V_{GS}} = \frac{\mu_s W}{L} C_0 V_{DS}, & (\text{全增强}) \\ -\frac{\mu_B W}{L} \left\{ Q_i V_{DS} + \bar{C} \left[(V_{GS} - V_{FB}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \right. & (3) \\ \quad \left. - \frac{2}{3} (2K_S \epsilon_0 q N_A')^{1/2} \times [(V_{BI} + V_{BS} + V_{DS})^{3/2} - (V_{BI} + V_{BS})^{3/2}] \right\} & V_{DS} > V_{GS} - V_{FB} > 0 \\ + \frac{W}{L} (\mu_s C_0 - \mu_B \bar{C}) \times \frac{1}{2} (V_{GS} - V_{FB})^2, & (\text{部分增强}) \end{cases}$$

其中:

Q_i : 注入电荷, K_S : 11.7, 硅介电常数, ϵ_0 : 8.86×10^{-14} F/cm, 自由空间电容率, q : 1.6×10^{-19} C, 电子电荷, $N_A': N_A \cdot \bar{N}_D / (N_A + \bar{N}_D)$, 合成浓度, \bar{N}_D : 平均沟道区杂质浓度, V_{BI} : 沟道-衬底结自建电压, V_{BS} : 衬底反向偏压, μ_B : 体迁移率, μ_s : 表面层电子迁移率, C_0 : 氧化层单位面积电容, \bar{C} : 器件电容, 考虑为氧化物电容与半导体平均电容 \bar{C}_s 的串联。

$$\frac{1}{\bar{C}} = \frac{1}{C_0} + \frac{1}{\bar{C}_s} \quad (4)$$

\bar{C}_s : 半导体平均电容

$$\bar{C}_s = \frac{2.77 K_s \epsilon_0}{d}, \quad (5)$$

d : 注入层深度

阈值电压 V_T 从公式(1)得到, 假定非常小的 V_{DS} , 用级数展开, 略去高次项, 令(1)式, $I_D = 0$, 得到:

$$Q_i V_{DS} + \bar{C} [(V_T - V_{FB}) V_{DS}] - \frac{2}{3} (2K_s \epsilon_0 q N_A)^{1/2} (V_{Bi} + V_{BS})^{3/2} \times \left[\left(1 + \frac{V_{DS}}{V_{Bi} + V_{BS}} \right)^{3/2} - 1 \right] = 0. \quad (6)$$

其中:

$$\left(1 + \frac{V_{DS}}{V_{Bi} + V_{BS}} \right)^{3/2} - 1 \approx \frac{3}{2} \left(\frac{V_{DS}}{V_{Bi} + V_{BS}} \right). \quad (7)$$

由此得到阈值公式:

$$V_T = V_{FB} - \frac{Q_i}{C} + \frac{1}{C} [2K_s \epsilon_0 q N_A (V_{Bi} + V_{BS})]^{1/2}, \quad (8)$$

V_T 与 $(V_{Bi} + V_{BS})^{1/2}$ 呈直线关系, 直线的斜率

$$K = \frac{1}{C} (2K_s \epsilon_0 q N_A)^{1/2}. \quad (9)$$

直线在 V_T 轴上的截距

$$\Delta V = -\frac{Q_i}{C} + V_{FB}. \quad (10)$$

利用:

$$N_A = \frac{N_A \cdot \bar{N}_D}{N_A + \bar{N}_D} \quad (11)$$

$$\frac{1}{C^2} = \left(\frac{1}{C_0} + \frac{d}{2.77 K_s \epsilon_0} \right)^2 \quad (12)$$

得到:

$$\bar{N}_D = \frac{N_A K^2}{N_A \cdot 2K_s \epsilon_0 q \left[\frac{1}{C_0} + \frac{d}{2.77 K_s \epsilon_0} \right]^2 - K^2}. \quad (13)$$

再利用

$$\begin{cases} Q_i = \bar{N}_D \cdot q \cdot d \\ \frac{1}{C} = \frac{1}{C_0} + \frac{d}{2.77 K_s \epsilon_0} \end{cases} \quad (14)$$

得到:

$$\bar{N}_D = \frac{V_{FB} - \Delta V}{qd \left[\frac{1}{C_0} + \frac{d}{2.77 K_s \epsilon_0} \right]}. \quad (15)$$

由(13)和(15)式, 得到含 d 的方程:

$$\frac{V_{FB} - \Delta V}{qd \left[\frac{1}{C_0} + \frac{d}{2.77 K_s \epsilon_0} \right]} = \frac{N_A \cdot K^2}{N_A \cdot 2K_s \epsilon_0 q \left[\frac{1}{C_0} + \frac{d}{2.77 K_s \epsilon_0} \right]^2 - K^2}. \quad (16)$$

数值求解, 可分别求出 d 、 \bar{C}_s 、 \bar{C} 、 \bar{N}_D 及 $\frac{Q_i}{q}$. 全部注入参数.

参 考 文 献

- [1] Yasuo Torimaru, *IEEE Journal of Solid-State Circuits* SC-13, 647 (1978).
- [2] Toshiaki Masuhara et al. *IEEE Journal of Solid-State Circuits*, SC-7, (1972).
- [3] Jack S. T. Huang, *IEEE Transactions on E. D.*, ED-22, 995 (1975).
- [4] Toshio Wada, Osamu Kudoh, *IEEE Journal of Solid-State Circuits*, SC-13, 635 (1978).

A Low Power Polysilicon Resistive Load 4K Bit NMOS Random Access Memory

Zhu Zhongde, Chen Xian, Ning Baojun and Sheng Shimin
(Peking University)

Abstract

A design of $1\text{K} \times 4$ NMOS SRAM is presented. Ion Implanted resistor with high resistance is used as load of the memory cell. the enhancement/depletion type FET circuits are used in the peripheral circuits. The $5\mu\text{m}$ rule is adopted in this design. Using three types of devices with different threshold voltages, the flexibility of the design is improved.

The experiment results show that the depletion load inverter has better power-delay product, has no loss of threshold voltage in the output stage, and exhibits constant-current type current-voltage characteristics.

The measurements and analyse of depletion type devices by use of Jack S. T. Huang's device model give some important information for processing.

The address circuit and the input/output circuit are also described. The resulting cell size, and die size are $37 \times 54\mu\text{m}$ and $3.2 \times 5.5\text{mm}$, respectively. The RAM offers typically 300 ns access time and 150 mW operating power.