

GaAs MES FET 单片集成电路工艺研究

王立模 罗浩平 李其忠 杨凤臣
江 锋 瞿志仁 陈凌云 马洪芳

(四川固体电路研究所)

1981年6月12日收到

提 要

用缓冲场效应晶体管逻辑(BFL)电路,研究了 GaAs MES FET 单片集成电路的工艺。为提高单片电路的集成度,给出了设计平面器件最小欧姆接触长度的直读曲线。对磷酸系腐蚀液的工艺特性进行了研究,并与其他几种常用的腐蚀液进行了比较。采用盐酸浸泡法结合栅区深腐蚀技术,明显地改善了肖特基势垒结的特性。利用俄歇能谱仪对 Au-Ti-GaAs 肖特基势垒结的热退化失效进行了分析,并提出了改善措施。已制出管芯平均传输时延小于 100ps 的 GaAs 单片集成门电路。

前 言

由于 GaAs 的优越特性, GaAs MES FET 及其单片集成电路的发展极其迅速^[1,2,3]。在高速领域里,已经实现了中规模集成^[4,5]。在微波领域里已着手对接收机的微波前端进行单片集成^[1]。

随着 GaAs 器件和单片电路的发展,对有关制作工艺提出了越来越高的要求,新的工艺方法不断出现。同时,人们越来越重视其可靠性的研究^[6,7,8],虽然对欧姆接触退化引起的失效已有不少分析,但肖特基势垒的退化却未引起人们的足够重视。

本文以耗尽型 GaAs MES FET 组成的缓冲场效应晶体管逻辑(BFL)电路^[9]为例,研究 GaAs MES FET 单片集成电路制作中的一些新的工艺方法,同时利用扫描俄歇能谱仪分析了肖特基势垒的热退化失效,并提出了改善措施。

一、欧姆接触制作及接触长度的设计

我们所采用的电路如图 1 所示,其欧姆接触、肖特基势垒栅、二极管以及互连线等金属图形均采用正性光刻胶的金属剥离工艺^[10]制作。其中 7 个 MES FET 的栅长为 1 微米,栅宽为 70—100 微米,三个肖特基二极管的两极间距为 2 微米。所有光刻均采用接触曝光。

源漏欧姆接触用 (Au-Ge-Ni) + Au 的双层金属结构。为了减小接触比电阻,采用了快升温合金技术^[11]。得比电阻 $R_c \approx 1 \times 10^{-5} - 7 \times 10^{-6} \Omega \cdot \text{cm}^{-2}$ 。

在单片电路中,主要的占用面积是欧姆接触区,因此,为提高单片电路的集成度,必须在不明显影响欧姆接触电阻的情况下,选取合理的接触尺寸.按照推广的传输线模型(ETLM)^[12],平面器件的欧姆接触电阻可表示为*

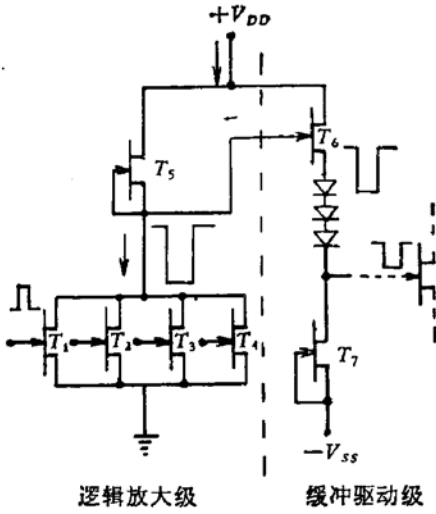


图1 四输入 BFL 门电路原理图

$$R = \frac{R_{\square} d}{z} \sqrt{\left(\frac{R_c}{R_{\square}}\right) \frac{1}{d^2} + \left(\frac{1}{\pi} \ln 4\right)^2} \cdot \operatorname{cth} \left(\frac{a/d}{\sqrt{\left(\frac{R_c}{R_{\square}}\right) \frac{1}{d^2} + \left(\frac{1}{\pi} \ln 4\right)^2}} \right), \quad (1)$$

我们由此得出

$$\left(\frac{R_a - R_{\infty}}{R_a}\right) = \operatorname{cth} \left(\frac{a/d}{\sqrt{\left(\frac{R_c}{R_{\square}}\right) \frac{1}{d^2} + \left(\frac{1}{\pi} \ln 4\right)^2}} \right) - 1. \quad (2)$$

这里, a 和 z 分别为相对于电流流动方向的接触金属的长和宽; R_a 是接触长度为 a 的接触电阻; R_{∞} 是无限长接触 ($a \rightarrow \infty$) 的接触电阻; R_c 是欧姆接触的比电阻; R_{\square} 和 d 分别为外延层的方块电阻和厚度.

由(1)式可知,接触电阻与接触宽度 z 成简单的反比,因此,为提高单片电路的集成度,我们主要讨论接触长度尺寸的选取.为了使用方便,由(2)式可绘制出用于设计平面器件最小欧姆接触长度的直读曲线,示于图2(本组曲线对于诸如 Si、GaAs、InP、GaAlAs

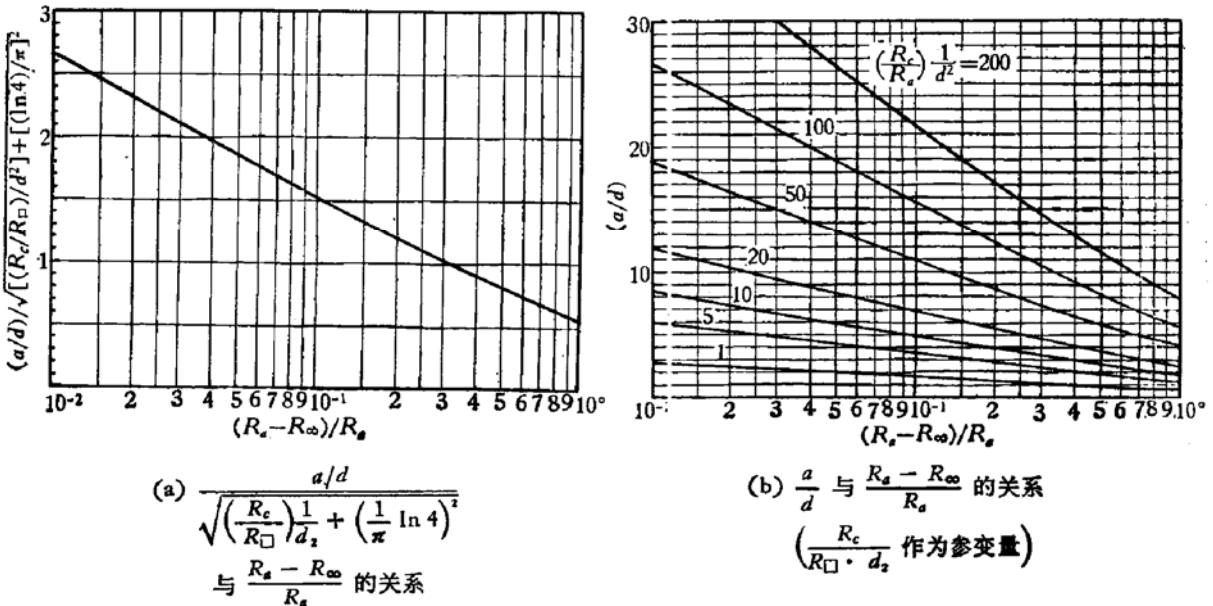


图2 用于设计平面器件最小欧姆接触长度的直读曲线

* 更精确的级数展开模型 (EXPM) 与 ETLM 相比表明,当长度比 $\frac{a}{d} > 0.5$ 时, ETLM 是一个简单的好模型^[13].

之类的任何材料的平面器件都是适用的)。当我们对接触电阻的要求 $\frac{R_s - R_\infty}{R_s}$ 确定之后,从图 2 即可求得所需设计的接触长度 a 。

$$\text{若} \quad \left(\frac{R_c}{R_\square}\right) \frac{1}{d^2} \gg \left(\frac{1}{\pi} \ln 4\right)^2 \approx 0.2, \quad (3)$$

则

$$\frac{a/d}{\sqrt{\left(\frac{R_c}{R_\square}\right) \frac{1}{d^2} + \left(\frac{1}{\pi} \ln 4\right)^2}} \approx \frac{a}{\sqrt{\frac{R_c}{R_\square}}} \quad (4)$$

此时,由图 2(a) 即可查得用于设计 a 的简单不等式。

如 (3) 式不能成立,则使用图 2(b) 更为方便。

例如,一般取 $\frac{R_s - R_\infty}{R_s} < 5\%$, 则由图 2(a) 查出, a 必须满足不等式

$$\frac{a}{d} > 1.86 \sqrt{\left(\frac{R_c}{R_\square}\right) \frac{1}{d^2} + \left(\frac{1}{\pi} \ln 4\right)^2}. \quad (5)$$

通常,对于 GaAs MES FET, (3) 式成立,不等式 (5) 简化为:

$$a > 1.86 \sqrt{\frac{R_c}{R_\square}}. \quad (6)$$

取一组典型参数 ($n = 1 \times 10^{17} \text{cm}^{-3}$, $\mu = 3000 \text{cm}^2/\text{V}\cdot\text{s}$, $d = 0.4 \mu\text{m}$, $R_c = 1 \times 10^{-5} \Omega\text{-cm}^{-2}$), 可求得 $a > 3.2 \mu\text{m}$ 。另外考虑一组 R_\square 较小, R_c 较大的参数 ($n = 2 \times 10^{17} \text{cm}^{-3}$, $\mu = 4000 \text{cm}^2/\text{V}\cdot\text{s}$, $d = 0.5 \mu\text{m}$, $R_c = 5 \times 10^{-5} \Omega\text{-cm}^{-2}$), 可求得 $a > 9.4 \mu\text{m}$ 。可见,只要选取 $a > 10 \mu\text{m}$ 就足以保证一般工艺条件下 $\frac{R_s - R_\infty}{R_s} < 5\%$ 。

基于上述分析,我们实际设计尺寸是 $a = 10-15 \mu\text{m}$ 。

在单片电路设计中,选取最小接触长度不仅可以增大集成度,而且亦可减小电路的寄生电容^[4]。这在微波和超高速电路设计时是一重要考虑因素。

二、磷酸系腐蚀液的工艺特性研究

在采用外延台面法制作 GaAs 器件及单片电路时,台面腐蚀、清洗腐蚀等都要使用 GaAs 腐蚀液。为选择较优的腐蚀液用于 GaAs 器件及单片集成工艺,我们提出了磷酸系腐蚀液^[4],并与几种常用的 GaAs 腐蚀液进行了对比,其优缺点列于表 1。

从表 1 可以看出,在 GaAs 单片电路制作中,最好选用 NH_4OH 系或磷酸系腐蚀液。在本电路制作中,所有腐蚀均采用磷酸系腐蚀液。其优点为不溶胶,对多数金属不腐蚀,腐蚀后台阶平缓,底部平坦,没有壕沟。图 3 给出短栅爬越用磷酸系腐蚀液获得的台面台阶的情况。虽然栅金属(约厚 4000\AA)比台阶(约 6000\AA)薄,但由于腐蚀边界比较平缓,短栅可以顺利地跨越台阶。从图 3 明显地看出栅区的深腐蚀坑,由于磷酸系腐蚀液不溶胶,由横向腐蚀形成的檐形光刻胶掩蔽,栅金属可自对准地蒸发在腐蚀坑的中间。

表 1 GaAs 器件工艺中常用腐蚀液的优缺点比较

腐蚀液	腐蚀图形		溶胶程度		腐蚀金属的程度					备注
	壁	底	KPR	OFPR	Al	Ni	Cr	Ti	Au-Ge-Ni	
NaOH + H ₂ O ₂ + H ₂ O	缓	平	稍	溶	蚀	蚀	不	不	蚀	NaOH 是固体, 配液不便, 易沾污.
NH ₄ OH + H ₂ O ₂ + H ₂ O	缓	平	不	不	弱 (≈300 Å)	不	不	不	不	配液方便 (全液体), 不易沾污.
H ₂ SO ₄ + H ₂ O ₂ + H ₂ O	陡	易出壕沟	不	不	不	弱 (≈300 Å)	不	不	蚀	H ₂ SO ₄ 加 H ₂ O 引起明显的放热反应, 其温升不利于恒温控制腐蚀.
H ₃ PO ₄ + H ₂ O ₂ + H ₂ O	缓	平	不	不	弱 (≈300 Å)	不	不	不	蚀	配液方便 (全液体), 不易沾污.

[说明] 腐蚀液组分: NaOH:H₂O₂:H₂O = 1.5g:2.5ml:35ml; NH₄OH:H₂O₂:H₂O = 1:1:180; H₂SO₄:H₂O₂:H₂O = 5:2:130; H₃PO₄:H₂O₂:H₂O = 5:2.5:100. 化学试剂百分比浓度: NH₄OH——26%; H₂O₂——30%; H₂SO₄——97%; H₃PO₄——85%. 实验条件: 腐蚀温度 25°C; 腐蚀时间 5 分; 腐蚀速率(约) 1000 Å/分.

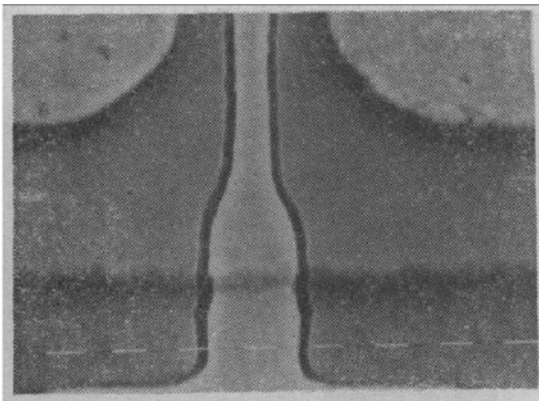


图 3 栅条跨越台面台阶的电子显微照片 (×5000)

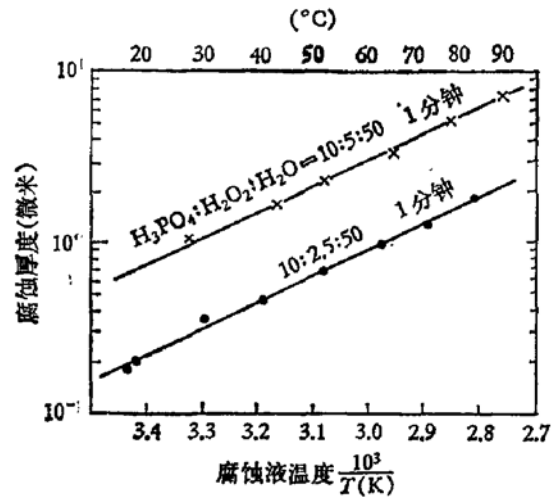


图 4 磷酸腐蚀液腐蚀速度随温度的变化

磷酸系腐蚀液的腐蚀实验表明, 腐蚀厚度精确地遵从与腐蚀时间成正比的线性关系:

$$d = Kt, \tag{7}$$

其中, d 为腐蚀厚度, t 为腐蚀时间, K 为腐蚀速度, 它与腐蚀液温度之间遵从 Arrhenius 关系, 即

$$K = K_0 \exp\left(-\frac{\Delta H}{RT}\right), \tag{8}$$

这里 K_0 是随腐蚀液配比而变的常数, T 是腐蚀时的绝对温度, $R = 1.99$ 卡/度·克分子, ΔH 为激活能.

对于典型的工艺用腐蚀液 H₃PO₄:H₂O₂:H₂O = 10:2.5:50, 由图 4 可求得其 ΔH 和 K_0 值为:

$$\begin{cases} \Delta H = 6.97 \text{ (千卡)} \\ K_0 = 5.53 \times 10^6 \text{ (Å/秒)}. \end{cases}$$

由图 4 可以看到,在一定的配比范围内,配比的变化只改变 K_0 值, ΔH 值保持不变。

三、肖特基势垒特性的改善

由于高频、超高速等特性都要求制作 1 微米或亚微米栅长的肖特基势垒栅,同时,在单片电路中栅金属一般为难腐蚀金属,因此,须采用金属剥离技术来实现既有短栅长的几何图形,又有良好电学特性的势垒结。

在单片集成电路中,由于栅金属与欧姆接触金属的互连需要,应避免用铝作势垒金属,以防止出现 Au-Al “紫斑”问题而影响可靠性,同时为了提高电路的抗烧毁能力,我们采用 Ti/Au $\approx 500 \text{ \AA}/3500 \text{ \AA}$ 双层金属结构。它同时用于三极管和二极管的势垒接触以及互连金属线。

为了获得好的 1 微米窄条栅,除了光刻图形要均匀以外,胶膜厚度必须大于金属层厚度的二倍,且要求窗口边缘陡峭。同时,金属剥离的各工序的热处理温度不得超过 120°C ,以防止正性胶的变形和老化。图 5(a) 给出四个输入门管的扫描电子显微照片,图 5(b) 给出 1 微米短栅的高倍放大照片。

为了减小源漏寄生电阻并去除金属蒸发前 GaAs 的表面沾污层,我们采用了栅区深腐蚀技术^[11,14]。这不仅减少了源漏寄生电阻^[11],控制了器件的夹断电压和饱和电流,而且由于表面干净,使肖特基势垒特性得到了改善(见表 2)。

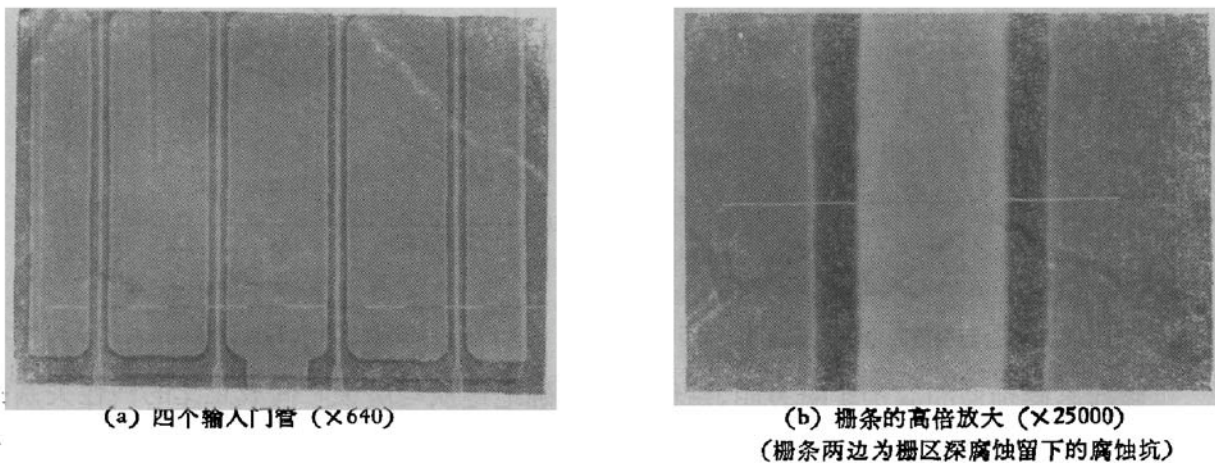


图 5 GaAs-BFL 单片集成电路的局部扫描电子显微照片

表 2 栅区深腐蚀和盐酸浸泡对肖特基势垒特性的影响*

清洗条件	未腐蚀;未泡盐酸	腐蚀 1 分;未泡盐酸	腐蚀 5 秒;泡盐酸	腐蚀 1 分;泡盐酸
势垒特性				
n 因子	1.32	1.25	1.22	1.12**
V_f (伏) (正向 $10\mu\text{A}$ 起始电压)	0.49	0.45	0.44	0.42

注: * 用 4 个大片,每片切成 4 小片,分四组作实验,并各测 21—23 组数据,求其平均值。腐蚀液为 H_3PO_4 :
 H_2O_2 : $\text{H}_2\text{O} = 10:4:50$,稀盐酸为 $\text{HCl}:\text{H}_2\text{O} = 1:1$

** 对于薄层平面器件而言,此值已较理想^[11]。

为了尽量去除残留的氧化膜,我们在势垒蒸发前增加了稀盐酸浸泡工序。表 2 的实验结果表明,盐酸浸泡法对改善肖特基势垒结的特性有明显的好处。

四、肖特基势垒结的热退化失效

在我们的研究中发现,热处理常常引起肖特基势垒结特性的严重退化,使正向起始电压减小,反向漏电流增大,甚至穿通,从而导致器件和电路的热失效。

当研究热处理温度对 Au-Ti-GaAs 肖特基势垒结的影响时,我们测量了 n 因子随热处理温度的变化曲线,示于图 6。各温度下的处理时间为 10 分钟。在我们的实验条件下,经过 400°C 处理, n 因子急剧上升。因此,需要进一步探讨引起势垒热失效的主要原因。

借助于俄歇能谱仪,我们对 350°C 热处理 10 分钟后热退化结和热稳定性良好的结进行了俄歇能谱分析,其典型俄歇能谱曲线示于图 7。统计结果表明,引起结的热退化主要有两种原因:一是热处理后 Au 穿透 Ti 层与 GaAs 直接接触;二是碳沾污。通过加强工艺管理,碳沾污是易于免除的。而 Au 穿透 Ti 层与 GaAs 直接接触则是肖特基势垒结热退化的主要原因。

附带指出,由能谱曲线可以看到 Ti 层伴随着氧化。这是由于 Ti 金属蒸发时强烈的吸气作用造成的。我们发现,这种氧化对肖特基势垒结的特性没有明显的影响。

原则上讲,厚的 Ti 层能够防止金的穿透,但长时间蒸发会使正性胶变形,造成窄条剥离困难,同时厚的 Ti 层将引起栅金属压降电阻的增大,因此,Ti 层的蒸发厚度受到限制。

进一步分析发现,当具有基本的 Ti 层厚度之后,热退化结与热稳定结的 Ti 层厚度相差不多,这引起对 Ti 层结构致密性的怀疑。为此,我们作了快速和慢速 Ti 蒸发实验。蒸发速率较快的样品在热处理后 Au 的穿透较深,而蒸发速率较慢的样品,渗透较少。因此认为,肖特基势垒结的热退化与 Ti 层结构的致密性有关。

为了防止金的穿透,在 Au 与 Ti 之间加一高熔点金属作阻挡层是有益的。我们试用了 Au-Cr-Ti 三层结构,发现对势垒结的热稳定性有明显改善。在 400°C 下处理 10 分钟未发现势垒结退化。

综上所述,为改善肖特基势垒结的热稳定性,我们认为采取以下工艺措施是必要的:

1. 掌握合适的蒸发速率,使蒸发的 Ti 层致密。
2. 在金属剥离不发生困难的情况下,Ti 层应适当加厚。
3. 减小 GaAs 表面沾污,诸如采取栅区深腐蚀技术、盐酸浸泡法等加强清洗的方法。
4. 加强工艺管理,在整个工艺过程中防止碳沾污和其他杂质沾污。尤其要防止蒸发源和真空系统沾污。

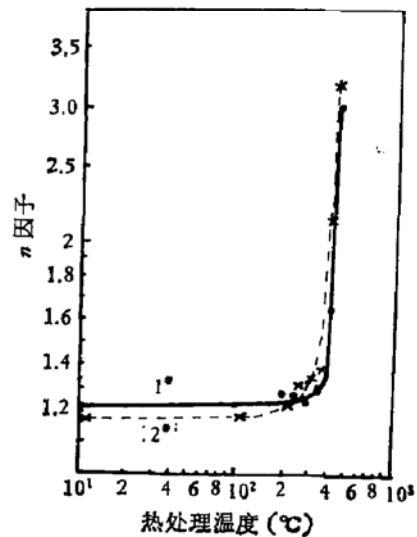
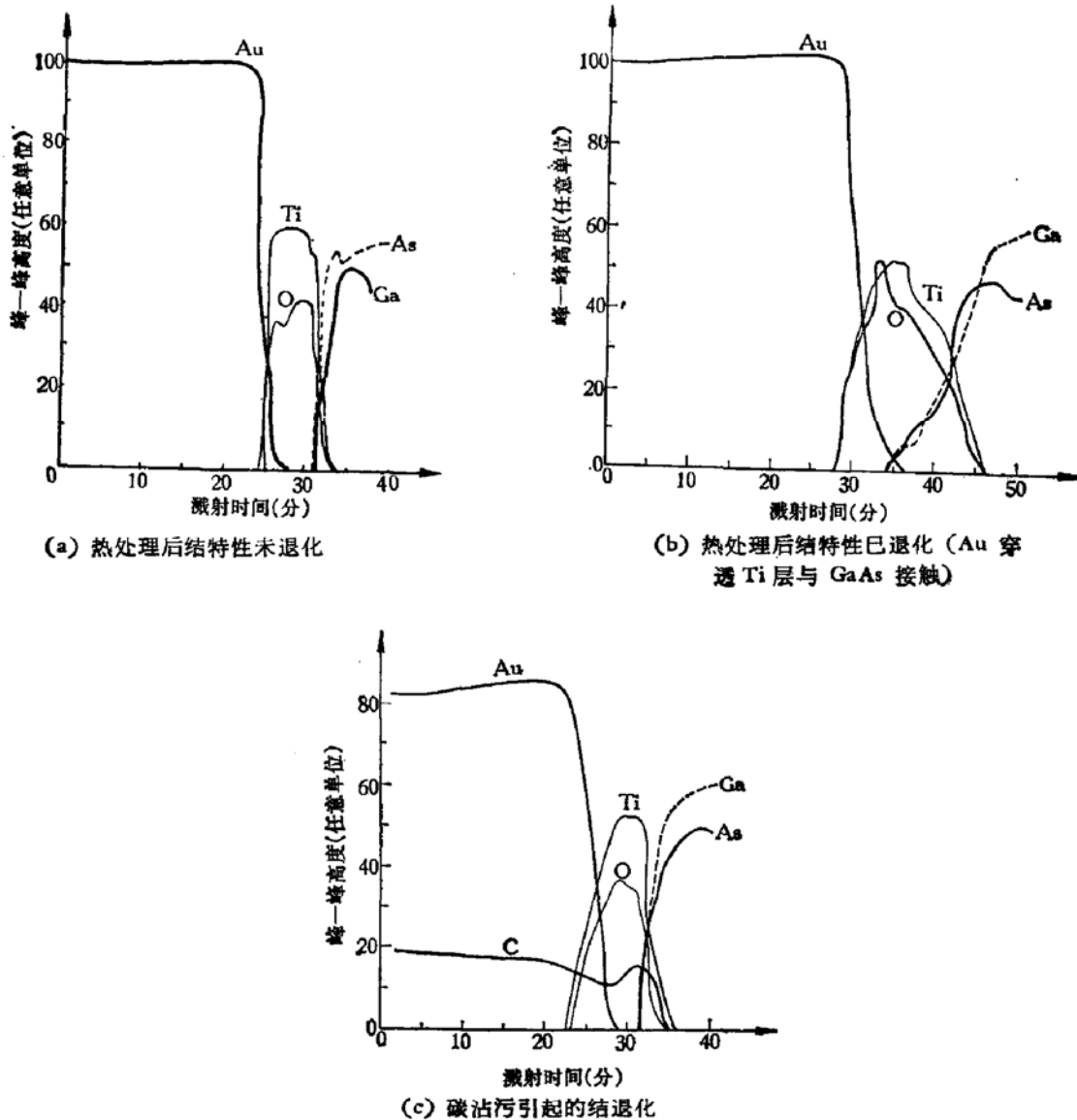


图 6 n 因子随热处理温度的变化曲线 (Au/Ti \approx 3500 Å / 500 Å, 热处理时间为 10 分钟)

5. 选用三层金属结构, 在 Au 和 Ti 中间加一阻挡层, 防止金的穿透。

图 7 热处理 (350°C , 10^7) 后肖特基结特性已退化与未退化的俄歇能谱曲线

结 语

用缓冲场效应晶体管逻辑四输入“或非”门电路形式, 研究了 GaAs MES FET 单片集成电路设计中提高集成度的问题和有关制作工艺. 借助于俄歇能谱仪研究了 Au-Ti-GaAs 肖特基势垒结热退化引起的失效, 并提出了改善措施. 在此基础上制作了 1 微米栅 GaAs-BFL 单片集成门电路. 用九引线双列扁平管壳封装后, 电路的平均传输时延为 230ps. 用键合丝将空管壳的输入输出端短路后插入测试盒, 可近似测得管壳加测试盒的寄生延迟时间为 150ps. 扣除这一寄生延迟, 得其管芯的平均传输时延小于 100ps.

我们在单管研制期间, 得到了河北半导体研究所有关同志的大力支持和帮助, 在整个研制中, 得到了所内各兄弟单位的大力支援, 在此表示衷心的感谢.

参 考 文 献

- [1] F. J. Morcrief, *Microwaves*, 18, 42 (1979).
 [2] D. A. Abbott, J. Cockrill, R. S. Pengelly, M. G. Stubbs and J. A. Turner, *MSN*, 9, 73 (1979).
 [3] R. C. Eden, B. M. Welch and R. Zucca, *IEEE J. Solid-State Circuits*, SC-13, 418 (1978).
 [4] R. Van Tuyl, C. A. Liechti, R. E. Lee and E. Gowen, *IEEE J. Solid-State Circuits*, SC-12, 485 (1977).
 [5] B. M. Welch, *Solid-State Technology*, 23, 95 (1980).
 [6] S. V. Bearse, *Microwaves*, 15, 32 (1976).
 [7] J. C. Irvin and A. Loya, *B. S. T. J.*, 57, 2823 (1973).
 [8] K. Mizuishi, H. Kuroko, H. Sato and H. Koderu, *IEEE Trans. Electron. Devices*, ED-26, 1008 (1979).
 [9] A. Barna and C. A. Liechti, *IEEE J. Solid-State Circuits*, SC-14, 708 (1979).
 [10] 四川固体电路研究所, “正性光刻胶的金属剥离技术”, 1979年全国微波、光电器件及化合物材料学术会议资料, 论文摘要第23页。
 [11] 四川固体电路研究所, “减小 MES FET 寄生电阻的器件设计和制作技术”, 1979年全国微波、光电器件及化合物材料学术会议资料, 1979年。
 [12] H. H. Berger, *Solid-State Electron.*, 15, 145 (1972).
 [13] H. B. Schuldt, *Solid-State Electronics*, 21, 715 (1978).
 [14] 四川固体电路研究所, “GaAs 器件制作中的新腐蚀液”, 峨眉微波会议资料, 1976年11月。
 [15] H. Fukui, *B. S. T. J.*, 58, 771 (1979).

Investigation of Fabrication Technology for Monolithic GaAs MES FET Integrated Circuits

Wang Limo, Luo Haoping, Li Qizhong, Yang Fengchen, Jiang Fong, Qu Zhiren, Chen Lingyun and Ma Hongfang

(Shichuan Institute of Solid-State Circuits)

Abstract

The technology for monolithic GaAs MES FET integrated circuits have been studied through the fabrication of buffered FET logic (BFL) integrated circuits. Direct-readout curves for designing planar devices with minimized ohmic contact length are given to improve the integrated density of monolithic circuits. The phosphoric acid etchant system is studied and compared with other etchants commonly used in GaAs device fabrication. The experiments show that the characteristics of the Schottky barrier junction can be improved significantly by immersing the wafer in hydrochloric acid and adopting deep etched gate recess structure prior to the gate evaporation. The thermal degradation for Au-Ti-GaAs Schottky barrier has been analyzed by means of Auger electron spectroscopy and methods for improving the characteristics of the Schottky barrier junction are discussed. The monolithic GaAs MES FET logic gate circuits with an average propagation delay $t_{pd} < 100$ ps have been fabricated.