

一种采用改进 Domino 加法器的 高速流水线乘法器

王月明 钟葭生

清华大学微电子所,北京 100084

(1991年9月19日收到,1991年12月6日收到修改稿)

乘法器是数字信号处理系统中的关键。流水线乘法器可以以较小的代价获得较高的平均速度。本文给出了流水线乘法器的结构;提出了两种改进型 Domino 加法器电路;对改进型电路作了分析和模拟。模拟结果表明,采用新的改进型 Domino 电路后,流水线乘法器的速度可以显著提高。

EEACC: 2570D, 6140, 1265B

一、引言

数字信号处理相对于模拟信号处理具有许多明显的优势^[1]。如:精度高,灵活性大,可靠性强,易于大规模集成等。因此,数字信号处理在雷达系统、声纳系统、通讯系统、语音处理、图象处理等领域得到了广泛的应用。

数字信号处理的核心是乘法运算。乘法速度是制约数字信号处理应用的主要因素^[2,3]。早期的数字系统,其乘法用软件实现,速度较慢,难于满足大量存在的实时处理的要求。八十年代初出现了专门用于数字信号处理的数字信号处理器(DSP)。采用 DSP 后,数字系统中的乘法不必再用软件实现,处理速度大大提高,促进了数字信号处理技术的应用。内有硬件乘法器是 DSP 区别于其它微处理器的主要标志。在提高硬件乘法器的速度方面,人们进行了长期的大量的研究工作,提出了许多有效方法^[4-11]。

但是,在采取多种方法提高乘法速度的同时,却也增加了设计和制作高速乘法器的复杂性和难度。然而,在一些处理连续不断的数据流的场合可以采用流水线乘法器,在不增加工艺难度和版图复杂性的情况下可以大大提高乘法器的平均速度和数据吞吐量。这种应用场合的典型例子是有限冲激响应(FIR)滤波器和离散富里叶变换(DFT)^[12]。

Domino 电路是一种需要时钟控制的动态 CMOS 电路,采用 Domino 电路的一个明显的优点是可以减少管子数,节省硅片面积。面积小,电容小,因而速度可以提高^[13]。因为需要时钟,所以它不适合非流水线的乘法器,但在流水线乘法器中采用它可以充分发挥 Domino 电路的优点。

本文讨论了流水线乘法器的结构,分析了标准 Domino 加法器的原理,并在此基础

上提出了新的改进型 Domino 加法器电路。采用新的改进型 Domino 加法器，流水线乘法器的速度可达 120MHz，远比采用标准 Domino 加法器的高。

二、流水线乘法器的结构

乘法器的速度取决于算法结构、单元电路及制造工艺。由于对乘法速度有很高的要求，因此，在结构上数字信号处理系统一般不采用串行乘法器而采用并行的阵列乘法器。

最简单、最基本的并行乘法器采用的是串行进位加法器（CRA）阵列结构。 $n \times n$ 位乘法器的乘法时间为 $(3n - 4)T_{FA}$ ，其中 T_{FA} 为全加器的延时。

这种结构稍作变化就得到了另一种更好的乘法器结构，即所谓的保留进位加法器（CSA）阵列结构，其关键路径的延时为 $(2n - 2)T_{FA}$ 。当 $n \gg 1$ 时，这种乘法器的延时仅为第一种的 $\frac{2}{3}$ 。所以，CSA 阵列结构在并行乘法器中广为采用。

CSA 阵列乘法器，结构简单，速度较快，但若要进一步提高速度还必须采取许多其它措施。而且，CSA 阵列乘法器的硬件利用率较低。在一些加法器“工作”时，另一些则在“休息”。

采用流水线技术，提高乘法器硬件的利用率，使各加法器都同时不停地“工作”，这样可以有效地提高乘法器的平均速度。以增加若干寄存器为代价，流水线乘法器可以在高速时钟下不断接受数据、处理数据，从而使其平均乘法速度达到了一位全加器加法速度的水平，大大提高了乘法运算的信息流量。另外，采用流水线结构后，加法器可以用 Domino 电路实现，这样可以发挥 Domino 电路的管子少、速度快、容易形成寄存器等优点。

原则上来说，只要插入相应的寄存器，CRA 阵列和 CSA 阵列都可以构成流水线乘法器。但若采用 CRA 阵列结构不仅需要更多的寄存器^[14]，而且流水线乘法器的滞后（latency）会更大。所以，流水线乘法器以采用 CSA 阵列结构为好。在采用 CSA 阵列结构的流水线乘法器中，需参加求和运算的部分积在前一级提前产生，这样做使产生部分积的与门的延时不再成为制约乘法器速度的因素，进一步提高了乘法器的速度。

在数字信号处理中，待处理的信号往往是带符号的，所以乘法器应能进行符号数的相乘。对符号数的处理，我们采用 Baugh-Wooley 方法^[15]的一种变化形式^[12]。

$$\text{设 } X = -2^{n-1}x_{n-1} + \sum_{i=0}^{n-2} 2^i x_i,$$

$$Y = -2^{n-1}y_{n-1} + \sum_{i=0}^{n-2} 2^i y_i,$$

$$XY = \left(-2^{n-1}x_{n-1} + \sum_{i=0}^{n-2} 2^i x_i \right) \left(-2^{n-1}y_{n-1} + \sum_{i=0}^{n-2} 2^i y_i \right).$$

$$= \sum_{i=0}^{n-2} \sum_{j=0}^{n-2} x_i y_j 2^{i+j} + 2^{n-2} x_{n-1} y_{n-1}$$

$$- 2^{n-1} x_{n-1} \sum_{i=0}^{n-2} 2^i y_i - 2^{n-1} y_{n-1} \sum_{i=0}^{n-2} 2^i x_i,$$

上式中的第三、第四项是相减项，可以用加其补码的方法来处理。

减去 $2^{n-1}x_{n-1} \sum_{i=0}^{n-2} 2^i y_i$ 可变为：

加上 $2^{n-1} \left(-2^{n-1} + \sum_{i=0}^{n-2} \overline{x_{n-1}y_i} 2^i + 1 \right)$

同理，减去 $2^{n-1}y_{n-1} \sum_{i=0}^{n-2} 2^i x_i$ 可变为：

加上 $2^{n-1} \left(-2^{n-1} + \sum_{i=0}^{n-2} \overline{y_{n-1}x_i} 2^i + 1 \right)$

把这两项相加：

$$\begin{aligned} & 2^{n-1} \left(-2^{n-1} + \sum_{i=0}^{n-2} \overline{x_{n-1}y_i} 2^i + 1 \right) + 2^{n-1} \left(-2^{n-1} + \sum_{i=0}^{n-2} \overline{y_{n-1}x_i} 2^i + 1 \right) \\ & = -2^{2n-1} + 2^{n-1} \left[\sum_{i=0}^{n-2} (\overline{x_{n-1}y_i} + \overline{y_{n-1}x_i}) 2^i \right] + 2^n \end{aligned}$$

所以

$$\begin{aligned} XY = & \sum_{i=0}^{n-2} \sum_{j=0}^{n-2} x_i y_j 2^{i+j} + 2^{2n-2} x_{n-1} y_{n-1} \\ & + 2^{n-1} \left[\sum_{i=0}^{n-2} (\overline{x_{n-1}y_i} + \overline{y_{n-1}x_i}) 2^i \right] - 2^{2n-1} + 2^n \end{aligned}$$

上式表示的符号数乘法为如下所示（以 8×8 位的情况为例）的阵列。

$$\begin{array}{cccccccc} X_0\bar{Y}_7 & X_0Y_6 & X_0\bar{Y}_5 & X_0Y_4 & X_0\bar{Y}_3 & X_0Y_2 & X_0\bar{Y}_1 & X_0Y_0 \\ \bar{X}_1\bar{Y}_7 & X_1Y_6 & X_1\bar{Y}_5 & X_1Y_4 & X_1\bar{Y}_3 & X_1Y_2 & X_1\bar{Y}_1 & X_1Y_0 \\ \bar{X}_2\bar{Y}_7 & X_2Y_6 & X_2\bar{Y}_5 & X_2Y_4 & X_2\bar{Y}_3 & X_2Y_2 & X_2\bar{Y}_1 & X_2Y_0 \\ \bar{X}_3\bar{Y}_7 & X_3Y_6 & X_3\bar{Y}_5 & X_3Y_4 & X_3\bar{Y}_3 & X_3Y_2 & X_3\bar{Y}_1 & X_3Y_0 \\ \bar{X}_4\bar{Y}_7 & X_4Y_6 & X_4\bar{Y}_5 & X_4Y_4 & X_4\bar{Y}_3 & X_4Y_2 & X_4\bar{Y}_1 & X_4Y_0 \\ \bar{X}_5\bar{Y}_7 & X_5Y_6 & X_5\bar{Y}_5 & X_5Y_4 & X_5\bar{Y}_3 & X_5Y_2 & X_5\bar{Y}_1 & X_5Y_0 \\ \bar{X}_6\bar{Y}_7 & X_6Y_6 & X_6\bar{Y}_5 & X_6Y_4 & X_6\bar{Y}_3 & X_6Y_2 & X_6\bar{Y}_1 & X_6Y_0 \\ X_7\bar{Y}_7 & \bar{X}_7Y_6 & \bar{X}_7\bar{Y}_5 & \bar{X}_7Y_4 & \bar{X}_7\bar{Y}_3 & \bar{X}_7Y_2 & \bar{X}_7\bar{Y}_1 & \bar{X}_7Y_0 \end{array}$$

上面的阵列和两个正数相乘的情况相比，除了需要加两个“1”和部分积的某些位取反外，两者的结构完全相同。这给乘法器处理符号数带来了极大的方便。阵列中的两个“1”分别对应乘积的最高位 ($2n-1$) 位（符号位）和第 n 位。第 $2n-1$ 位的加“1”等于取反，所以最高位加“1”实际只需把次高位（第 $2n-2$ 位）的进位取反即可。第 n 位的加“1”也不需增加什么硬件，只要把相应的半加器变为全加器即可。

在流水线乘法器中，要实现次高位进位的取反必须增加一级流水，我们考虑到在两个符号数相乘时，乘积具有两位相同的符号位，最高位可看成是次高位的扩展。所以，最高位可以直接取次高位的值而不必进行进位的取反操作。这样，符号数相乘时的阵列中最高位的加“1”实际上没有处理，从而减少了一非寄存器和一级流水线的延时。

能够进行符号数相乘的流水线乘法器如图 1 所示。

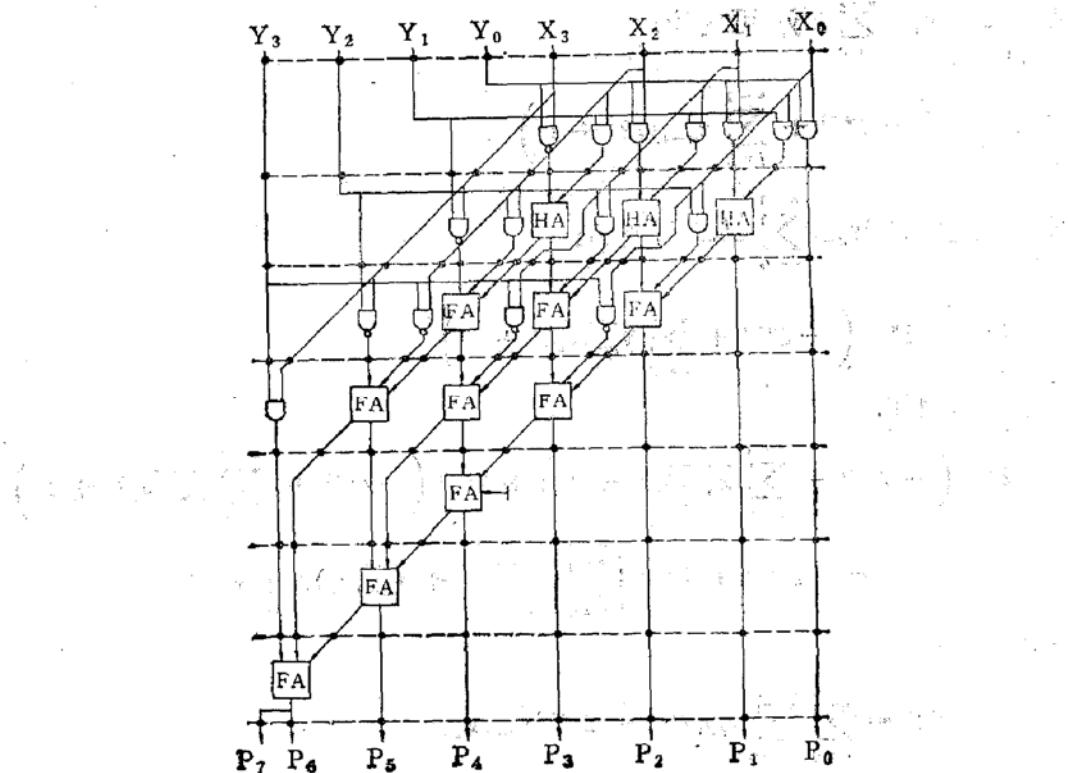


图 1 能进行符号数乘法运算的流水线乘法器图中的黑点表寄存器

由图可见,流水线的结构、级数都和正数相乘时的相同。不同之处是,和 P_4 对应的一个半加器变成了全加器,另外,有 6 个与门变成了与非门。这些变化都是很容易实现的。并且,由于部分积提前在前级产生,变与门为与非门不会增加级的延时,所以速度和滞后时间也和正数相乘时的相同。

三、改进型 Domino 加法器

首先分析一下标准 Domino 加法器的工作原理。标准 Domino 加法器如图 2 所示。电路由 PMOS 功能块和 NMOS 功能块组成,其工作过程可分为预充和求值两个阶段。在预充阶段,CLK 为低电平,这时 M_{21} 、 M_{22} 导通, M_{20} 、 M_{23} 截止,节点 5 被 M_{21} 放电至低电平,节点 6 被 M_{22} 充电至高电平。在求值阶段,CLK 为高电平,这时 M_{21} 、 M_{22} 截止, M_{20} 、 M_{23} 导通,节点 5 根据输入信号的不同,或充电至高电平,或保持低电平,节点 6 是否放电不仅和三个输入信号有关,还与节点 5 的状态有关。当加法器的三个输入是两低一高时,加法器的速度最慢,产生和的延迟时间最长。这时,只有等进位部分求值以后(节点 5 变为高电平),和的部分才能正确求值(节点 6 变为低电平)。在图 2 中,进位部分的电路是由 PMOS 管构成的,由于载流子迁移率的差异,PMOS 管的速度要比 NMOS 管慢 2—3 倍,因此,进位的求值较慢,和的求值因要等待进位而更慢。采用 2μm CMOS 工艺的标准 Domino 加法器的模拟结果如图 3 所示。加法器的和的延时约为

4.19ns，时钟频率最高为 90MHz。

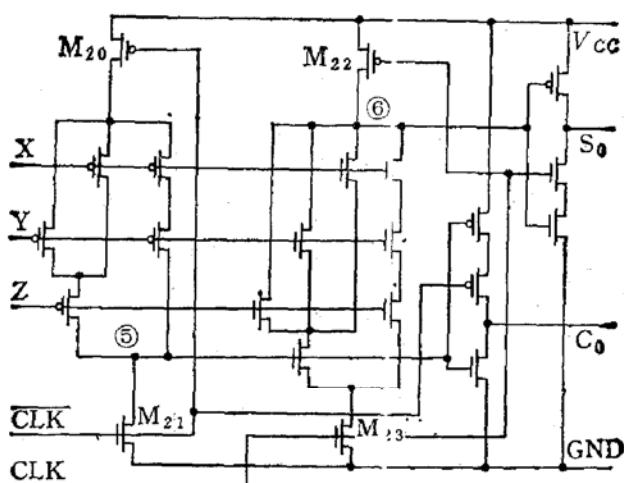


图 2 标准 Domino 加法器

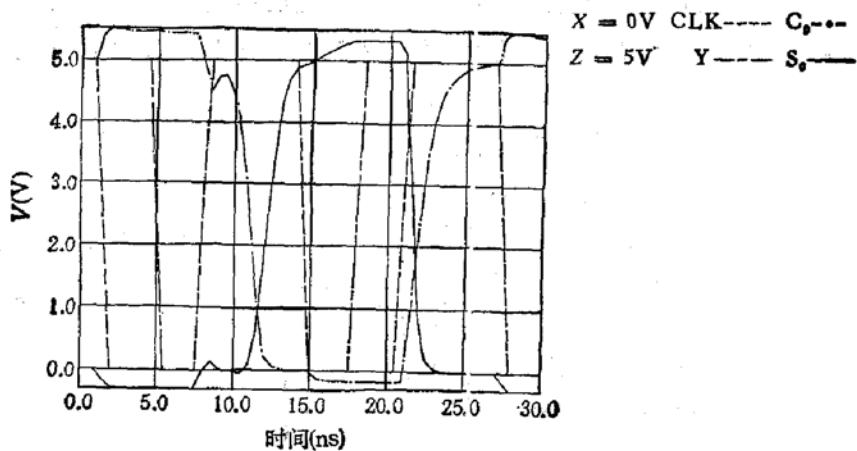


图 3 标准 Domino 加法器的模拟结果

求进位由速度较慢的 PMOS 管完成，而求和要等待进位，这就是标准 Domino 加法器不能进一步提高速度的原因。

本文提出的第一种改进型 Domino 加法器电路如图 4 所示。

由图可见，求进位部分的电路以及求和部分的电路都由速度较快的 NMOS 管构成。这样可使进位的求值加快 2—3 倍。工作过程和标准 Domino 电路相似，所不同的是进位的求值点从 M_{21} 的漏极变到了 M_{20} 的漏极。在预充阶段，CLK 为低电平，节点 5 和节点 6 同时被充电至高电平。在求值阶段，CLK 为高电平，节点 5 根据输入信号的不同，或放电至低电平，或保持高电平，节点 6 是否放电除和三个输入信号直接有关外还受到节点 5 的状态的影响。但是，这种两个 NMOS 功能块直接级连的电路会出现竞争^[13]，容易导致逻辑错误。例如，当输入为两高一低时，要求求值的结果为节点 5 为低电平，节点 6 为高电平，但由于竞争，在节点 5 变换为低电平的过程中， M_5 不能及时关闭，结果节点 6 被错误放电而不能维持正确的高电平。为了防止出现这种情况，要求节点 5 能迅速放电，而节点 6 应适当延迟放电并补充一定电荷。相应地，在电路上采取了三方面的措施：一是加大进位求值部分 M_1 — M_5 的管子尺寸，二是适当减小 M_5 的尺寸，三是在节点 6 增加一

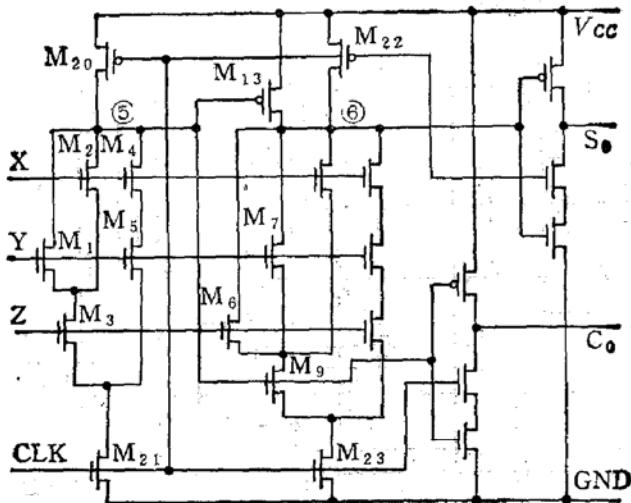


图 4 改进型 Domino 加法器之一

上拉管 M_{13} 。尽管进位部分由于采用 NMOS 管速度已经加快,但为了使节点 5 的放电更快,防止竞争,还必须加大 M_1 — M_5 的尺寸。模拟结果表明,采取以上这些措施后,在输入为两高一低的情况下,节点 6 的高电平不会低于 4V,这个电平能使和的输出 S_o 可靠地处于低电平,保证了电路的逻辑正确性,见图 5。

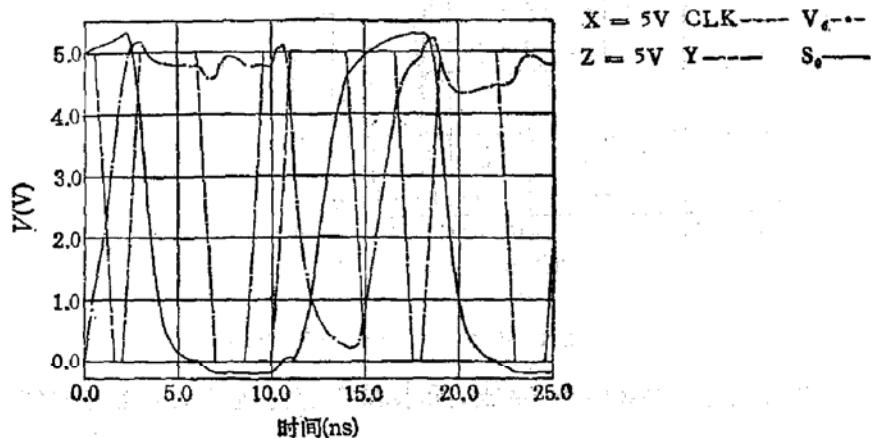
图 5 图 4 电路的节点 6 及输出 S_o 的电平变化

图 4 电路中的上拉管 M_{13} 在节点 5 为低电平时起作用,这对应两种情况。一种情况是加法器的输入为两高一低,在这种情况下,节点 6 应为高电平,但在求值时由于竞争被错误地放掉了一部分电荷, M_{13} 大一点对补充这部分电荷,维持节点 6 的高电平有利。另一种情况是加法器的三个输入都为高电平,这时,节点 6 应为低电平,但由于 M_{13} 的上拉作用减缓了节点 6 的放电过程,所以, M_{13} 大了对提高加法器的速度不利。选取上拉管 M_{13} 的尺寸要同时兼顾对高电平和延时的影响,必须通过反复的模拟、调整以获得优化的尺寸。

M_9 的大小也要经过反复模拟、调整后确定。当输入为两高一低时, M_9 小一点对防止竞争有利;当输入为两低一高时, M_9 小了以后对节点 6 的放电不利,影响加法器的速度。

图 4 的改进型电路通过把原标准 Domino 加法器中的求进位的 PMOS 管变为 NMOS 管,同时加大管子尺寸,使进位的求值大大加快,和的求值可以在几乎不等待进位

的情况下进行 (CLK 变高后就开始动作), 因此, 和的求值速度, 即加法器的速度可以显著提高。图 4 电路的模拟结果示于图 6, 和的延时为 2.22ns, 时钟频率可达 120MHz。

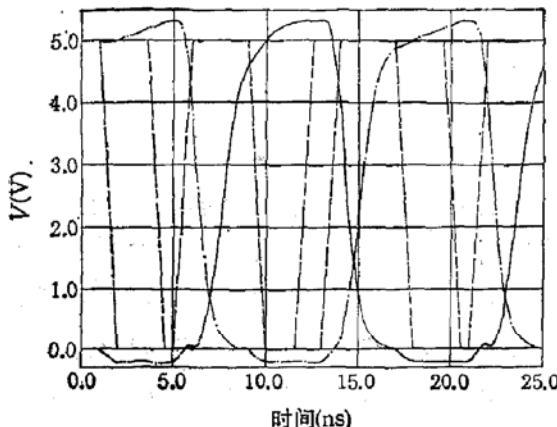


图 6 图 4 电路的模拟结果

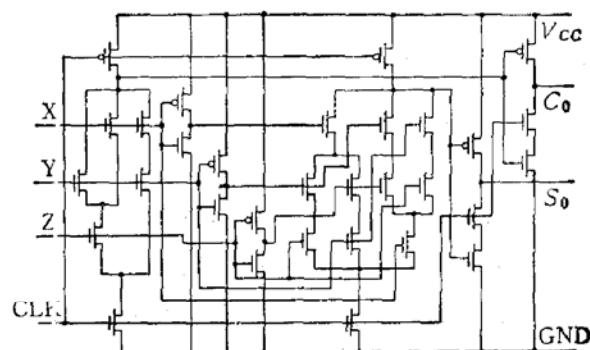


图 7 改进型 Domino 加法器之二

图 7 给出了另一种改进的 Domino 加法器电路。在这个电路中, 求进位部分和求和部分的电路也都由 NMOS 管构成, 和图 4 电路所不同的是和的求值和进位的求值无关, 是完全独立的。这样, 和的求值不必等待进位, 从而大大加快了加法运算速度。

电路由全加器的进位及和与三个输入信号的逻辑关系直接得到。这个电路和标准 Domino 电路相比增加了三个反相器以及另外 4 个管子共 10 个 MOS 管, 这是为实现高速所付出的代价。电路工作过程仍可分为预充和求值两个阶段。表面看, 图中的三个反相器会影响加法器的速度, 但实际上, 反相器的延时对加法器的影响很小, 甚至没有影响。Domino 电路一般都要求输入信号在预充阶段结束前就已经稳定, 而在求值阶段输入信号不变。所以, 当时钟信号由预充开始向求值变化时, 三个输入信号 X、Y、Z 正由输入端通过反相器。由于时钟信号存在上升沿和下降沿, 从预充变到求值需要一定的时间, 而反相器的延时又比较小, 所以当求值真正开始时, 加法器的输入信号基本或已经通过了反相器。因此, 完成和的求值的时间基本和反相器无关, 反相器的延时被掩盖在时钟的上升沿中了。正因如此, 图 7 电路的和的延时比图 4 电路的和的延时还要稍小一些。图 7 电路的模拟结果如图 8 所示, 加法器和的延时为 2.03ns, 时钟频率可达 120MHz 以上。

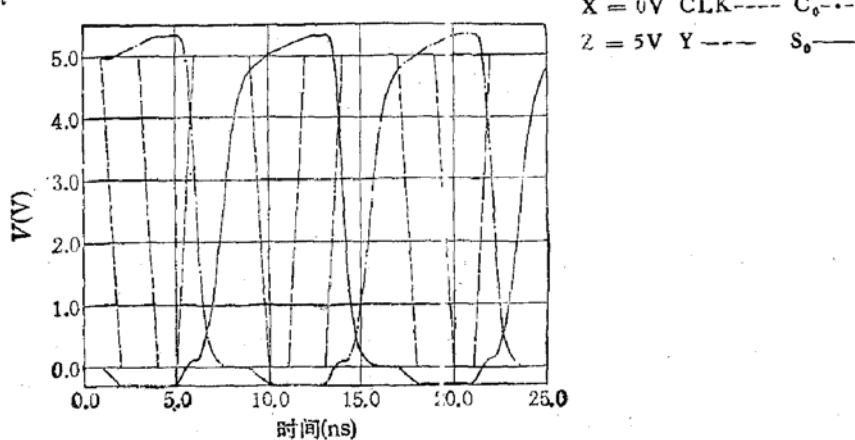


图 8 图 7 电路的模拟结果

在对三种电路进行模拟时,我们都假设采用 $2\mu\text{m}$ CMOS 工艺。各电路的管子尺寸都进行了优化。加法器的输出 S_0 和 C_0 端都假设有一个相同的加法器负载。所以, S_0 和 C_0 端有一定的负载电容,这个电容就是加法器的三个输入端的等效电容的较大者。

四、结语

数字信号处理的主要要求是高速度。乘法器所要解决的问题也是高速度。流水线乘法器是一种代价小速度快的高速乘法器。改进乘法器单元——加法器可使速度进一步提高。模拟结果显示,在 $2\mu\text{m}$ CMOS 工艺下,采用标准 Domino 加法器,流水线乘法器的速度为 90MHz ,而若采用新的改进型 Domino 加法器,速度则可达到 120MHz 。

根据符号数相乘具有两位符号位的特点,对 Baugh-Wooley 等人方法作了简化,从而使处理符号数的流水线乘法器具有和处理正数的流水线乘法器相同的流水线级数和相同的滞后时间。

参 考 文 献

- [1] 王世一,《数字信号处理》,北京工业学院出版社。
- [2] S. Waser, *IEEE Computer Mag.*, 11, 19(1978).
- [3] M. A. Bayoumi *et al.*, *IEEE J. Solid-State Circuits*, 24(2), 494(1989).
- [4] O. L. MacSolely, *Proc. IRE*, Jan., (1961).
- [5] C. S. Wallace, *IEEE Trans. Computers*, 13, 14(1964).
- [6] C. P. Lerouge *et al.*, *IEEE J. Solid-State Circuits*, 19, 338(1984).
- [7] Y. Harata *et al.*, *IEEE J. Solid-State Circuits*, 22, 28(1987).
- [8] K. Yano *et al.*, *IEEE J. Solid-State Circuits*, 25, 388(1990).
- [9] M. R. Santoro *et al.*, *IEEE J. Solid-State Circuits*, 24, 487(1989).
- [10] M. Nagamatsu *et al.*, *IEEE J. Solid-State Circuits*, 25, 494(1990).
- [11] J. Mori, M. Nagamatsu *et al.*, *IEEE J. Solid-State Circuits*, 26, 600(1991).
- [12] M. Hatamian and G. L. Cash, *IEEE J. Solid-State Circuits*, 21, 505(1986).
- [13] N. F. Goncalves *et al.*, *IEEE J. Solid-State Circuits*, Vol. 18, 261(1983).
- [14] J. R. Jump *et al.*, *IEEE J. Solid-State Circuits*, 27, 855(1987).
- [15] C. R. Baugh and B. A. Wooley, *IEEE Trans. Computers*, 22, 1045(1973).

High Speed Pipelined Multiplier Using a Modified Domino Adder

Wang Yueming and Xu Jiasheng

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

(Received 19 September 1991; revised manuscript received 6 December 1991)

Abstract

Multiplier is the key in the Digital Signal Processing System. Pipelined Multiplier can achieve high speed with lower cost. In this paper, the structure of pipelined multiplier is given; two new modified Domino adders are proposed; the circuits are analysed and simulated with SPICE. The results show that the speed of the pipelined multiplier has been improved significantly when the modified Domino adders are adopted.

EEACC: 2570D, 6140, 1265B