

双层金属布线硅栅 CMOS 门阵列电路 制造工艺技术研究

郑养铢 张 敏 凌栋忠 吴 璐 顾惠芬 郑庆云 邱 斌

中国科学院上海冶金研究所, 上海 200233

(1991年4月22日收到, 1991年7月12日收到修改稿)

采用双层金属布线可以提高集成电路的集成密度、集成度和速度。本文报道了双层金属布线工艺技术成功地应用于制造标准 $3\mu\text{m}$ 硅栅 CMOS 500 门、1200 门、2000 门多种门阵列专用大规模集成电路。本文对双层金属布线硅栅 CMOS 门阵列电路制造工艺技术的几个关键技术问题进行讨论。

EEACC: 2550

一、引言

随着集成电路设计方法与制造技术的飞速发展, 越来越多的通用集成电路逐渐被专用、半专用集成电路所代替。专用、半专用集成电路可以提高信息处理速度、提高可靠性、缩小整机体积、加强功能、还可保密, 因而得到迅速发展。CMOS 电路具有功耗低、抗干扰性能好、输入阻抗高、保持信息性能好等优点, 而且特别适用于制造门阵列电路, 所以得到广泛的应用和迅速发展。研究 CMOS 门阵列电路的设计、制造、测试技术受到人们极大的重视。

集成电路集成密度的提高, 使集成电路芯片面积缩小、性能改善、可靠性提高、成品率提高、成本下降; 提高集成电路的集成密度的主要途径是缩小器件尺寸、采用多层金属布线和三维集成技术。采用双层金属布线工艺技术有利于 CMOS 门阵列电路自动布局布线, 提高布通率, 同时缩短引线长度, 提高电路速度。图 1 示意地表示了多层金属布线对

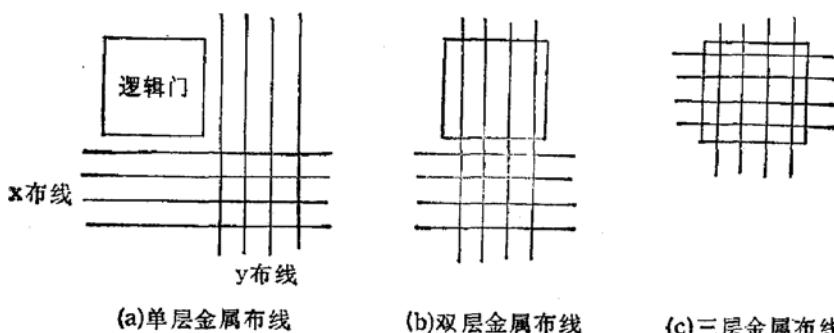


图 1 多层金属布线对集成密度的影响

门阵列电路集成密度的影响。普通的单层金属布线，互连线所占的面积占芯片总面积的 75%。当采用双层金属布线时，互连线只占芯片总面积的 50%，即集成密度提高了一倍。当采用三层金属布线时，互连线基本上不再占用任何附加面积，集成密度比单层金属布线提高 4 倍^[4]。例如，3μm 硅栅 CMOS500 门阵列电路单层金属布线芯片面积为 17.64 mm²，双层金属布线芯片面积为 6.9mm²，芯片面积缩小 61%，显著地提高了电路的集成密度。采用多层金属布线比采用缩小器件尺寸的办法成本低得多。这种多层金属布线技术对于超大规模集成电路的设计、制造技术带来的好处引人注目，研究其制造工艺技术是非常重要的。有一套成熟的制造工艺技术，才能更快地研制开发多品种的专用集成电路，以满足各行各业产业改造和产品升级换代的需要。

采用双层金属布线 3μm 硅栅 CMOS 制造工艺技术研制成功的门阵列电路内部倒相器平均延迟为 0.84ns，二输入端与非门带一个负载平均延迟为 1ns，带五个负载时平均延迟为 2.3ns。例如采用双层金属布线 3μmCMOS2000 门基片研制成功的 16 位高速逻辑运算电路，其工作频率高达 40MHz。

二、主要工艺特点

双层金属布线 3μmCMOS 门阵列电路采用标准 3μm 设计规则，低阻硅单晶材料、P 饼、单层多晶硅、双层金层布线、全离子注入、LPCVD 多晶硅与氮化硅、PECVD 氧氮化硅绝缘介质薄膜、磁控溅射铝-硅合金薄膜和反应等离子体刻蚀等工艺技术。

三、关键制造工艺技术

1. 一种 N⁺掺杂多晶硅

为了制造工艺方便起见，无论是 NMOS 管还是 PMOS 管都用相同掺 N 型杂质多晶硅栅，即在低压化学气相沉积多晶硅后用三氯氧磷液态源或离子注入磷、砷杂质进行掺杂，然后用氢氟酸溶液漂除多晶硅表面的磷硅玻璃，提高光刻胶对多晶硅的粘附性能。P 管源漏区注硼时多晶硅栅表面有一层光刻胶保护，防止 P 型杂质离子注入。

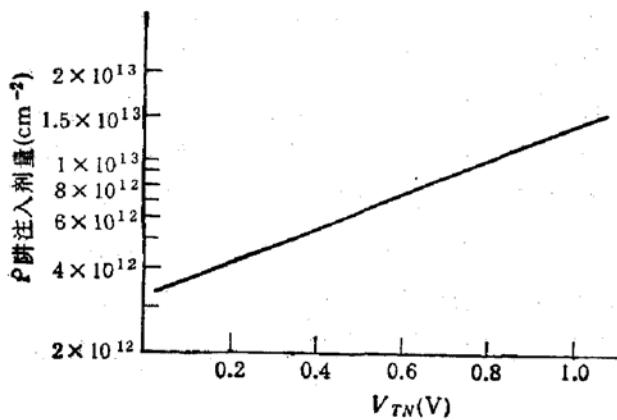
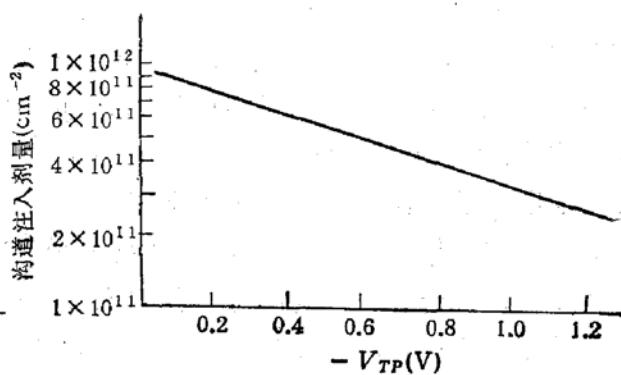
2. 阈值电压的调节和控制

为了提高场区开启电压，降低寄生效应，P 管 N 管场区分别注入 N、P 型杂质离子，以保证场区开启电压大于 15V。

$$\text{MOSFET 的阈值电压 } V_T = -V_{ms} + 2V_B + \frac{d_{ox}}{\epsilon_{ox}} (Q_{Bmax} - Q_{0x})$$

它决定于功函数差、可动电荷、栅氧化层厚度和沟道区杂质浓度等许多因素。在制造工艺稳定和栅氧化层厚度一定情况下，N 管阈值电压决定于 P 饼区的杂质浓度，即根据 N 管开启电压的要求选择 P 饼区硼杂质离子注入的能量、剂量，P 饼再分布的温度和时间，不再注入杂质离子对 N 管阈值电压进行调节。

采用 N 型(100)晶向低电阻率硅单晶材料制成的 N⁺栅 PMOS 管的阈值电压 |V_{TP}| 大于要求值，因此在预栅氧化后，光刻 P 管沟道区，注入硼杂质离子，降低 P 管的阈值电

图 2 N 管开启电压 V_{TN} 与 P 阵注硼剂量关系图 3 P 管开启电压 V_{TP} 与 P 沟道注硼剂量关系

压。

N 管开启电压 V_{TN} 与 P 阵注硼剂量之间的关系如图 2 所示，P 管开启电压 V_{TP} 与 P 管沟道区注硼剂量之间的关系如图 3 所示^[2]。

3. PMOS 管、NMOS 管源漏结深的调节和控制

硅栅 CMOS 工艺采用离子注入掺杂、退火后形成源漏区。 N^+ 用 $^{75}\text{As}^+$ 替代 $^{31}\text{P}^+$ 由于 $^{75}\text{As}^+$ 质量大，射程和散射等参数小，浅结工艺易于控制。 P^+ 区用 $^{11}\text{B}^+$ 杂质离子，无法用其它元素替代。为此，人们采用 $^{19}\text{BF}_2^+$ 来增加离子质量，使结深易于控制。对 $^{11}\text{B}^+$ 和 BF_2^+ 离子注入形成的 P^+ 区进行了性能和可控性研究。用 VR-30A 电阻率测试仪测量样品表面方块电阻，得到图 4 的结果，说明 $^{11}\text{B}^+$ 在 950℃ 退火后大部分被激活，而 BF_2^+ 要在 980—1000℃ 退火后大部分离子才被激活，而且 $^{11}\text{B}^+$ 退火后表面杂质浓度大于 BF_2^+ 的。

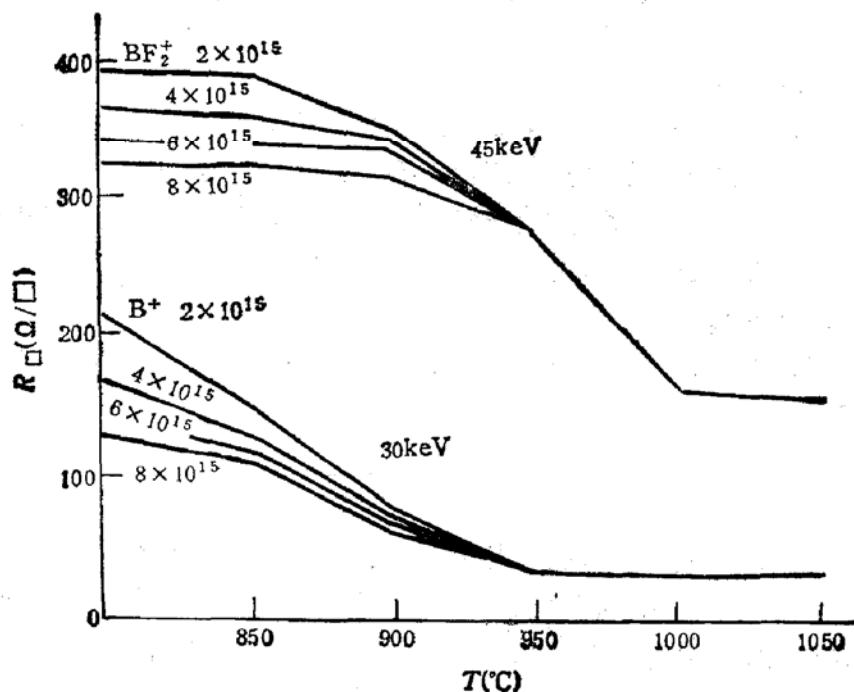


图 4 表面方块电阻随退火温度变化

$^{11}\text{B}^+$ 、 BF_2^+ 注入剂量均为 $4 \times 10^{15} \text{cm}^{-2}$ ，注入能量分别为 30keV、45keV，退火温度为

850℃、950℃、时间 20 分钟。用 ASR-100C/2 扩展电阻仪测量杂质浓度分布和结深如表 1 所示。

表 1 $^{11}\text{B}^+$ 和 BF_2^+ 在不同温度退火时的载流子浓度、结深

离子类别	退火温度(℃)	载流子浓度(cm^{-3})	结深(μm)
$^{11}\text{B}^+$	850	2×10^{19}	0.45
$^{11}\text{B}^+$	950	7.5×10^{19}	0.50
BF_2^+	850	4×10^{18}	0.25
BF_2^+	950	1×10^{19}	0.30

上表说明相同注入剂量、相同退火温度, BF_2^+ 结深只有 $^{11}\text{B}^+$ 结深的一半, BF_2^+ 载流子浓度只及 $^{11}\text{B}^+$ 的五分之一。这样用 BF_2^+ 掺杂制造浅结是有利的, 但它的激活能大, 需提高退火温度才能使其充分激活, 这又会增加结深。

4. 布线金属材料的选择

对多层布线金属材料的要求是低电阻率, 对 N^+ 、 P^+ 硅的低接触电阻, 抗电迁移性能好, 能经受住高的合金温度, 无小丘形成, 低应力, 良好的粘附性, 良好的阻挡特性, 同时要求容易淀积, 容易加工, 台阶覆盖性好, 可靠性高等。为此, 第一层布线金属材料采用铝-硅合金, 它有利于抗电迁移, 对浅结形成良好的欧姆接触。第二层布线金属材料采用纯铝, 它具有低的电阻率, 与第一层布线铝-硅合金形成良好的低欧姆接触电阻。而且铝-硅合金和铝金属薄膜容易淀积, 布线图形容易加工, 台阶覆盖性能好, 满足使用要求。在制造工艺中采用磁控溅射淀积铝-硅、铝金属薄膜, 获得的金属薄膜表面光亮、致密、平坦、无“黑点”、台阶覆盖性能好, 完全满足双层金属布线制造工艺技术要求。

5. 绝缘介质薄膜材料的选择

对多层金属布线间绝缘材料特性的要求是: 高的击穿电压、优良的绝缘性能、抗钠离子浸入沾污能力强、具有较高的热稳定性和化学稳定性、低缺陷密度、低应力、与金属粘附性好、易淀积、图形容易加工、台阶覆盖性好、可靠性高等。详细研究比较 CVD PSG 和 PECVD SiON 两种薄膜的优缺点后, 选用等离子增强化学气相淀积 (PECVD) 的氧氮化硅作为双层金属布线间的绝缘介质薄膜, 它具有很小的压应力、很低的针孔密度和良好的台阶覆盖性等特点, 能够很好满足上述要求。红外光谱和俄歇能谱分析表明, 这种膜约含 40atm% O_2 和 10atm% N_2 , 以及极少量的 H_2 ^[3]。

众所周知, 由于应力的作用, 介质膜沉积到加热的硅衬底片上, 硅片的平整度会发生变化。通过测量硅片在薄膜沉积前后的平整度变化来测量应力的。当测得硅片平整度之差, 即弯曲高度差 h 之后, 就可用下式经典公式算出各种膜的应力 F 。

$$F = \left(\frac{E}{1 - \nu} \right) T_f^2 h / 3T_f R^2$$

式中, 对(100)晶向的硅片,

$$\left(\frac{E}{1 - \nu} \right)_{(100)} = 1.805 \times 10^{12} \text{ dyn/cm}^2 [4].$$

T_f 为硅片厚度, h 为弯曲高度差, T_f 为薄膜厚度, R 为硅片半径。PECVD SiON 膜厚与

应力关系如图 5 所示, SiON 膜的针孔密度与膜厚度关系如图 6 所示。

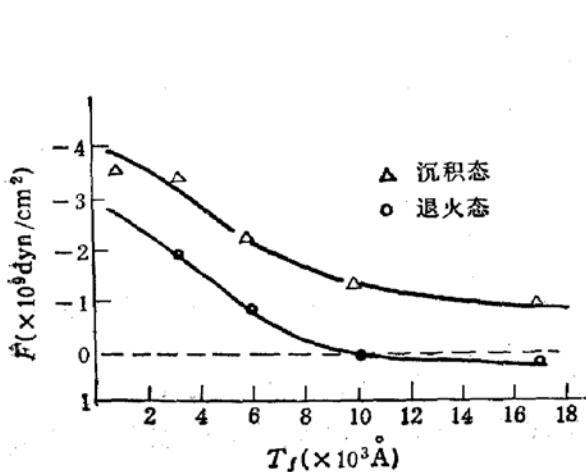


图 5 膜的厚度与应力的关系

△沉积态 ○退火态

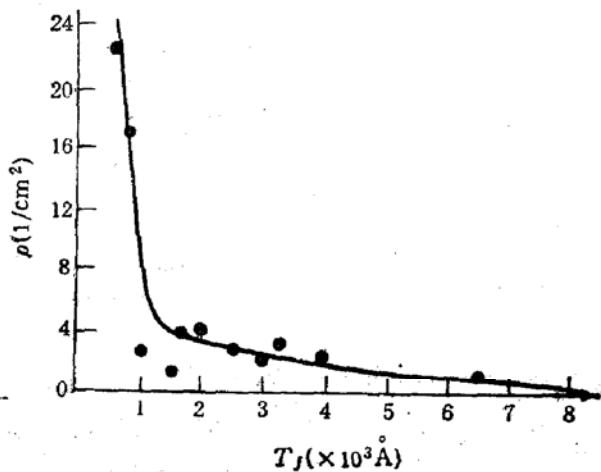


图 6 针孔密度与膜厚的关系

从上述针孔密度与应力实验数据来看,用 PECVD SiON 膜作为双层金属布线间的绝缘介质薄膜时,其薄膜厚度在 $8000\text{--}9000\text{ Å}$ 就足够了,它可以得到低针孔密度、低应力,而且呈压应力状态。

6. 双层金属布线连通孔接触电阻

所谓连通孔就是二层金属布线间的互连通道。连通的标志是二层布线金属接触的导通电阻尽可能小,保证二层金属布线之间得到良好的欧姆接触。在绝缘介质薄膜生长,介

质孔刻蚀、去胶和清洗等多道工艺处理过程中,第一层布线金属 Al-Si 合金与去胶剂、水和各种气氛接触,使其表面生成一层极薄的铝化合物,造成二层布线金属之间的接触电阻增大,甚至不通,大大降低了制造工艺的稳定性和重复性,影响电路的特性和功能,降低电路的成品率。在制造工艺中,去除这一层铝化合物薄膜,是保证二层布线金属之间形成良好欧姆接触的关键。解决的办法是:

① 适当的过腐蚀

尽管二层布线金属间的绝缘介质薄膜厚度均匀性很好,但由于干法刻蚀系统中的负载效应、聚合物的产生、介质孔几何尺寸等因素的影响,使干法刻蚀的均匀性受到影响,因此适当的过腐蚀是必要的,但要严格控制过腐蚀量。否则,过量的过腐蚀同样会使二层布线金属之间的接触不良。过腐蚀量与连通孔接触电阻变化关系如图 7 所示。

② 反溅射清洗

即使连通孔中的绝缘介质腐蚀干净,在随后的工序中,第一层布线金属铝-硅合金与空气、去胶剂和水接触,也会使其表面生成铝化合物薄膜,使连通孔的接触电阻增大,甚至

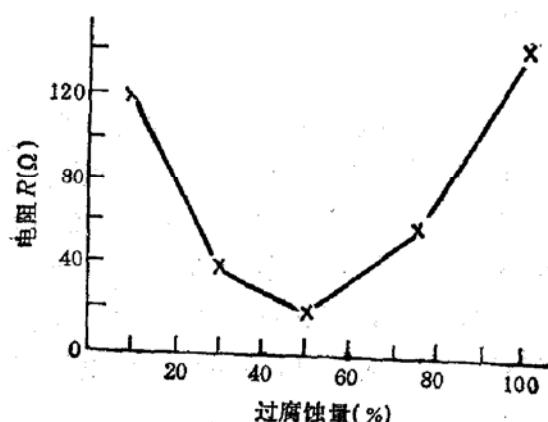


图 7 过腐蚀量与连通孔电阻值关系

不通。因此在磁控溅射淀积第二层布线金属之前, 采用反溅射清洗是降低接触电阻极其关键的工艺。用反溅射把第一层布线金属表面上的一层铝化合物薄膜去除干净, 然后再磁控溅射淀积第二层布线金属, 这对于降低二层布线金属间连通孔的接触电阻效果很好, 它大大提高双层金属布线 CMOS 制造工艺的稳定性和重复性。图 8 表示采用反溅射清洗和未经反溅射清洗接触电阻的分布比较。

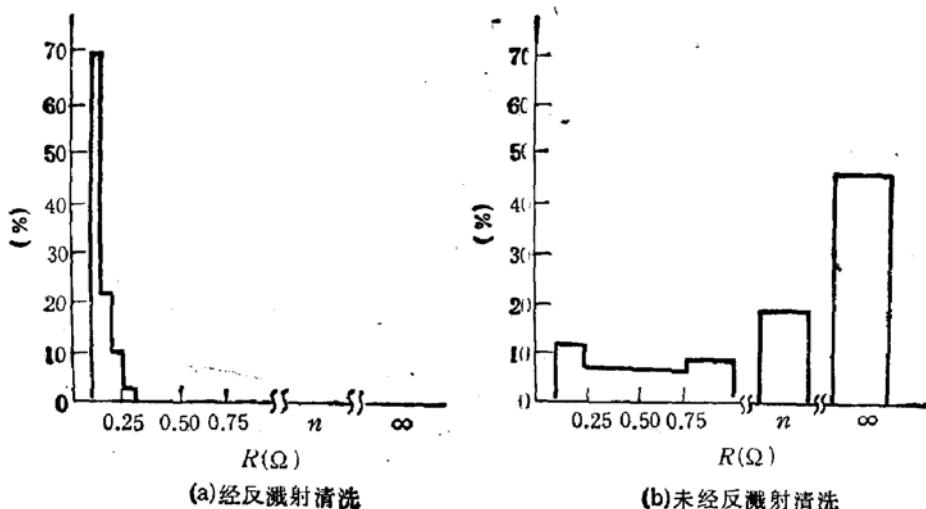


图 8 连通孔接触电阻分布直方图

通过对由 200 个介质孔将二层铝连通的接触电阻专门溅射图形的测试, 用公式

$$r = (R/n) \times A$$

计算接触电阻 r , 经计算 r 为 $1.2-1.8 (\times 10^{-8} \Omega \cdot \text{cm}^2)$, 这与目前看到的报道数值相同。

致谢: 在双层金属布线 $3\mu\text{m}$ CMOS 制造工艺技术研究过程中得到冶金所集成电路研究室许多同志的大力协助, 作者向他们表示衷心感谢。

参 考 文 献

- [1] E.Bernalmaier, IEEE Int. conf. on Circuits and Computers Tech. Dig., 1112(1980).
- [2] 沈国雄, 郑养鉢等, «微电子学与计算机» 3(4), 1-5(1986).
- [3] 曾天亮等, «半导体学报» 13, 386(1992).
- [4] W.A.Brantley, J.Appl. Phys., 44(1), 534(1973).

High Performance Double Level Metal CMOS Gate Array Technology

Zheng Yangshu, Zhang Min, Ling Dongzhong Wu Lin,
Gu Huifen, Zheng Qingyun and Qiu Bin

Shanghai Institute of Metallurgy, Academia Sinica, Shanghai 200233

(Received 22 April 1991, revised manuscript received 12 July 1991)

Abstract

Multilevel metallization in VLSI interconnect is an important technology in IC fabrication process. It is a dominant factor in determining the density, device speed, yield and reliability of ICs. Several key technologies in double level metal Si-gate CMOS have been discussed. More than ten chips of double level metal 3 μ m Si-gate CMOS gate arrays have been successfully manufactured by using the technology. The purpose of this paper is to present a newly developed CMOS technology for ASIC and to demonstrate high speed performance of the realized CMOS devices. The device technologies, metallization technique, contact resistance and metal step coverage are described.

EEACC: 2550