

# 抑制 SOS MOSFET 漏电措施的研究

张 兴 石涌泉 路 泉 黄 敏

陕西微电子学研究所, 临潼 710600

(1991年11月24日收到; 1992年2月10日收到修改稿)

经过大量的实验研究, 我们从材料制备、版图设计及工艺过程等方面总结摸索出了一套能够有效抑制 SOS 器件漏电的措施, 这主要包括双固相外延技术、环形栅技术、反应离子刻蚀形成硅岛工艺及背沟道注入工艺。采用这些措施之后, 沟道长度为  $2\mu\text{m}$  的 N 沟和 P 沟环形栅晶体管的漏电分别为:  $2.5 \times 10^{-12}\text{A}/\mu\text{m}$  沟道宽度和  $1.5 \times 10^{-12}\text{A}/\mu\text{m}$  沟道宽度。

EEACC: 2560R, 0510D, 2550B

## 1. 引言

众所周知, CMOS/SOS 器件具有高速、低功耗、抗干扰能力强、彻底消除了 CMOS 电路中的寄生闩锁效应及抗辐照能力强等优点<sup>[1,2]</sup>。正因为如此, SOS 技术已广泛地应用于高性能 CMOS 集成电路的制造。但是, SOS 器件与体硅器件相比, 它也有一个较为严重的缺点, 即 SOS/MOS 晶体管的漏电较大<sup>[3]</sup>。这曾使得 SOS 技术在 60 年代到 70 年代初期间停滞不前, 几乎被否定, 直到 70 年代末 80 年代初找到了一些减少漏电的措施之后才又获得了较快的发展。

在国内, 随着军用 SOS 集成电路的发展, SOS 器件的漏电问题也变得越来越突出了<sup>[4]</sup>。为了解决这一问题, 我们进行了大量的理论分析及实验研究, 在这一基础上, 找到了一套行之有效地抑制 SOS MOSFET 漏电的方法。

## 2. 抑制 SOS MOSFET 漏电的措施

由于 SOS MOSFET 的独特结构, 使得它除了具有与体硅器件相类似的反向 PN 结漏电机构外, 还有一些 SOS 器件所特有的漏电机构, 即边缘寄生晶体管效应及背沟道效应, 因此要想减小 SOS 器件的漏电, 就要设法抑制它的反向 PN 结漏电、边缘寄生晶体管漏电和背沟道漏电<sup>[5]</sup>。为抑制 SOS 器件的漏电, 我们采取的具体措施如下:

### (1) SOS 膜质量的改善

SOS 膜内的缺陷不仅使得载流子的寿命  $\tau_g$  降低, 而且还使得硅-蓝宝石界面的界面态增高, 从而引起了较大的反向 PN 结及背沟道漏电, 所以, 要想得到低漏电的器件, 首先就必须要有高质量的 SOS 膜。

经过大量的实验研究和理论分析之后, 我们采用了双固相外延(DSPE)的方法来改善 SOS 膜的质量。所谓双固相外延就是: 首先对 SOS 膜进行高能量的硅离子注入 ( $E = 170\text{keV}, D = 1 \times 10^{15}\text{cm}^{-2}$ ), 注入的峰值分布在硅-蓝宝石界面附近, 使得界面附近的硅无定形化, 但 SOS 膜表面的单晶层不被破坏, 然后进行退火( $900^\circ\text{C}, 1\text{小时}$ ), 也就是以表面

单晶层作为籽晶进行固相外延;接着再进行低能量的硅离子注入( $E=100\text{keV}, D=2\times10^{15}\text{cm}^{-2}$ ),使SOS膜的表面无定形化之后退火(900°C,1小时),即以界面附近的单晶硅作为籽晶进行第二次固相外延.这样经过两次固相外延之后,SOS膜中的缺陷密度大为降低,载流子寿命得到提高,因此利用经过DSPE的SOS材料制作的MOS器件的漏电大大降低,其具体数值如表1所示.

表1 普通SOS片与DSPE SOS片的漏电数值比较 ( $L=2\mu\text{m}, V_{ds}=5\text{V}$ )

材 料	普通SOS片		DSPE SOS片	
	NMOS	PMOS	NMOS	PMOS
$I_L(\text{A}/\mu\text{m} \text{沟道宽度})$	$3.0\times10^{-11}$	$9.8\times10^{-12}$	$2.5\times10^{-12}$	$1.5\times10^{-12}$

## (2)边缘寄生漏电的抑制

既然边缘寄生晶体管是由于多晶硅栅跨越硅岛形成的,那么只要设计一种不跨越硅岛边缘的栅电极就可以彻底消除边缘寄生效应了.环形栅晶体管就是这样一种结构,它的多晶硅栅全部在硅岛上面,并不跨越硅岛边缘,因此它不存在寄生的边缘效应.但由于环形栅晶体管的芯片面积远大于普通条形栅晶体管的面积,则在VLSI中不宜采用这种环形栅结构,所以必须另外寻找一些解决边缘寄生效应的方法.

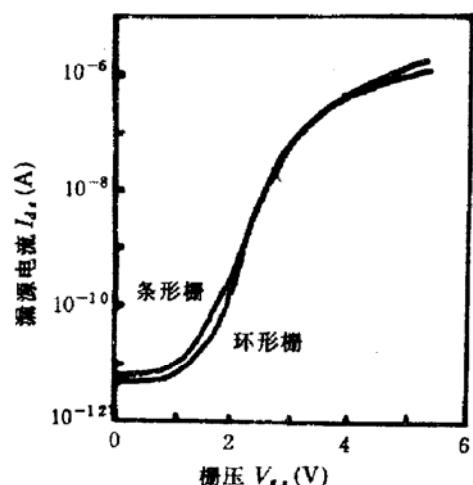


图1 NMOS/SOS晶体管的 $I_d-V_{gs}$ 关系曲线 ( $L=2\mu\text{m}, V_{ds}=5\text{V}$ )

边缘寄生漏电主要是由于边缘晶体管的阈值电压低于表面晶体管的阈值电压引起的,而边缘晶体管的阈值电压低的原因则主要是由于湿法刻蚀后形成的(111)面的硅岛边缘.所以可以采用干法刻蚀工艺形成边缘近似垂直的硅岛,从而较为有效地抑制了边缘寄生漏电.图1即为采用反应离子刻蚀工艺的条形栅及环形栅的NMOS/SOS体管的 $I_d-V_{gs}$ 关系曲线,从这一曲线上可以看出,采用反应离子刻蚀硅岛工艺的条形栅MOS管的漏电十分接近环形栅MOS管的漏电.另外,干法刻蚀工艺是与常规的SOS工艺完全兼容的,因此它在VLSI技术中具有很大的应用价值.

## (3)背沟道漏电的抑制

SOS器件的背沟道漏电主要是由于硅-蓝宝石界面处寄生的MIS器件引起的,因而很明确,减小背沟道漏电的途径就是要使这个寄生器件不能开启.

由于硅-蓝宝石界面的界面态是施主型的,因此我们采用了背沟道深硼注入的方法来提高这一寄生MIS结构的开启电压,即对NMOSFET除了要进行一次调阈值的浅硼注入之外,还要进行一次抑制背沟道漏电的深硼注入.对于硅膜厚度为 $0.45\mu\text{m}$ 的SOS材料,其深硼注入的条件为: $E=160\text{keV}, D=8\times10^{12}\text{cm}^{-2}$ ,这样深硼注入的峰值恰好位于硅-蓝宝石界面附近的硅中.经过两次注入之后,其沟道区的杂质浓度分布如图2所示(SUPREM模拟的结果).

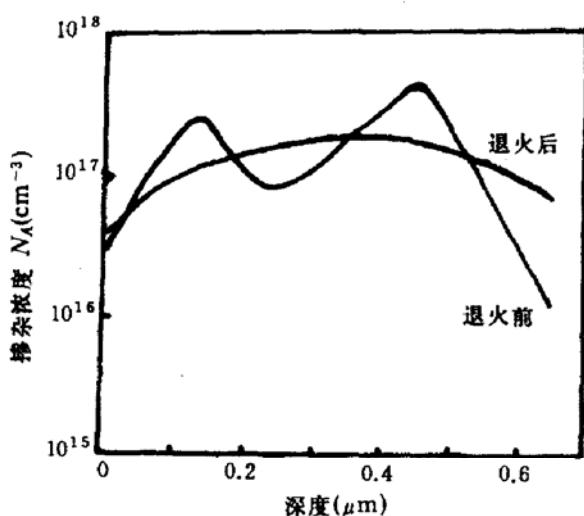
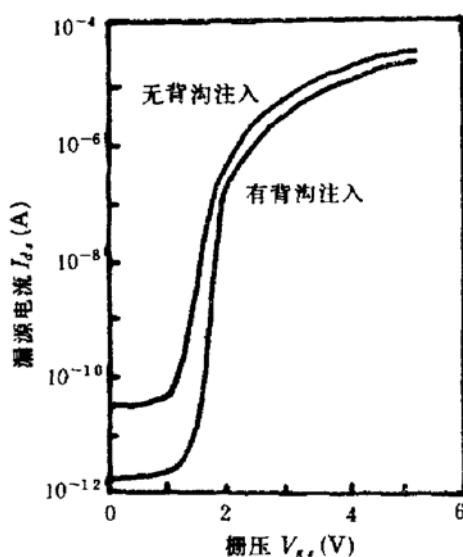


图2 加入背沟道深硼注入后沟道区的杂质浓度分布图

图3 环形栅 NMOS/SOS 晶体管的  $I_{ds}$ - $V_{gs}$  关系曲线 ( $L=2\mu m, V_{ds}=5V$ )

另外,为了减少蓝宝石衬底中的陷入电荷,我们还采用了低温工艺,即在整个工艺过程中,所有步骤的温度均低于900℃,且温度最高的工序为栅氧化。

采用低温工艺的有背沟道深硼注入与无背沟道深硼注入的NMOS管的 $I_{ds}$ - $V_{gs}$ 关系曲线如图3所示,从图中可以看出,采用背沟道注入工艺之后,NMOS管的漏电约下降了一个数量级。

### 3. 结 论

通过以上分析可以得出,应用双固相外延、环形栅结构、反应离子刻蚀形成硅岛技术、背沟道深硼注入及低温工艺等技术措施可以有效地抑制SOS器件的漏电。采取这些措施之后,可以使沟道长度为 $2\mu m$ 的N沟和P沟环形栅MOSFET的漏电降低到 $2.5 \times 10^{-12} A/\mu m$ 沟道宽度和 $1.5 \times 10^{-12} A/\mu m$ 沟道宽度。

### 参 考 文 献

- [1] S. L. Partridge, *IEE Proceedings*, **133**(3), 66(1986).
- [2] M. P. Brasington, etc., *IEEE Trans. on Electron Device*, **32**(9), 1858(1985).
- [3] D. J. McGreivy, *IEEE Trans. on Electron Device*, **24**(6), 730(1977).
- [4] 路泉,陕西微电子学研究所研究生论文.
- [5] 张兴,陕西微电子学研究所研究生论文.

## Methods to Reduce Leakage Current of SOS MOSFET

Zhang Xing, Shi Yongquan, Lu Quan and Huang Chang

*Shaanxi Microelectronics Institute, Lintong 710600*

(Received 24 November 1991; revised manuscript received 10 February 1992)

### Abstract

In SOS MOSFET, the leakage current is much larger than that in bulk MOSFET. To reduce the leakage current of SOS MOSFET, a set of silicon-film growth methods, such as double solid phase epitaxial regrowth (DSPE) technique, layout design, such as MOSFET of closed-loop-gate structure, and device processing steps, such as reaction ion etching, back channel implantation and low temperature process, are outlined, and the leakage current values of the n- and p-channel closed-loop-gate FETs are less than  $3\text{PA}/\mu\text{m}$  channel width.

**EEACC:** 2560R, 0510D, 2550B