

硅膜厚度对 SOI 栅控混合管性能的影响*

黄 如 王阳元

(北京大学微电子所 北京 100871)

摘要 本文分析了 SOI(Silicon on Insulator) 栅控混合管(GCHT) 中硅膜厚度对器件短沟道效应、阈值电压、亚阈斜率、零栅压电流的影响, 讨论了结构参数、工艺参数对硅膜厚度作用的影响。研究表明, 与常规 SOIMOS 器件相比, SOI 栅控混合管具有较低的硅膜厚度灵敏度, 改善了深亚微米常规 SOIMOS 器件由于硅膜厚度的影响而性能下降的问题, 以独特的工作方式为深亚微米器件的发展提供了新思路。

EEACC: 2560Z, 2520M

1 引言

近年来, SOI 技术以其独特的优点得到广泛的重视, 尤其全耗尽 SOIMOS 器件具有较高的电流驱动能力、较陡直的亚阈斜率, 消除了 kink 效应, 有关研究日益活跃。然而当全耗尽器件特征尺寸进入深亚微米领域后, 为减小 MOS 器件的短沟道效应, 硅膜采用较高掺杂而较薄, 使深亚微米器件性能受硅膜厚度的影响增大, 载流子浓度分布、阈值电压及短沟特性对硅膜厚度的敏感度提高^[1~3], 全耗尽 SOIMOS 器件无法发挥其原有的优点, 这是限制全耗尽 SOIMOSFET 在深亚微米领域广泛应用的一个原因^[4]。部分耗尽 SOIMOSFET 虽然对硅膜厚度的变化不敏感, 但其亚阈斜率较大, 电流驱动能力较小, 而且存在 kink 效应, 失去了全耗尽 SOIMOSFET 的原有优势。近年来提出的 SOI 栅控混合管(GCHT) 由于体引出, 彻底消除了浮体效应, 同时具有高电流驱动能力、低亚阈斜率、低导通电压及低泄漏电流等优点^[5~9], 在低压低功耗电路及模拟电路中有广阔的应用前景^[10]。然而有关硅膜厚度对 GCHT 器件性能的影响未见报道, 器件参数的选取缺乏理论依据。本文首先采用数值模拟方法, 对比全耗尽 SOIMOSFET 及部分耗尽 SOIMOSFET, 从物理上分析了硅膜厚度对 SOIGCHT 的阈值电压、亚阈斜率、零栅压电流及短沟特性的影响, 讨论了结构参数、工艺参数对硅膜厚度作用的影响。本文从实验上进一步研究了硅膜厚度对器件性能的影响, 得到了与模拟结果相吻合的结论, 完善了 SOIGCHT 的性能研究, 为器件设计提供了理论依据。

* 高等学校博士点科研基金资助

黄 如 女, 1969 年出生, 博士, 主要从事 SOI 新器件及电路等方面的研究

王阳元 男, 1935 年出生, 中国科学院院士, 主要从事 VLSI 新工艺、新器件和新结构的研究

1998-03-31 收到, 1998-07-06 定稿

2 结果与讨论

2.1 数值模拟

SO IGCHT 的结构如图 1 所示, 主要特点在于栅与体在器件两侧相连, 源-体结正偏。图中的 I、II、III 三个区分别相当于 MOSFET 的源、体、漏及双极器件的发射区、基区、集电区。为分析方便, 分别将源极 s 、漏极 d 、栅极 g 对应于发射极 e 、集电极 c 、基极 b , 各极电压也分别一一对应; 基区宽度 w_b 、基区长度 z_b 与沟道长度 L 、沟道宽度 W 分别对应。由于混合管的特殊工作方式, 在不作特殊说明时, 上述各对应量是等价的。

采用双载流子能量输运模型 (PISCES 模拟), 讨论硅膜厚度对器件性能的影响。数值模拟中源漏区及沟道区均选用均匀掺杂分布, 这对采用 SMOX 材料制备的 SO I 器件是合适的。本文中除特别说明外, 埋氧化层厚度一般取为 400nm , 源漏区掺杂浓度为 $2 \times 10^{20}\text{cm}^{-3}$ 。器件阈值电压定义为 0.05V 漏源电压下漏端电流为 $10^{-7}(W/L)\text{A}$ 所对应的栅电压 (基极电压)。

图 2(a) (b) (c) 是得到的 GCHT 与 SO IMOSFET (图中以 MOS 表示) 中硅膜厚度 t_{si} 与器件阈值电压 V_n 、亚阈斜率 S 及零栅压电流 I_{0s} 的关系, 可见对于不同的沟道长度, GCHT 均具有较小的硅膜厚度敏感度。SO IMOSFET 进入全耗尽区域后, 其阈值电压、亚阈斜率与零栅压电流随硅膜厚度改变表现出较大的变化, 而且长沟器件的性能随硅膜厚度的变化大于短沟器件, 这是由于随着硅膜厚度的减小短沟效应有所降低所致。

对于全耗尽 GCHT, 体一般接正基极电压, 在正常工作情况下, 背界面势较小, 背界面势垒较大, 背界面一般不输运电流, 因此器件端电流, 尤其亚阈电流主要是正面电流。GCHT 的正面表面势主要受栅极与基极作用, 体的引出使正背界面耦合减小, 硅膜厚度对正表面势的影响很小, 阈值电压、亚阈斜率及零栅压电流因此受较小的影响。在全耗尽 SO IMOSFET 中, 其背界面电流是亚阈电流的主要部分。由于体悬浮, 对于不同的硅膜厚度, 背界面势变化大于正界面势 (如图 3 所示), 造成器件性能较大的变化。

由图 2 可见, 与全耗尽 SO IMOSFET 相比, 相应的 GCHT 阈值电压稍大, 然而由于是动态阈值^[8,9], 关断性能良好, 零栅压电流低, 而且深亚微米器件仍能保持较陡直的亚阈斜率, 同时有较大的驱动能力, 改善了速度与功耗的矛盾。在部分耗尽区域, 与 MOSFET 相比, 相应的 GCHT 具有较低的阈值电压 (高电流驱动)、较低的亚阈斜率及较低的零栅压电流, 性能优于相应的 SO IMOSFET。这是由 GCHT 独特的工作方式所致^[6-9]。可见 GCHT 结合了全耗尽 MOS 器件与部分耗尽 MOS 器件的优点, 是 SO I 器件的一种良好选择。

图 4(a) (b) 描述了不同硅膜厚度下 GCHT 与相应的 SO IMOSFET 中阈值电压随沟道长度及漏源电压的变化特征。图中 BF MOS 指体悬浮 MOSFET, BG MOS 指体接地 MOS-

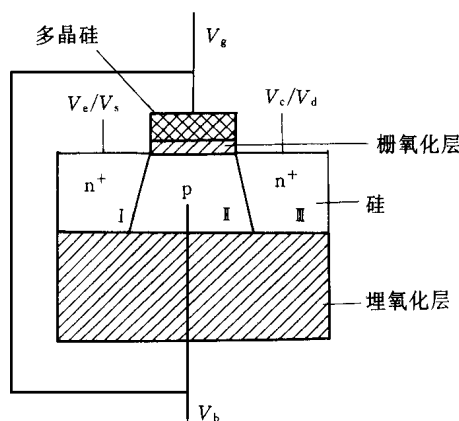


图 1 SO IGCHT 的结构示意图

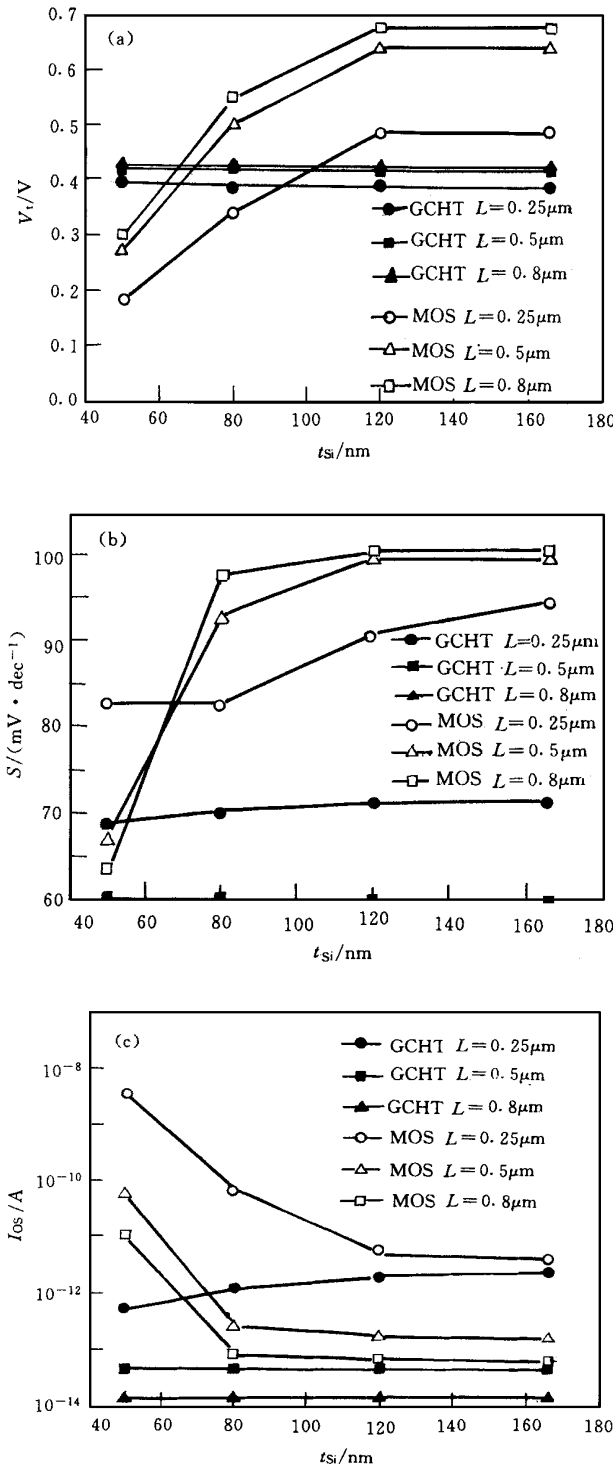


图2 GCHT与MOSFET中 (a) 阈值电压 V_t 与硅膜厚度 t_{Si} 的关系, (b) 亚阈值斜率 S 与硅膜厚度 t_{Si} 的关系, (c) 零栅电压电流 I_{os} 与硅膜厚度 t_{Si} 的关系
 掺杂浓度 $N_b = 1.3 \times 10^{17} \text{cm}^{-3}$, 栅氧厚度 $t_{ox} = 15 \text{nm}$.

FET. 在此定义沟道长度变化引起的阈值电压漂移量 ΔV_{tL} 和漏-源电压(即集电极-发射极电压) V_{ce} 引起的阈值电压漂移量(DBL效应) ΔV_{tV} 为: $\Delta V_{tL} = V_t(W_b = 1\mu\text{m}) - V_t(W_b)$, $\Delta V_{tV} = V_t(V_{ce}) - V_t(V_{ce} = 0.05\text{V})$. 可以看出, 在不同的硅膜厚度下(对应全耗尽和部分耗尽情况), GCHT的短沟效应及DBL效应均显著地低于相应的SOIMOSFET. 虽然SOIMOSFET通过减小硅膜厚度或采用体接地方法可以降低短沟效应及DBL效应, 但仍难以获得与GCHT相近的短沟特性

GCHT的短沟性能优于相应的MOSFET, 可以从以下几方面进行解释: 与传统MOSFET不同, GCHT的表面势随着栅电压(基极电压)的增大而降低^[8], 引起耗尽区宽度的减小, 相当于体硅MOSFET中结深的减小及全耗尽SOIMOSFET中硅膜厚度的减小, 可以降低短沟效应; 由于正基极电压的存在, 源漏耗尽区宽度都降低, 短沟器件的有效栅长比MOSFET大, 同时源漏对沟道的影响程度降低, 有效耗尽区电荷增大, 栅控制能力提高; 另外, 在短沟GCHT中, 源漏末端二维电势分布引起的电容增量远低于MOSFET; 同时由于无背沟亚阈漏电流的影响, GCHT的亚阈特性将明显优于全耗尽SOIMOSFET.

图5(a)(b)反映了不同结构参数与工艺参数(栅氧层厚度、掺杂浓度及埋氧层厚度)对硅膜厚度作用的影响. 这里定义阈值电压随硅膜厚度的漂移量 $\Delta V_{tSi} = V_t(t_{Si} = 166 \text{nm}) - V_t(t_{Si})$. 可以看出:

(1) 降低栅氧化层厚度, 可以减小硅膜厚度变化带来的阈值电压漂

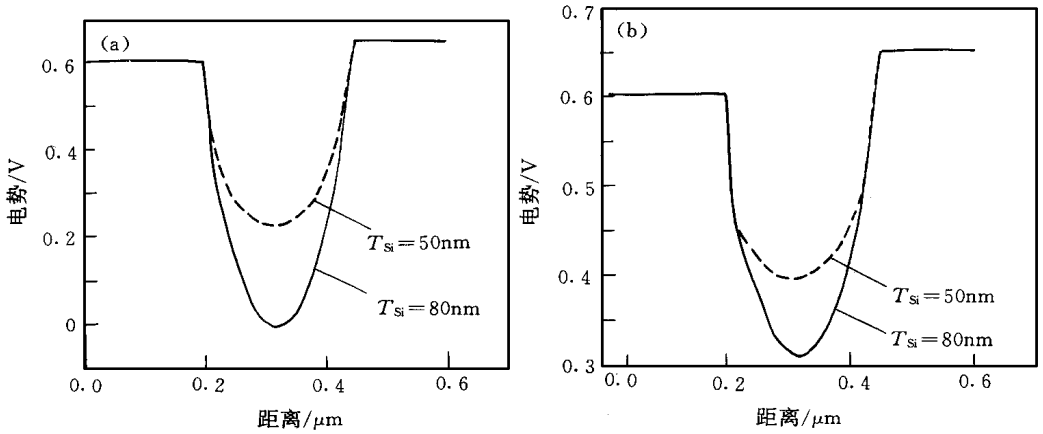


图 3 MOSFET 中沿沟道方向电势分布数值模拟结果

(a) 背界面处, (b) 正界面处

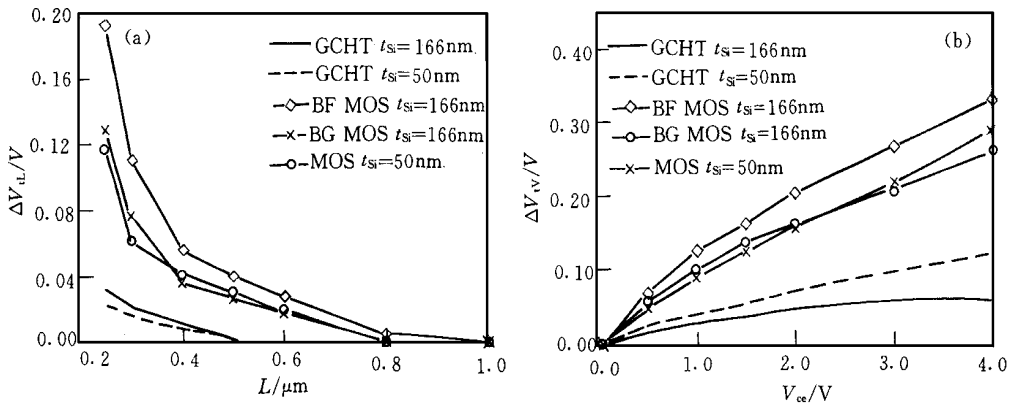


图 4 (a) 不同硅膜厚度下阈值电压漂移量与沟道长度的关系

$$\Delta V_{th} = V_t(W_{b=1\mu m}) - V_t(W_b)$$

(b) 不同硅膜厚度下阈值电压漂移量与漏源电压的关系

$$\Delta V_{th} = V_t(V_{ce}) - V_t(V_{ce} = 0.05V)$$

(掺杂浓度 $N_b = 1.3 \times 10^{17} \text{cm}^{-3}$, 栅氧厚度 $t_{ox} = 8.5 \text{nm}$.)

移,但对 GCHT 的影响很小。当 SO IMOSFET 进入全耗尽区域后,随着硅膜厚度的减小,正背界面势增大,由于栅氧化层厚度变化带来的阈值电压变化减小,导致 ΔV_{th} 的减小。

(2) 在全耗尽区域, MOSFET 通过降低掺杂浓度及减小埋氧化层厚度,可以减小硅膜厚度的影响,但对 GCHT 的影响很小。对于全耗尽 SO IMOSFET, 掺杂浓度的降低相当于相同浓度下减薄硅膜厚度,部分补偿了硅膜厚度减小对性能的影响。埋氧化层厚度的影响与栅氧类似。

(3) 当栅氧化层厚度及掺杂浓度在正常工艺范围内变化时, MOSFET 难以通过结构参数及工艺参数的改变得得到与 GCHT 相比拟的硅膜厚度灵敏度。而且,掺杂浓度过低,会使短沟效应增大,而埋氧化层厚度过小,会使寄生电容增大,必须折中考虑。

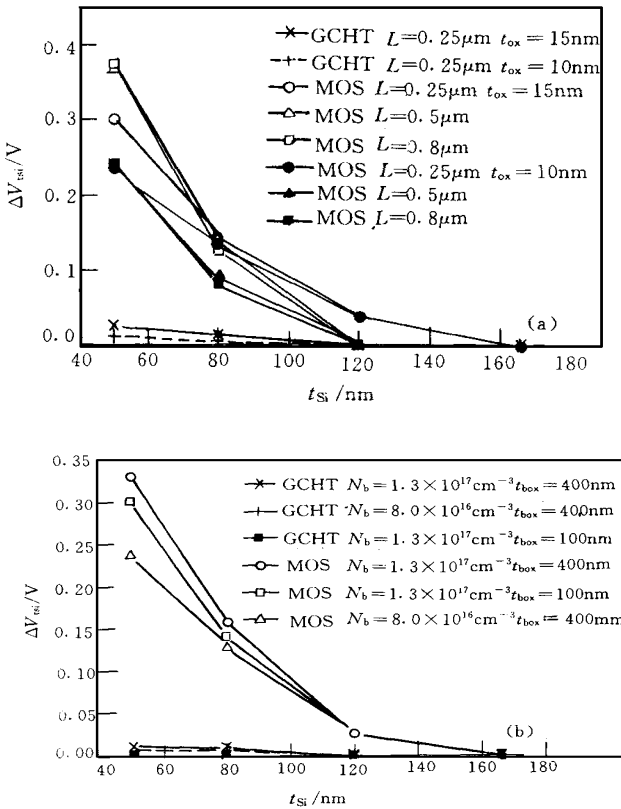


图 5 不同参数对硅膜厚度作用的影响

- (a) 栅氧化层厚度的影响, 掺杂浓度 $N_b = 1.3 \times 10^{17} \text{cm}^{-3}$,
- (b) 掺杂浓度及埋氧层厚度的影响, 栅氧化层厚度 $t_{ox} = 8.5 \text{nm}$,

$$\Delta V_{th} = V_t(t_{Si} = 166 \text{nm}) - V_t(t_{Si})$$

2.2 实验结果与讨论

为进一步研究硅膜厚度对器件性能的影响, 本文采用与常规 SOI/CMOS 完全兼容的工艺制备了薄膜及厚膜器件. 选用 SMOX 材料, 原始硅膜厚度/埋氧化层厚度分别为 190nm/390nm 和 105nm/380nm. N 型和 P 型器件的阈值调整注入分别为 30keV, $4.8 \times 10^{12} \text{cm}^{-2}$ 的硼注入和 100keV, $1.5 \times 10^{11} \text{cm}^{-2}$ 的磷注入, 栅氧化层厚度为 23.5nm, 最终硅膜厚度分别为 152nm 与 67nm.

表 1 比较了实验得到的薄膜与厚膜 GCHT 及其相应 SOIMOSFET 的阈值电压值. 可见硅膜厚度对 GCHT 阈值电压的影响很小, 而对 MOSFET 具有较大的影响, 反映了薄膜全耗尽及部分耗尽 SOIMOSFET 由于物理机制不同带来的性能上的差异. 表 1 从实验上进一步说明了 SOIGCHT 具有很低的硅膜厚度灵敏度, 实验中可选用厚膜器件, 这不仅可以简化工艺, 还利于降低串联电阻, 提高深亚微米器件性能.

表 1 薄膜与厚膜 GCHT 及相应 MOSFET 的阈值电压实验值

(W/L 的设计值为 $10\mu\text{m}/1.5\mu\text{m}$)

器件 \ 阈值电压/V	薄膜 ($t_{Si} = 67 \text{nm}$)		厚膜 ($t_{Si} = 152 \text{nm}$)	
	N 管	P 管	N 管	P 管
GCHT	0.58	- 0.81	0.59	- 0.90
MOSFET	0.27	- 0.61	0.92	- 1.25

3 结论

本文对 SOIGCHT 中硅膜厚度的影响进行了分析, 完善了 SOIGCHT

的性能研究, 为器件设计提供理论依据. 研究表明, GCHT 中由于体的引出, 硅膜中电势分布受硅膜厚度的影响远低于普通 SOIMOSFET, 硅膜厚度对器件阈值电压、亚阈斜率、短沟效应的影响很小, 表现出很低的工艺敏感度, 一般可以采用厚膜 GCHT. SOIMOSFET 难以通过结构参数、工艺参数的改变实现与 GCHT 相近的硅膜厚度灵敏度. GCHT 改善了常规 SOIMOS 器件进入深亚微米领域后由于硅膜厚度的影响而导致器件性能下降的问题, 兼之其原有特点, 是一种很有潜力的 SOI 器件, 可望促进深亚微米器件的发展.

致谢 作者衷心感谢航天部 771 所六室全体工作人员和北京大学微电子所工艺研究室人员对流片及测试工作的大力支持

参 考 文 献

- [1] E. Leobandung and S. Y. Chou, IEEE Trans Electron Devices, 1995, **42**(9): 1707~ 1709.
- [2] 王守武, 夏永伟, 孔令坤, 张冬萱, 半导体学报, 1985, **6**: 225~ 325.
- [3] 夏永伟, 王守武, 半导体学报, 1990, **11**: 961~ 965.
- [4] Lisa T. Su, Int Conf Solid State Devices and Materials(SSDM), Osaka, Japan, p. 542, Aug. 1995.
- [5] J. P. Colinge, IEEE Trans Electron Devices, 1987, **34**(4): 845~ 849.
- [6] S. A. Parke *et al* , IEEE Electron Device Lett , 1993 **EDL-14**: 234~ 236.
- [7] Ru Huang, Xing Zhang and Yangyuan Wang, IEEE Trans Electron Devices, to be published in Sept 1998.
- [8] Ru Huang, Ruqi Han and Yangyuan Wang, Solid-State Electron , 1996, **39**(12): 1816.
- [9] 黄如, 韩汝琦, 王阳元, 半导体学报, 1997, **18**(12): 894~ 900.
- [10] Hirota, K. Ueda *et al* , 0.5V 320MHz multiplexer/demultiplexer chips based on a gate array with regular-structured DTMOS/SOI, International Solid-State Circuits Conference, U. S. A. , 1998.

Effect of Silicon Film Thickness on Performance of SO I Gate Controlled Hybrid Transistor

Huang Ru, Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 31 March 1998, revised manuscript received 6 July 1998

Abstract In this paper, the effect of silicon film thickness on the short channel effect, the threshold voltage, the subthreshold swing and the zero-gate voltage current (leakage current) of SO I gate controlled hybrid transistor (GCHT) is analyzed for the first time on the basis of numerical simulation results and experimental data. The influence of the structural and technological parameters on the effect of the silicon film thickness is also discussed. It can be concluded that compared with conventional SO I MOSFET, SO I GCHT has lower sensitivity to the silicon film thickness variation. SO I GCHT can alleviate the performance degradation due to the silicon film thinning when the device feature size is down to deep submicron. Thus as a result of its unique operating mechanism, SO I GCHT provides a novel path of the deep submicron device development.

EEACC: 2560Z, 2520M