第 20 卷第 8 期　　半 导 体 学 报　　Vol. 20, No. 8
1999 年 8 月　　CHINESE JOURNAL OF SEMICONDUCTORS　　Aug., 1999

辐射加固的 JFET/SOS: 工艺及 γ 辐射效应

聂纪平　刘忠立　和致经　于　芳　李国花　张永刚

(中国科学院半导体研究所　北京　100083)

摘要　本文研究了制作 JFET/SOS(蓝宝石上外延硅结型场效应晶体管)的方法, 采用扩散形成栅极 p^+n 浅结以及复合注入的方法形成导电沟道, 在不同的工艺条件下可得到增强型和耗尽型器件. 通过 Co^{60} 源的 γ 射线辐射实验发现这种器件具有良好的抗总剂量辐射性能, 在 5M rad(Si) 剂量时阈值电压的变化小于 0.1V, 跨导以及漏电流的变化都很小.

EEACC: 2550, 2560S, 2570D

1　引言

MOS/SOS 器件具有优良的抗瞬态及单粒子翻转辐射特性, 经过适当加固其抗总剂量电离辐射能力也可达到较高水平(1M rad(SiO_2)以上[1]). 由于 MOS 器件的栅极下存在一个绝缘 SiO_2 层和 SiO_2-Si 界面, 电离辐射后将产生感生空穴陷阱电荷及增加的界面态, 它们使 MOS 器件进一步提高抗总剂量电离辐射能力产生困难. 一个改进的方法是采用 JFET/SOS, 由于 JFET 的栅输入用 pn 结代替了 SiO_2 介质, 消除了 SiO_2-Si 结构固有的辐射感生电荷及界面态问题, 预计它应该有很高的抗总剂量电离辐射能力.

这方面的工作 70 年代就有文献报道[2], 但结果并不理想, 主要原因在于 SOS 材料的硅和蓝宝石界面上的缺陷也会造成界面陷阱电荷, 从而影响器件性能. 80 年代有报道研制成功了抗高总剂量辐射 JFET/SOI(绝缘体上硅结型场效应晶体管)[3,4], 其抗总剂量水平达到 10^8rad(Si), 但这种器件采用 0.1μm 的 SiO_2 膜 SOI 材料, 利用衬底硅上加偏压的方法抵消空穴陷阱, 获得高的抗辐射性能. JFET/SOS 方面的工作也有报道[5~7], 但在抗总剂量辐射方面没有很大进展.

近年来由于在 SOS 材料及 CMOS/SOS 器件方面的进展, 使我们有条件对于抗高总剂量电离辐射 JFET/SOS 进行进一步的研究. 本文主要介绍了 n 沟道 JFET/SOS 的设计、制作及总剂量辐射试验的结果, 可以看到这种器件已达到了较高的抗总剂量电离辐射水平.

2　器件设计及工艺

本文研究的 n 沟道 JFET/SOS 的示意图如图 1 所示, 器件的宽长比为 20, 沟长为

聂纪平　男, 1974 年出生, 硕士生, 现从事半导体器件工艺研究
刘忠立　男, 1940 年出生, 研究员, 从事半导体器件物理研究工作
和致经　男, 1938 年出生, 研究员, 从事集成电路工艺研究工作
1998-03-19 收到, 1998-05-13 定稿

20μm. 栅极的结构分环型和条型两种, 从结果来看并无明显差别

JFET 的工作原理主要是通过栅极来控制导电沟道的宽度, 所以 p^+n 结耗尽区的深浅决定了器件的主要参数, 耗尽区宽度 W 为:

$$W = (2\epsilon_s(V_{bi} + V_g)/qN_b)^{1/2} \quad (1)$$

JEFT 的饱和电流方程为[8]:

$$I = C\mu q^2 N_b^2 a^3/6\epsilon_s \quad (2)$$

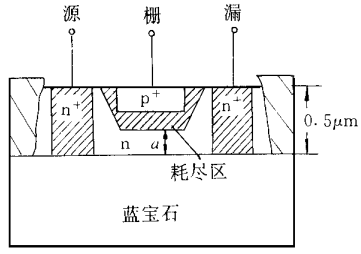

图 1　JFET/SOS 示意图

式中 V_{bi} 为内建电势 $V_{bi} = (kT/q)\ln(N_b/n_i)$, 其中 k 为玻尔兹曼常数, T 为绝对温度, q 为电子电量, N_b 为 n 沟道区载流子浓度, n_i 为本征载流子浓度 V_g 为栅压, μ 为载流子迁移率, a 为沟道宽度(见图 1), C 为由 V_g 等决定的常数 所以由离子注入形成的载流子浓度随深度的分布以及扩散形成的 p^+n 结为关键工艺

表 1 给出了主要的工艺流程, 所有的器件均采用 0.5μm 厚硅膜的 50.8mm SOS 片. 采用掺硼多晶硅作为扩散源, 通过固-固扩散形成 p^+n 栅极结构 具体工艺条件为: 655℃ $SiH_4 + B_2H_6$ 作为扩散源的 LPCVD, 22min 生长 0.5μm 掺硼多晶硅 然后在 1000℃下进行推进形成 pn 浅结, 时间用 10min 和 20min 进行比较, 来观察 p^+n 结的深浅对器件性能的影响 在注入 $^{31}P^+$ 形成沟道电导时采用了 150keV 和 300keV 的复合注入, 通过不同能量和剂量的组合形成不同的 n 沟道区杂质浓度分布, 来控制器件参数 在不同的工艺条件下可得到增强型和耗尽型器件, 其阈值电压和饱和电流也有较大差别, 表 2 给出了不同工艺条件下制成的器件参数

表 1　JFET/SOS 工艺流程

步骤	工艺过程	工艺参数
1	形成预氧层, 隔离硅岛	预氧 SiO_2 100nm
2	复合注入 $^{31}P^+$ 形成沟道电导	注入剂量见表 2, 1000℃退火 1h
3	源漏注入	150keV $^{31}P^+$, 剂量 $5\times10^{15}/cm^2$
4	生长掺硼多晶硅, 形成栅极	LPCVD, 500nm 多晶硅
5	扩散形成 p^+n 浅结	1000℃扩散, 时间见表 2
6	封 Al 及钝化	Al 膜 1μm, Si_3N_4 钝化层 0.5μm
7	封装	

表 2　JFET/SOS 器件主要工艺及器件参数

类型	注入参数/cm^{-2}		退火时间/min	阈值电压/V	饱和电流/μA (V_{gs} = 1V)
	150keV	300keV			
A	1.4×10^{13}	1×10^{13}	20	0.3	58
B	1.4×10^{13}	1×10^{13}	10	-0.13	145
C	1×10^{13}	1×10^{13}	10	0.33	72
D	8×10^{12}	8×10^{12}	10	0.47	41

图 2 为典型的 C 类型器件的输出特性以及转移特性, 从输出特性曲线可以看出器件的

饱和电流可达 70μA。在 V_{DS} 为 0.5V 的条件下测量转移特性,器件的阈值电压为 0.33V,为增强型器件. 当 V_{gs}= 1V 时电流趋于饱和,这是由于 SOS 材料的硅膜较薄,耗尽区宽度 W 有限造成的. 器件的击穿电压约为 8.5V,若适当降低注入剂量,则可提高器件的击穿电压

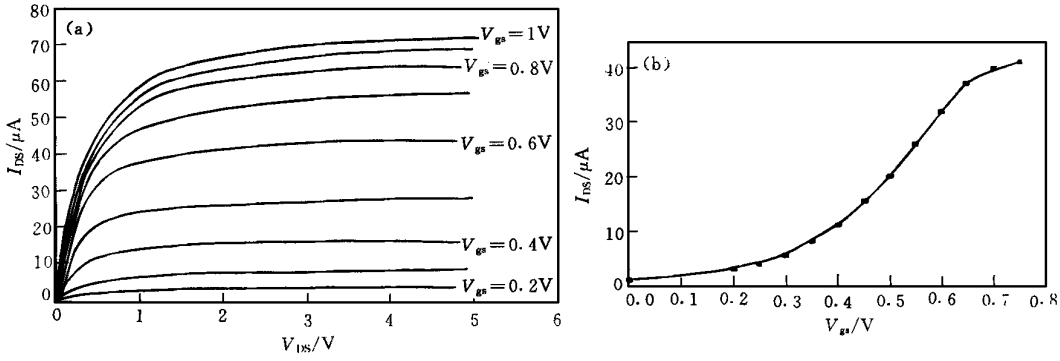

图 2 C 型器件的输出和转移特性

(a)输出特性, (b)转移特性

从图 3 和图 4 可以看出不同的工艺条件对器件性能的影响. 图 3 给出不同注入剂量条件对器件特性的影响,可以看出对于同样的退火时间 10min,在不同的注入剂量下器件的饱和电流和阈值电压有明显差别。由方程(1)、(2)可以得出,一方面注入剂量的大小直接决定饱和电流大小,另一方面注入形成的 n 沟道区载流子浓度分布也影响了 p^+n 结耗尽区的深浅,所以对阈值电压的大小也有影响. 图 4 给出不同栅极扩散时间对器件特性的影响,可以看出对于不同扩散时间 10min 和 20min,在相同的注入条件下由于得到的 p^+n 结深浅不同,故其沟道宽度也不同,从而器件的阈值电压和饱和电流的值也不相同. 而当扩散时间为 40min 时,由于 p^+n 结太深,栅极电压不能对导电沟道进行调制,因而不能形成 JFET.

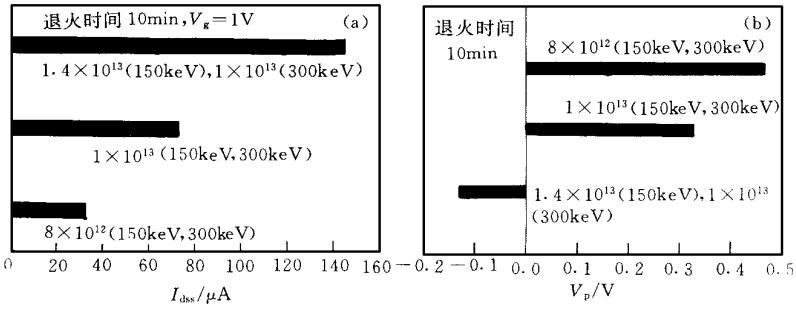

图 3 注入剂量对器件特性的影响

(a)注入剂量对饱和电流的影响, (b)注入剂量对阈值电压的影响

此外对在 1μm 的 SOS 膜上制作 JFET 的工艺也进行了研究,采用表 2 中的 D 类型工艺的注入剂量,退火时间选用 20min. 由于硅膜较厚,可得到很好的耗尽型 JFET/SOS,其器件的输出特性和转移特性见图 5.

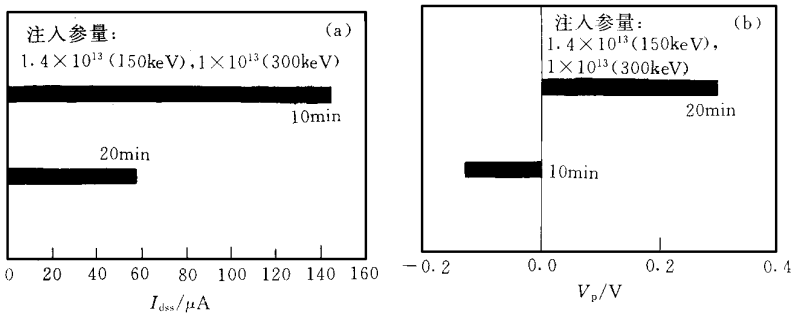

图 4　退火时间对器件特性的影响

(a)退火时间对饱和电流的影响, (b)退火时间对阈值电压的影响

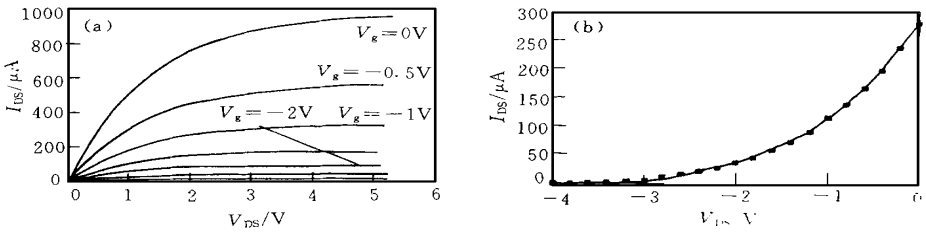

图 5　1μm SOS 硅膜JFET 的器件特性

(a)输出特性, (b)转移特性

3　γ辐射试验

对于MOSFET/SOS 器件, 它的栅极在正偏压条件时, 由于 SiO_2 层存在界面陷阱电荷, 当受到高能粒子作用时, 会在 Si-SiO_2 界面附近的 SiO_2 层内形成正电荷积累, 所以器件阈值电压漂移很大, 这是MOSFET/SOS 失效的主要原因 对于JFET/SOS, 栅极的 pn 结结构不存在氧化层问题, 但硅和蓝宝石界面的质量, 对 SOS 器件的性能和可靠性也有影响 在界面产生的晶体缺陷和位错会成为可动离子和载流子的陷阱, 在蓝宝石界面附近俘获正电荷, 形成 n 型导电沟道, 从而造成源极和漏极之间的导电通路 从文献的报道来看, 这是JFET/SOS 失效的主要原因[2,6].

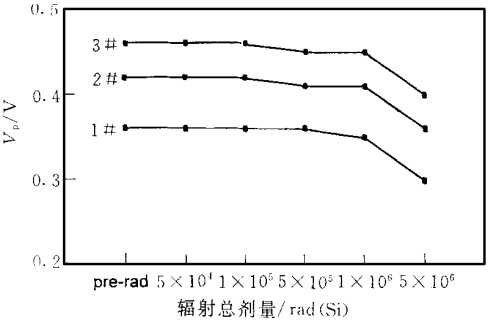

图 6　辐射剂量对阈值电压的影响

对不同工艺下得到的增强型器件进行了抗总剂量电离辐射的试验, 总共选用了三个样品, 其中 1# 和 2# 样品为C 类型工艺, 3# 样品为D 类型工艺 所用的辐射源为 Co^{60} γ射线源, 剂量率为 270.2rad(Si)/s, 从总剂量 5×10^4rad(Si) 到 5×10^6rad(Si) 进行了一系列试验, 辐射时令器件的源极和漏极之间短路, 取 V_{gs}= 0.5V. 从试验的结果来看, 如图 6 所示, 当电离辐射总剂量不高于 1×10^6rad(Si) 时, 阈

值电压几乎不变, 当电离辐射总剂量达到 5×10^6rad(Si)时, 阈值电压有少许漂移, 但三个样品均小于 0.1V. 而且器件的输出特性和转移特性看不出明显变化, 漏电流的变化也很小. 图 7 给出了总剂量 5×10^6rad(Si)电离辐射后 1# 样品的输出及转移特性.

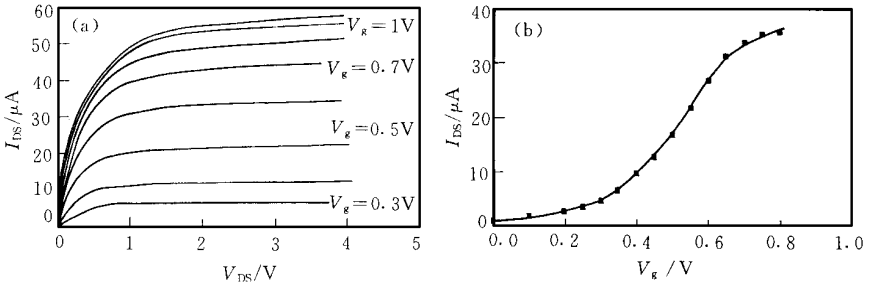

图 7 5×10^6 总剂量辐射后 1# 样品的器件特性
(a)输出特性, (b)转移特性

从辐射试验的结果可以看出, 所得到的器件抗总剂量电离辐射能力高于文献所报道的水平[2,6], 和近年来 JFET/SOI 器件(无衬底偏压)的抗辐射水平相当[9~11].

4 结论和建议

本文主要研究了抗高总剂量辐射 n 沟道 JFET/SOS 的工艺和抗辐射性能. 从辐射实验的结果来看, 由于在栅结构上有所改进, 器件的抗总剂量辐射能力大有提高. 从工艺方面来看, 通过改变一些工艺条件便可控制器件参数, 得到不同性质的器件.

但从实验结果和文献的报道[5]来看, 器件的电流偏小, 饱和电流约为几十微安. 造成这一后果的主要原因在于 JFET 不同于 MOSFET, 它采用 SOS 材料的内部而不是表面形成导电沟道, 而 SOS 材料的电子迁移率在靠近界面处远低于其表面附近的值[12], 即使载流子数目很大, 其电流值也很小. 由图 2 和图 5 的比较可以看出这一点. 对于改善电流的方法主要有两条: 一是可以在 SOS 材料的蓝宝石和外延硅的界面处形成背栅, 以防止导电沟道进入界面附近, 这种工艺需要采用厚膜或更浅的 p^+n 结[13]. 另一种方法是采用双异质外延的方法对 SOS 材料进行改性, 以提高其迁移率[14,15]. 从工艺的角度来考虑第二种方法比较简单易行.

致谢 器件的封装在北京半导体器件三厂进行, 辐射试验在中国科学院生物物理所配合下完成, 在此表示感谢.

参 考 文 献

[1] L. Blanquart *et al*, IEEE Trans. Nucl. Sci., 1994, **41**(6): 2525~2529.
[2] D. Neamen and B. Buchanan, IEEE Trans. Nucl. Sci., 1976, **NS-23**(6): 1590~1593.
[3] B. Y. Tsaur and H. K. Choi, IEEE Trans. Nucl. Sci., 1986, **NS-33**(5): 322~326.
[4] B. Y. Tsaur *et al*, IEEE Electron Devices Lett., 1986, **EDL-7**(5): 1372~1376.
[5] L. F. Halle and J. F. Kundsen, IEEE Trans. Electron Devices, 1988, **35**(3): 353~358.

[6] L. F. Halle *et al.*, IEEE Trans. Electron Devices, 1988, **35**(3): 359～364.
[7] H. S. Abdel-Aty-Zohdy and I. E. Talkhan, Simulation, 1993, **60**(2): 113～126.
[8] S. M. Sze, Physics of Semiconductor Devices, 2nd Edition 1981.
[9] O. Flament *et al.*, IEEE Trans. Nucl. Sci., 1996, **43**(6): 3060～3067.
[10] M. Citterio *et al.*, IEEE Trans. Nucl. Sci., 1996, **43**(3): 1576～1584.
[11] M. Dentan *et al.*, IEEE Trans. Nucl. Sci., 1993, **40**(6): 1555～1560.
[12] S. T. Hsu and J. H. Scott, RCA Review, 1975, **36**: 240～253.
[13] M. E. Lunnon *et al.*, J. Electrochem. Soc., 1985, **132**(10): 2473～2475.
[14] R. E. Reedy *et al.*, Appl. Phys. Lett., 1983, **42**(8): 707～709.
[15] G. A. Garcia and R. E. Reedy, Electron. Lett., 1986, 22(10): 537～538.

Radiation Hardened JFET/SOS Devices: Technique and Gamma Radiation Effects

Nie Jiping, Liu Zhongli, He Zhijing, Yu Fang, Li Guohua, Zhang Yonggang

(*Institute of Semiconductors, The Chinese Academy of Sciences, Beijing* 100083)

Received 19 March 1998, revised manuscript received 13 May 1998

Abstract A process for fabricating n-JFET/SOS (junction field-effect transistors on silicon-on-sapphire) has been researched. The gate p^+-n shallow junction is obtained by diffusion, and the conductive channel is got by a double ion implantation. Both enhancement and depletion mode transistors are fabricated in different technical conditions. Through the experiment of Co^{60} γ ray irradiation, we have found that the devices have a good total dose radiation hardness. When the total dose is 5M rad(Si), the threshold voltage shift is less than 0.1V. The variations of transconductance and leakage current are also little.

EEACC: 2550, 2560S, 2570D