

深阱 RF 功率双极晶体管雪崩 击穿特性的模拟分析

张玉才 胡思福

(电子科技大学微电子科学与工程系 成都 610054)

摘要 本文提出一种能有效提高 RF 功率晶体管雪崩击穿电压和频率特性的晶体管结构-深阱 RF 功率双极晶体管, 并且采用 MEDICI 分析软件研究了影响器件特性的一些因素: 深阱阱壁的宽度与深度、阱壁填充介质、界面电荷以及场板。采用这种技术的功率晶体管(VHF, 线性输出功率 15W) 的结构参数为 $N_c = 7.0 \times 10^{15} \text{ cm}^{-3}$ N 型外延层, 集电结结深 $X_{jc} = 0.3 \mu\text{m}$, 未掺杂多晶硅填充深槽。典型的器件雪崩击穿电压为 $BV_{cbo} = 72\text{V}$, 截止频率 1.6GHz; 并且该晶体管具有较小的漏电流($\sim 20\mu\text{A}$)。这初步显示了深阱结构在 RF 功率晶体管中的应用价值。

EEACC: 1350F, 2560J, 2530B, 2550

1 引言

目前有许多种技术用于提高功率高压器件的雪崩击穿电压: 从场限环(电阻)场板、正负斜面到结终端扩展、可变表面掺杂(VLD)等。这些技术的效率一般能达到平行平面结耐压值的 80%~95%。几乎所有这些技术(正斜面除外)都是沿结表面扩展耗尽层以降低结表面由曲率效应引起的高电场, 从而提高击穿电压。在 RF 功率晶体管中, 由于为提高频率特性而采用浅结, 结表面曲率效应更加严重; 必需采用有效的技术以提高耐压, 比如采用前述各种技术。但是, 由于沿集电结表面扩展耗尽层(以及在某些技术如 VLD 中结面积的增加)会增加结电容, 从而降低晶体管的截止频率; 其次, 增加的集电结面积(如在 VLD 中)均处于无源基区下, 这使得晶体管图形优值降低, 不利于提高频率特性; 其三, 空间电荷区在半导体表面的扩展易导致漏电流增加, 不利于提高 RF 功率晶体管的功率增益和耗散功率。

本文叙述一种新的晶体管结构——“深阱晶体管”。它几乎能完全截去柱面结和球面结, 从而消除它们带来的曲率效应, 几近理想地提高 PN 结的雪崩击穿电压; 并且几乎不产生耗尽层的扩展, 从而避免增加结电容。这种技术能有效地提高晶体管的图形优值, 提高截止频率, 减小漏电流, 改善 RF 功率晶体管的性能。

本文首先描述了“深阱晶体管”的器件结构及工作原理。然后采用 MEDICI^[3]等软件分

张玉才 男, 1972 年出生, 博士研究生, 主要研究方向: RF 半导体器件与工艺, Email: mc@mail.sc.cninfo.net

胡思福 男, 1938 年出生, 教授, 主要研究方向: 半导体器件与微细加工技术

1998-03-28 收到, 1998-06-25 定稿

析对耐压等特性产生影响的一些因素: 阱壁宽度与深度、阱壁填充介质、界面电荷、场板。采用深阱结构的 RF 功率晶体管 DW T-2 取得了较高的雪崩击穿电压和截止频率, 显示了这种结构在 RF 功率晶体管中的应用价值

2 深阱晶体管的结构和工作原理

普通注入/扩散结由于横向扩散效应在矩形扩散窗口的四边会形成柱面结, 在四角会形成球面结

深阱晶体管的结构如图 1 所示。采用反应离子刻蚀 (RIE), 先在扩散窗口的四周刻蚀一环形深槽阱壁 (槽宽 $1 \sim 5 \mu\text{m}$, 槽深 $1 \sim 2 \mu\text{m}$); 在槽中填充介质后, 用化学机械抛光法 (CMP) 平整芯片表面; 再氧化或淀积一层 SiO_2 ; 最后开出扩散窗口, 用注入或扩散法形成 PN 结

在这种结构中由于可以将扩散窗口做得略宽于或等于环状深阱, 在 SiO_2 扩散边界的限制下, 杂质在硅中仅存在纵向扩散, 因而柱面结和球面结完全被消除。如果不考虑在阱壁深槽填充介质与外延层硅界面处杂质扩散略有差异, 那么最终的冶金结面将完全是平行平面结。因为在结边缘体硅与深槽填充介质介电性能不一样, 所以结的耗尽层和电场分布与平行平面结仍然有差异; 但是经计算机模拟分析 (详见下节), 这种差异一般不大, 而且可以设法减小甚至消除。因此, 具有这种结构的晶体管能具有比较理想的雪崩击穿电压; 而且一般仅有轻微的耗尽层扩展, 减小了无源区的结面积, 器件表面态的影响小, 漏电流也较小, 所以晶体管的截止频率随之提高, 器件综合特性得到有效改善

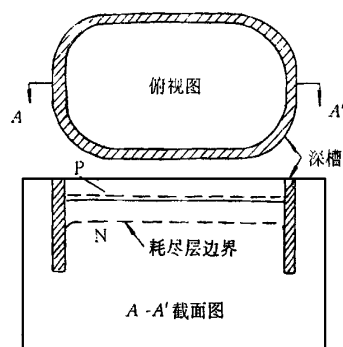


图 1 深阱晶体管的结构

3 数值模拟与定性分析

在深阱晶体管这种结构中, 涉及到阱边缘体硅与深阱的结构参数、填充介质性质等诸多因素的相互作用, 采用解析方法有一定的难度。我们采用 MEDICI 及 PISCES-1B 模拟软件以深入分析这些因素对空间电荷区、电场及雪崩击穿电压的影响。模拟软件求解边值问题的二维泊松方程、连续性方程及输运方程, 可得到晶体管中电场分布、载流子分布以及各种有关的器件特性

我们针对一组典型的 VHF 功率晶体管的情形作了模拟。主要器件参数如下:

N^- 外延层杂质浓度: $\sim 7.0 \times 10^{15} \text{cm}^{-3}$

集电结结深: $\sim 0.3 \mu\text{m}$

基区表面浓度: $\sim 5.0 \times 10^{18} \text{cm}^{-3}$

发射结结深: $0.05 \sim 0.15 \mu\text{m}$

发射区表面浓度: $6 \times 10^{19} \sim 2.0 \times 10^{20} \text{cm}^{-3}$

阱壁宽度: $\sim 3.0 \mu\text{m}$, 深度: $\sim 8.0 \mu\text{m}$

本节采用上述软件分析一些参数 (阱壁宽度与深度、填充介质、界面电荷、场板) 对晶体

管电场分布、空间电荷区分布的影响; 并对结果作了理论上的定性分析; 而且探讨了这些结果对器件特性产生的影响, 以期能指导器件的结构设计.

3.1 阱壁宽度、深度的影响

当结两端所加的反向偏压增加时, 空间电荷区将主要向低掺杂一侧的外延层中扩展. 若阱壁的深度浅于击穿时空间电荷区在外延层一侧达到的位置, 则空间电荷区将会“溢出”阱壁深槽所限制的范围, 使得结电容(侧向电容)增加; 并且在槽底拐角处可能出现电场峰值.

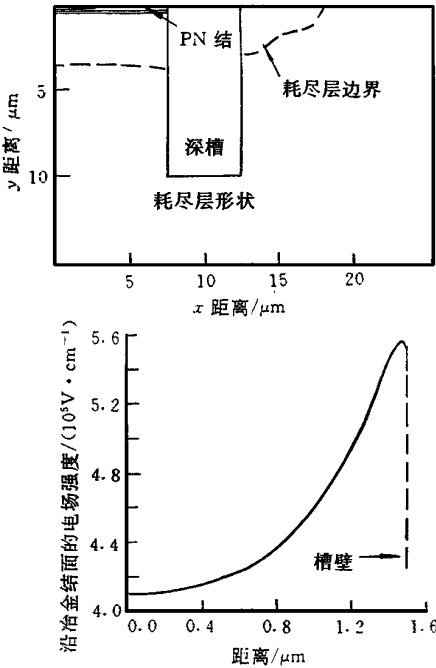


图 2 窄阱壁(1μm)时的耗尽层及电场分布

图 3 显示了在 $V_{CBO} = 70V$ 时上述三种情况下沿集电结冶金结面的电场分布. 由图可见了, 随着介电常数的减小, 峰值电场强度有所减小; 因而器件的雪崩击穿电压也有所增加.

3.3 槽中填充未掺杂多晶硅的影响

当在阱壁槽中生长一层一定厚度的 SiO_2 , 再用未掺杂多晶硅填充后, 模拟结果表明这种阱壁结构的空区电荷区和电场分布与填充绝缘体的情形有明显区别: 阱壁周围将出现空间电荷区将阱壁包围, 形如桶状; 原有阱壁附近结面的峰值电场将消失, 但在槽底部拐角处将出现峰值电场. 图 4 中示意了这种情况下的空间电荷区分布(二维图形)、电场分布(三维图形)与反向 $I-V$ 特性.

当阱壁较窄时, 槽附近结面电场抬高, 出现峰值(图 2), 雪崩击穿将首先在此发生.

此现象的物理原因还需进一步研究. 我们在此提出一种可能的解释如下: 由于在阱壁附近存在“P⁺区-阱壁-N 外延层”寄生硅栅 MOS 结构的. 在核 MOS 结构中, N 外延层耗尽层中的正空间电荷需要 P 区的负空间电荷来平衡. 当阱壁越窄时, 由正空间电荷产生的电力线在 P 区越集中, 使得该处的峰值电场越高.

3.2 填充不同介电常数绝缘体的影响

当阱壁深槽内填充不同介电常数的绝缘体时, 在前节提高的寄生 MOS 结构中出现的峰值电场强度将不同, 雪崩击穿电压也有差异.

我们向阱壁中填充三种不同的介质, 对其进行了模拟. 介质的介电常数分别为:

- $\epsilon_1 = 3.9$
- $\epsilon_2 = 5.68$
- $\epsilon_3 = 12.0$

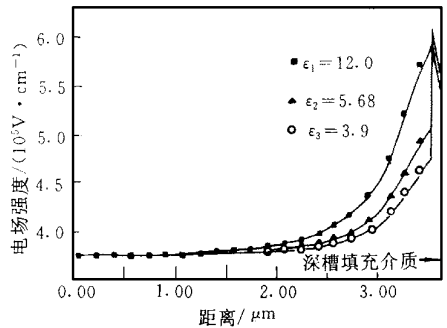


图 3 介电常数不同的结面电场分布

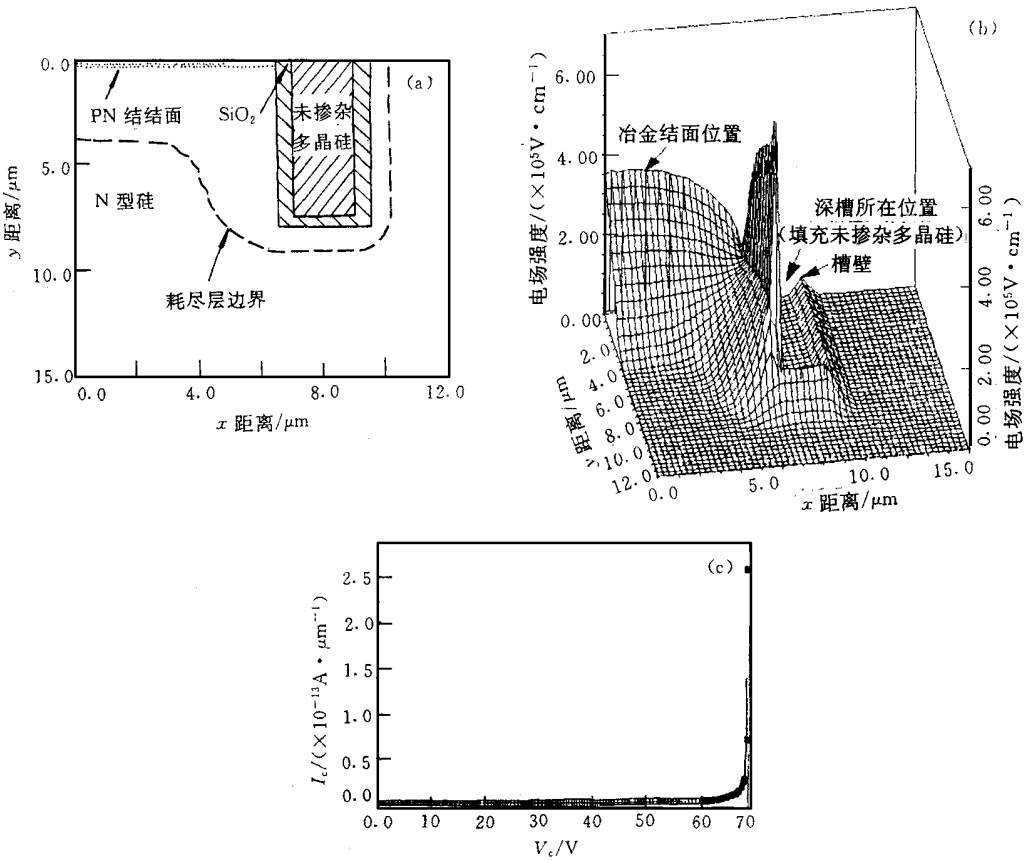


图 4 阱壁填充未掺杂多晶硅时的耗尽层分布(a)、电场分布($BV_{CB} = 70\text{V}$) (b) 及反应 $I-V$ 特性(c) ($BV_{CB0} = 60\text{V}$, MEDICI 结果)

我们仍然采用前节提到的多晶硅栅MOS 结构来解释上述现象。阱壁深槽中填充的未掺杂多晶硅尽管导电率很低,但依然是半导体,与绝缘体有本质的差别。槽中多晶硅与槽壁SiO₂及N 外延层形成寄生硅栅MOS 结构。栅浮空时栅下N 外延层部分耗尽出现空间电荷区。在深阱晶体管这种结构中这些空间电荷区将阱壁包围(这与文献[4]中处理有异)。由于沿任意直线路径从中性P⁺ 区到中性N 外延层的电场积分应等于集电结偏压;在阱壁内侧(集电结一侧)空间电荷区扩展了,对应的电场积分路径增长了;所以阱壁附近结面电场峰值应当降低。由于槽底拐角处位于空间电荷区内,此外电场分布由于拐角而集中,出现新的电场峰值(如图4中图所示)。

这种空间电荷区分布与峰值电场对器件性能不利。桶状空间电荷区增加了槽附近的寄生电容,会降低晶体管的频率特性;如果峰值电场过高会降低晶体管的雪崩击穿电压。

但是,由于在阱壁深槽中填充未掺杂多晶硅较之填充绝缘体在某些方面有利(如多晶硅与硅的热膨胀性能相近可减少深槽与外延层之间的应力),所以这种方式仍然有一定的应用价值。

3.4 界面电荷的影响

用MEDICI分析了位于“外延层体硅-阱壁填充介质”界面的固定电荷对PN 结面电场

分布的影响 图 5 显示了界面固定电荷面密度分别为下述值时结面的电场分布:

$$Q_F = + 5.0 \times 10^{11} \text{cm}^{-2}$$

$$Q_F = 0 \text{cm}^{-2}$$

$$Q_F = - 5.0 \times 10^{11} \text{cm}^{-2}$$

可见正界面电荷对深阱晶体管的器件特性不利, 而负界面电荷则有利 在设计晶体管时应考虑这个因素

3.5 带有场板的深阱晶体管

在前面 3.1 小节中提到, 在阱壁附近集电结结面有一峰值电场 为降低此峰值电场, 进一步提高耐压, 考虑在槽顶部设计一场板, 利用场板的电场分布降低该峰值电场 如果场板上加上一定的负电位, 还可能消除该电场峰值, 以获得几乎完全理想的耐压

模拟分析结果如图 6 所示

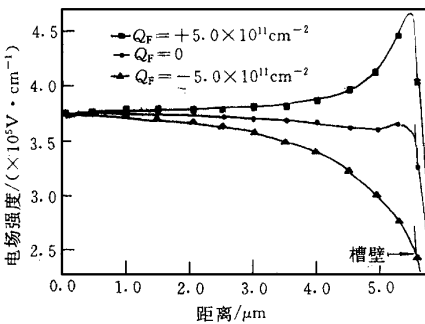


图 5 固定界面电荷对结面电场的影响

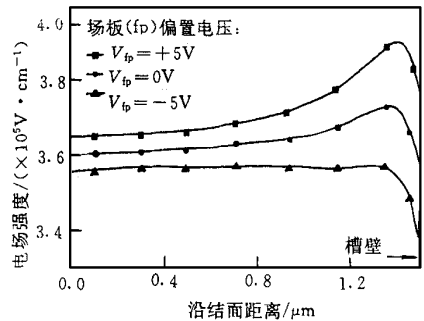


图 6 槽顶部有场板时沿结面的电场强度
($\epsilon_2 = 5.68, V_{CB} = 65V$)

4 实验结果与分析

采用深阱晶体管技术研制而成的 RF 功率晶体管 DW T-2 其主要器件结构参数已经在第 3 节叙述了. 此外深阱的阱壁深槽 SiO₂ 厚度为 0.5 μm , 槽中填充未掺杂多晶硅 槽顶部没有场板

DW T-2 为工作在 $V_{CE} = 25V, f_0 = 22\text{MHz}$ 的 A 类线性功率晶体管, 线性输出功率为 15W. 测得的主要器件参数典型值如表 1 所示:

由表中数据以及前述模拟结果可知, 晶体管的雪崩击穿电压与模拟结果相当吻合

目前国内其他同类器件要达到 70V 的耐压一般需采用掺杂浓度为 $4.0 \times 10^{15} \sim 5.0 \times 10^{15} \text{cm}^{-3}$ 的外延层; 器件漏电流一般为 10mA 左右

由此可见, 采用深阱晶体管技术后, DW T-2 能在较高掺杂的外延层衬底上获得较高的雪崩击穿电压和较低的漏电流, 而且截止频率也较高 这初步显示了“深阱晶体管”这种技术在设计制造 RF 功率晶体管中的应用价值

表 1 DW T-2 主要性能参数典型值

BV_{CBO}/V ($I_C = 0.5\text{mA}$)	f_T/GHz	$I_{CEO}/\mu\text{A}$
72	1.6	< 20

5 结论

本文叙述了一种能有效提高 RF 功率晶体管雪崩击穿电压和截止频率的器件结构:“深阱晶体管”。文中着重采用 MEDICI 和 PISCES-IB 模拟软件分析了影响器件特性的一些因素。当深阱阱壁的宽度、深度足够时,在阱壁深槽内填充绝缘体材料能有效地提高 PN 结的雪崩击穿电压;而且不明显引起空间电荷区的扩展,有利于提高晶体管的频率特性,减小漏电流。如果在槽顶部置一场板,还可能进一步提高耐压。当考虑到热膨胀所致应力等问题而在槽内填充未掺杂多晶硅时,晶体管的耐压和截止频率仍然较高,尽管在阱壁的寄生电容会有所增加。

致谢 本文作者感谢电子科技大学微电子所。他们在模拟分析软件方面提供了许多帮助。其中特别感谢张闯、杨健博士在模拟分析方面提供了许多有益的意见。

参 考 文 献

- [1] B. J. Baliga, "Power Semiconductor Devices", PWS Publishing Company, 1996
- [2] 陈星弼,《功率 MOSFET 与高压集成电路》,东南大学出版社,1990.
- [3] TMA MEDICI User's Manual, Technology Modeling Associates Inc., Palo Alto, CA, 1994
- [4] P. F. Lu and C. T. Chuang, IEEE Trans Electron Devices, 1990, 37(10): 2270~ 2274

Simulation and Analysis of Avalanche Breakdown Characteristics of Deep-well RF Power Bipolar Transistor

Zhang Yucai, Hu Sifu

(Department of Microelectronic Science and Technology, University of Electronic Science and Technology of China, Chengdu 610054)

Received 28 March 1998, revised manuscript received 25 June 1998

Abstract Deep-well transistor is proposed as a new structure to efficiently improve the avalanche breakdown voltage and the cut-off frequency of RF power transistors. Some factors related to device characters are discussed through MEDICI simulation. They are the width and depth of well-wall trench, the fill dielectric, the interface charge, and the field plate. A typical power transistor (VHF class-A 15W) with this structure has achieved high avalanche breakdown voltage of $BV_{CBO} = 72V$ and high cut-off frequency of 1.6GHz, with N-type epitaxial layer of $N_c = 7.0 \times 10^{15} \text{cm}^{-3}$, the collector junction depth of $X_{jc} = 0.3\mu\text{m}$, and the trenches filled with undoped polysilicon. Also it has small leakage current (typical $\sim 20\mu\text{A}$). These results demonstrate the application value of the "Deep-Well-Transistor" to make RF power transistor.

EEACC: 1350F, 2560J, 2530B, 2550