

1V, 19GHz CMOS 分频器设计

曾晓军 李天望 洪志良

(复旦大学电子工程系, 上海 200433)

摘要: 对传统分频器电路工作在低电压(1V)时存在的问题进行了分析, 在此基础上提出了一种新的分频器电路结构, 将 NMOS 和 PMOS 管的直流偏置电压分开, 有效地解决了分频器在低电压下工作所存在的问题。采用 $0.18\mu\text{m}$ CMOS 工艺参数进行仿真的结果表明, 该分频器在 1V 的电源电压下, 能够工作的最高输入频率为 19GHz, 功耗仅为 2.5mW 。

关键词: 频率合成器; 分频器; 锁相环

EEACC: 2570D; 1250; 1230B

中图分类号: TN 772

文献标识码: A

文章编号: 0253-4177(2003)04-0416-05

1 引言

在频率合成器中, 分频器是工作在最高频率的电路单元之一。射频频段的分频器是移动通信、光通信和卫星通信系统中的关键部件, 许多这样的分频器电路都是采用先进的高速工艺技术制成, 如双极、GaAs、SiGe 工艺等^[1,2], 但这些工艺相对于 CMOS 工艺来说, 比较昂贵, 而且只有实现 CMOS 集成射频前端, 才能实现单片集成的收发器, 并有利于系统的进一步集成。因此, 近些年来, 对于 CMOS 工艺的高频率分频电路设计进行了许多尝试, 现有文献报道分频电路能工作在 10GHz 以上^[3~5]。

CMOS 分频电路主要有以下几种: 动态电路^[6,9]、源极耦合电路^[7]、Razavi^[5] 及 Wang^[4] 的设计。动态电路采用单相时钟使构成分频电路的元件数目减少, 从而提高电路的工作速度。文献[9]从寄存器级限制和电路级限制两个方面来分析动态电路的频率极限, 并通过改进电路结构使动态电路的速度得到进一步提高, 但这种电路的工作速度随着电源电压的下降而显著下降, 因而不适合在低电压下工作。源极耦合电路是由双极电路的 ECL 结构演变而来, 由于电路的摆幅比动态电路要小, 因而电路的

工作速度得以提高。Razavi 在此基础上, 对电路结构进行了改进, PMOS 管只起上拉的作用, 从而使分频器能够工作在 10GHz 以上。对于源极耦合电路和 Razavi 的设计, 限制其速度的关键是负载电阻。小的负载电阻有利于减小时间常数, 大的电阻则有利于信号的放大。Wang 的结构采用动态电阻, 使电路的速度得以进一步提高^[4]。为了满足低功耗的要求, 电源电压越来越低, 1V 电源的电路设计变得越来越重要, 前面提到的电路结构都不能工作到很高的频率, 因此, 本文对 Wang 的结构进行了改进, 采用 $0.18\mu\text{m}$ CMOS 工艺参数进行了仿真, 结果表明, 新的结构能够在 1V 电源下工作到 19GHz。

本文在第二部分将介绍 Wang 的结构, 并指出其在 1V 电源下工作的缺点; 随后在第三部分重点介绍本文提出的分频电路结构及设计, 并给出仿真结果; 最后给出了新的电路结构与现有电路的比较结果。

2 传统的分频电路

Wang 的结构是到目前为止最好的分频电路设计, 它由两个完全相同的锁存器级联而成, 其具体电路如图 1 所示。

曾晓军 男, 1968 年出生, 博士, 从事数字处理信号研究及高速数字电路设计。

李天望 男, 1968 年出生, 博士, 从事数模混合电路和射频电路设计。

洪志良 男, 1946 年出生, 博士, 教授, 博士生导师, 从事 VLSI 设计研究, 特别对模拟和高速集成电路感兴趣。

2002-05-14 收到, 2002-07-07 定稿

©2003 中国电子学会

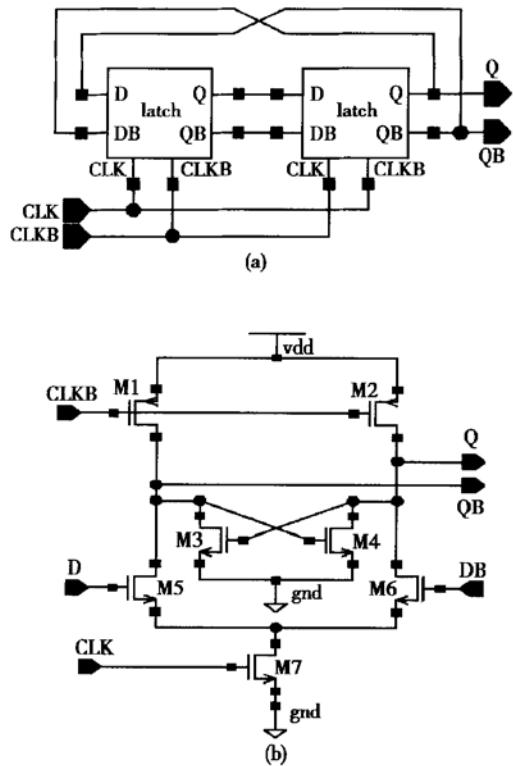


图 1 (a) 分频器的结构图;(b) 锁存器的电路图

Fig. 1 (a) Frequency divider topology; (b) Schematic of the latch

从图 1 可以看出, 分频器的工作由 NMOS 时钟开关管 M7 控制, 而 PMOS 管只是起动态电阻的作用。当分频器处于触发状态时, PMOS 管的电阻较小, 有利于减小时间常数; 当分频器处于锁存状态时, PMOS 管的电阻较大, 有利于放大信号, 从而提高了分频器的工作速度^[4]。如图 1 在 0.25μm CMOS 工艺, 1.8V 电源电压下, 能够工作到 16.8GHz。当电源电压变到 1V 左右时, 图 1 的电路工作速度明显降低。从图 1 可以看出, 由于 PMOS 管和 NMOS 管采用相同的直流偏置, PMOS 管的直流偏置不能取得太低, 否则 NMOS 管不能正常工作, 直流偏置太高则 PMOS 管的寄生电容较大。因此, 在电路设计中要进行折衷考虑。当电源电压较高时, 图 1 的电路总是可以找到合适的直流偏置。当电源电压为 1V 时, 直流偏置已经成为严重的问题, 图 1 的电路工作速度显著下降, 无法满足设计要求。

3 改进的分频电路设计

为了解决前面提到的问题, 本文提出的设计将

控制 PMOS 和 NMOS 的时钟的直流偏置分开, 具体的锁存器电路如图 2 所示。

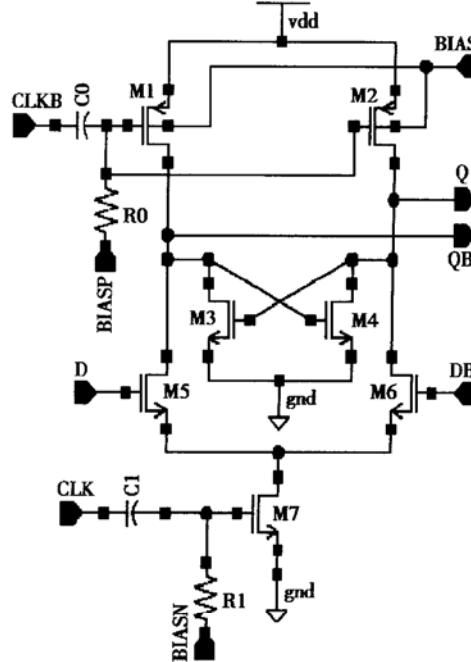


图 2 新锁存器的电路图

Fig. 2 Schematic of the new latch

将图 2 中的锁存器按照图 1(a) 的结构可以很方便地构成分频器, 其工作原理与 Wang 的结构相似, 不同的是图 2 中时钟开关管 PMOS 和 NMOS 采用不同的直流偏置, 有效地解决了图 1 电路在 1V 电源下的偏置问题, 从而大大提高了分频器的工作速度。在图 2 中, 通过合理设计电阻及电容的值, 以及外加的偏置电压 BIASP, 就可以控制 PMOS 管的时钟信号偏置在需要的直流点。同样可以改变图 2 中 CLK 的直流偏置。因此, 选择不同的 BIASP 和 BIASN 的值, 可以使 NMOS 管和 PMOS 管的控制时钟具有不同的偏置, 有效地解决了图 1 中电路的低电压工作问题。由于空穴的迁移率比电子小, PMOS 管的寄生电容也就比 NMOS 管大, 通常会在电路的寄生电容中占主导地位, 因此, 减小 PMOS 管的寄生电容可以进一步提高分频器的工作速度。

当 MOS 管处于导通状态时, 其电阻为

$$R_{on} = \frac{1}{\beta(V_{GS} - V_T)} \quad (1)$$

其中 β 是与 MOS 管的宽长比相关的常数; V_T 是阈值电压。由此可见, MOS 管的导通电阻与阈值电压成反比。减小阈值电压, 在相同的电阻下, 可以减

小 MOS 管的尺寸, 从而有效地减小寄生电容.

MOS 管的阈值电压可表示为^[8]

$$V_T = V_{TO} + \gamma(\sqrt{|2\phi_f - V_{BS}|} - \sqrt{|2\phi_f|}) \quad (2)$$

对于 PMOS 管来说, $\phi_f < 0$, 在通常情况下, $V_{BS} > 0$, 因此, 阈值电压会增加^[8]. 从(2)式可以看出, 当 PMOS 管的衬底不接电源时, 可使 $V_{BS} < 0$, 从而减小阈值电压. 当 $V_{BS} = 2\phi_f$ 时, PMOS 管的阈值电压最小. 对于 NMOS 管, 可采用类似的方法减少 NMOS 管的阈值电压. 但由于是 N 阵工艺, NMOS 管的衬底必须连接在一起. 虽然作为单独的分频器电路可以采用这种方法来提高速度, 但当分频器与其它电路集成在一起时, 电路的功耗会增加许多. 因此在本设计中, 没有采用 NMOS 管的阈值电压减小技术. 当然, 如果是双阱工艺, PMOS 管和 NMOS 管同时采用阈值电压减小技术可以进一步提高速度.

为了使 NMOS 管和 PMOS 管同时处于最佳偏置状态, 本文对图 2 锁存器构成的分频器电路的偏置电压在 0~1V 的范围内进行了扫描, 图 3 给出了采用 $0.18\mu m$ 的工艺参数进行仿真的偏置电压与分频器最高工作频率的关系. 从图中可以看出, 当 BI-ASP 为 0V, BIASN 为 1V 时, 分频器的工作频率达到最高.

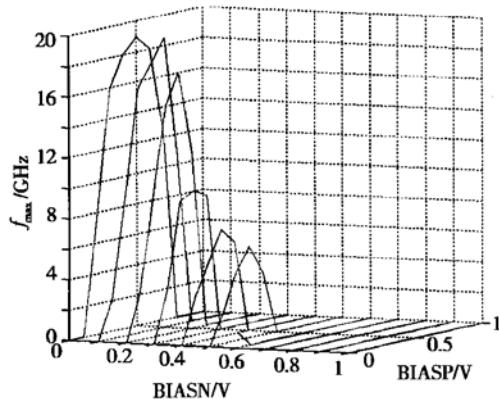


图 3 在不同偏置电压下分频器的最高工作频率

Fig. 3 Maximum work frequency of the divider at different biased voltage

为了全面评价新的分频器电路的性能, 本文对电路所能工作的最高频率和最低频率进行了仿真. 结果表明, 本文设计的分频器电路最高工作频率可以达到 19GHz, 电路的 HSPICE 仿真结果如图 4 所示. 同时, 电路的最低工作频率为 5.1GHz, 仿真结

果如图 5 所示.

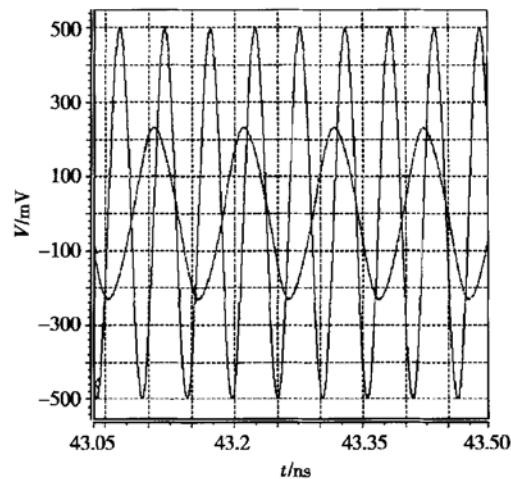


图 4 当时钟频率为 19GHz 的仿真结果

Fig. 4 Simulation results at clock frequency of 19GHz

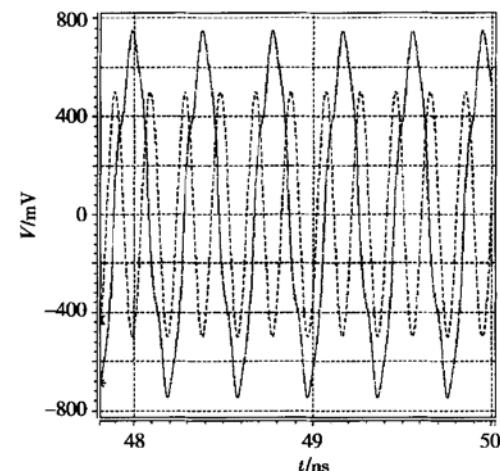


图 5 当输入时钟频率为 5.1GHz 时的仿真结果

Fig. 5 Simulation results at clock frequency of 5.1GHz

从图 4 和图 5 可以看出, 当输入时钟的频率在 5.1~19GHz 之间时, 本文设计的分频器电路可以正常地工作, 并具有足够宽的工作频率范围. 为了便于比较不同分频器的功耗大小, 图 6 给出了当输入时钟频率为 19GHz 时流过电源的电流波形. 从图 6 中可以看出, 本文设计的分频器电路工作在 19GHz 时的功耗仅为 2.5mW.

4 结论

本文对传统的分频器进行了重要改进, 使得其

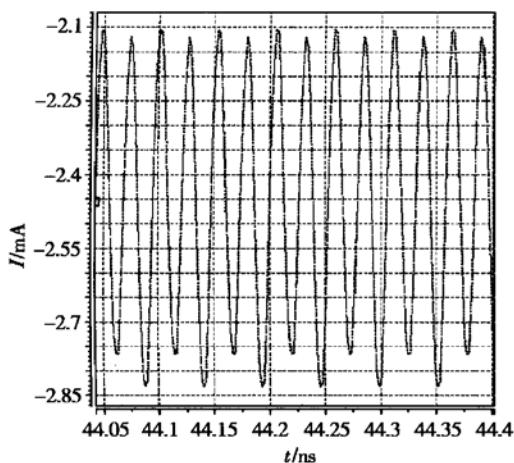


图 6 当输入时钟频率为 19GHz 时消耗的电源电流

Fig. 6 Power supply current consumption at clock frequency of 19GHz

可以在 1V 低电压下工作到很高的频率。为了方便评价本文设计的分频器的性能,将近期发表文献的分频器电路与本设计在电源电压、输入最高频率、功耗及采用的工艺等方面进行了详细地比较,具体的结果如表 1 所示。可以看出,本设计工作的电源电压

表 1 与近来发表文献的分频器比较

Table 1 Performance comparison with recently published frequency divider

	Lao ^[2]	Razavi ^[5]	Wang ^[4]	本文的设计
电源电压/V	4.~2.5	2.6	1.8	1
工艺	0.2μm AlGaAs/GaAs HEMT	0.1μm CMOS	0.25μm CMOS 0.18μm CMOS	
最高频率/GHz	48	13.4	16.8	19
功耗/mW	250	28	3	2.5

最低,功耗最小,而且在采用 CMOS 工艺的分频器中,本设计的工作频率最高。

参考文献

- [1] Kurisu M, Uermura G, Ohuchi M. A Si bipolar 28-GHz dynamic frequency divider. IEEE J Solid-State Circuits, 1992, 27(12): 1799
- [2] Lao Zhihao, Bronner W, Thiede A. 35GHz static and 48GHz dynamic frequency divider IC's using 0.2μm AlGaAs/GaAs-HEMTs. IEEE J Solid-State Circuits, 1997, 32(10): 1556
- [3] Razavi B, Lee K F, Yan R H. A 13.4GHz CMOS frequency divider. 1994 IEEE International Solid-State Circuit Conference, 1994: 176
- [4] Wang Hongmo. A 1.8V 3mW 16.8GHz frequency divider in 0.25μm CMOS. 2000 IEEE International Solid-State Circuit Conference, 2000: 196
- [5] Razavi B, Lee K F, Yan R H. Design of high-speed, low-power frequency dividers and phase-locked loops in deep sub-micron CMOS. IEEE J Solid-State Circuits, 1995, 30(2): 101
- [6] Chang B, Park J, Kim W. A 1.2GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flops. IEEE J Solid-State Circuits, 1996, 31(5): 749
- [7] Krishnapura N, Kinget P R. A 5.3GHz programmable divider for HiperLAN in 0.25μm CMOS. IEEE J Solid-State Circuits, 2000, 35(7): 1019
- [8] Lehmann T, Cassia M. 1V power supply CMOS cascode amplifier. IEEE J Solid-State Circuits, 2001, 36(7): 1082
- [9] Zhang Chunhui, Li Yongming, Cheng Hongyi. A CMOS high-speed dual-modulus prescaler with new flip-flop. Chinese Journal of Semiconductors, 2001, 22(6): 788(in Chinese) [张春晖, 李永明, 陈弘毅. 一种采用新触发器的高速 CMOS 前置分频器. 半导体学报, 2001, 22(6): 788]

Design of a 1V, 19GHz CMOS Frequency Divider

Zeng Xiaojun, Li Tianwang and Hong Zhiliang

(Department of Electronic Engineering, Fudan University, Shanghai 200433, China)

Abstract: In the frequency synthesizer, the frequency divider is one of the building block which works at the highest frequency. Based on the problem analysis of the conventional frequency dividers working at a low voltage (1V), a novel frequency divider circuit is proposed and different DC biasing voltage is used in the NMOS and PMOS transistor of the new divider. The simulation results in 0.18 μ m CMOS process show that the maximum input frequency of the new frequency divider is 19GHz, and the power consumption is only 2.5mW at the power supply of 1V.

Key words: frequency synthesizer; frequency divider; phase locked loop

EEACC: 2570D; 1250; 1230B

Article ID: 0253-4177(2003)04-0416-05

Zeng Xiaojun male, was born in 1968, PhD. His main research area includes digital signal processing and high speed digital circuit design.
Li Tianwang male, was born in 1968, PhD. His main research area includes mixed signal and RF circuit design.

Hong Zhiliang male, was born in 1946, PhD, professor, advisor of PhD student, involved in research of VLSI design, special interest in high speed analog and mixed signal circuit design.